

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ**

Кафедра електроніки і комп'ютерної техніки

**ПОЯСНЮВАЛЬНА ЗАПИСКА**

до кваліфікаційної роботи бакалавра

на тему:

**«Лабораторний стенд для дослідження завадостійкості біноміальних  
лічильників»**

Завідувач кафедри

Опанасюк А.С.

Керівник проекту

Борисенко О.А.

Розробив студент групи ЕС-51

Єрмаков М.С.

Суми 2019

## РЕФЕРАТ

Пояснювальна записка містить: сторінок 46, рисунка 20, таблиць 11, джерел літератури 19.

Об'єктом дослідження роботи є лічильники, які працюють в біноміальних системах числення.

Мета роботи розробити лабораторний стенд для дослідження завадостійкості біноміальних лічильників.

Широке застосування лічильників робить актуальним задачу підвищення їх перешкодостійкості. Останнє досягається введенням в лічильник заборонених комбінацій, в тому числі і з допомогою використання завадостійких систем числення. Лічильники, які використовують заборонені стани, вирішують доволі складну задачу лічби і вимагають розробки додатково до них контролюючих пристроїв за правильністю роботи яких також потрібно слідкувати. Найбільш підходящими для завадостійкої лічби є біноміальні лічильники, що використовують біноміальні системи числення. Важливою їх особливістю є перешкодостійкість і однорідність структури. Крім того, зменшуються апаратні витрати у дешифраторів, які розпізнають їх стани.

Ключові слова: завадостійкість, біноміальний, лічильники, система числення, перешкоди.

## ЗМІСТ

Вступ.....	4
1 Огляд літератури і постановка задачі проектування.....	5
1.1 Загальна інформація про лічильники .....	5
1.2 Асинхронні лічильники .....	6
1.3 Синхронні лічильники з асинхронним перенесенням.....	11
1.4 Синхронні лічильники .....	13
1.5 Лічильник реверсивний .....	13
1.6 Постановка задачі проектування.....	14
2 Розроблення структурної схеми пристрою.....	16
2.1 Розроблення, обґрунтування алгоритму функціонування та структурної схеми пристрою що проектується.....	16
2.2 Схема алгоритму функціонування .....	23
3 Розроблення схеми електричної функціональної пристрою, що проектується...	24
4. Розрахунки та синтез основних електронних блоків, вузлів, схем керування ...	31
4.1 Вибір елементної бази.....	31
4.2 Розрахунок генератор імпульсів.....	35
5 Розроблення програмного забезпечення пристрою, що проектується.....	37
5.1 Вибір та розроблення алгоритмів.....	37
5.2 Пояснення до програм, за якими працює мікропроцесорний пристрій, що проектується .....	40
Висновок.....	43
Список літератури.....	44
Додатки	

					<b>ЕЛІТ 6.05080202.003 ПЗ</b>			
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розроб.</i>		<i>Єрмаков М.С.</i>			<i>Лабораторний стенд для дослідження завадостійкості біноміальних лічильників. Пояснювальна записка.</i>	<i>Літ.</i>	<i>Арк.</i>	<i>Аркушів</i>
<i>Перевір.</i>		<i>Борисенко О.А.</i>				4	46	
<i>Реценз.</i>						<b>СумДУ, ЕС-51</b>		
<i>Н. Контр.</i>		<i>Гапич В.М.</i>						
<i>Затверд.</i>		<i>Опанасюк А.С.</i>						

## ВСТУП

Широке застосування лічильників робить актуальним задачу підвищення їх надійності, швидкодії, перешкодостійкості. Останнє досягається введенням в лічильник заборонених комбінацій з допомогою використанням завадостійких систем числення [1,7]. Наприклад із 16 станів чотирьох розрядного двійкового лічильника перші десять вибираються дозволеними, а шість що залишилися – забороненими. Тоді перехід лічильника в один із заборонених станів буде розцінюватися як помилка лічби. Лічильники, які використовують заборонені стани, вирішують доволі складну задачу і вимагають розробки додатково до них контролюючого пристрою, за правильністю роботи якого також потрібно слідкувати. Виникає так звана проблема “охоронці охоронців”. Сам лічильник набуває неоднорідну структуру, яку складно спроектувати і налаштувати. Надійність лічильника при цьому може навіть знизитися.

Подолати вказані протиріччя можливо шляхом створення перешкодостійких систем числення. Розроблені на їх основі лічильники перешкодостійкі і мають однорідну структуру, тому що вони не містять спеціального контролюючого пристрою, хоча все ж вони мають апаратурну надлишковість у порівнянні з двійковими лічильниками.

До цього класу перешкодостійких систем числення належать і біноміальні системи числення за допомогою яких будуються біноміальні лічильники. Важливою їх особливістю є перешкодостійкість і однорідність структури. Крім того, зменшуються апаратурні витрати у дешифраторів, які розпізнають їх стани. У ряді випадків це може привести до того, що кількість апаратурних витрат у пристрою з біноміальними лічильниками в цілому зменшиться в порівнянні з пристроєм, який містить двійкові лічильники з дешифраторами. Крім цього, ці лічильники дозволяють змінювати коефіцієнт перерахунку адаптуючись до інтенсивності і характеру перешкод.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						4
Змн.	Арк.	№ докум.	Підпис	Дата		

# 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАДАЧІ ПРОЕКТУВАННЯ

## 1.1 Загальна інформація про лічильники

Особливе місце серед схем, що застосовуються для обробки даних, займають лічильники. Рахунок є найважливішою частиною в організаційних і технологічних автоматизованих системах управління. Лічильники важливі не тільки самі по собі, але і з точки зору нових схемотехнічних рішень в області цифрових пристроїв, так як до них можна віднести будь-який пристрій, яке в процесі роботи проходить через кілька станів. Тому дослідження їх роботи є актуальним заняттям. Розглянемо принцип роботи лічильників і їх структуру детальніше.

Лічильники побудовані з елементарних комірок пам'яті – тригерів. Кількість комбінацій вихідних сигналів, що знімаються з виходів тригерів лічильника або максимальну кількість імпульсів  $N$ , яке може зареєструвати лічильник без його переповнення, для двійкових лічильників рівне  $N = 2^n$ , де  $n$  - число розрядів (тригерів) лічильника. Це число називають коефіцієнтом або модулем рахунку.

У разі переповнення лічильника ( $N > 2^n$ ) лічильник обнуляється, а рахунок циклічно поновлюється. Сукупність логічних одиниць і нулів на виходах тригерів (виходах лічильника) являє собою  $n$ -розрядне двійкове число, яке вказує кількість імпульсів які пройшли через лічильник.

Найпростіші лічильники імпульсів складаються з ланцюжка послідовно включених Т-тригерів, кожен з яких ділить частоту вхідного сигналу на два. Кожен з тригерів цього ланцюжка називають розрядом лічильника. Так, наприклад, чотирирозрядні лічильники дозволяють отримати на виходах тригерів імпульси, частота яких нижче частоти вхідного сигналу в 2, 4, 8 і 16 разів або в  $2^n$  раз, де  $n$  – номер тригера в ланцюжку.

За принципом дії лічильники діляться на підсумовуючі, віднімальні і

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						5
Змн.	Арк.	№ докум.	Підпис	Дата		

реверсивні.

Підсумовуючий лічильник збільшує своє вміст на одиницю при надходженні на його вхід чергового вхідного імпульсу.

Віднімальний лічильник зменшує свій вміст на одиницю при надходженні на його вхід чергового вхідного імпульсу.

Реверсивний лічильник є поєднанням підсумовує і віднімає лічильників. для розпізнавання напрямки рахунки такий лічильник має додатковий вхід, що перемикає режим рахунку, або має два роздільних входу для подачі на них додатних і від'ємних імпульсів рахунку.

Лічильники імпульсів поділяються на:

- асинхронні (послідовні);
- синхронні з асинхронним перенесенням (паралельні з послідовним переносом);
- синхронні (паралельні).

## 1.2 Асинхронні лічильники

Асинхронні лічильники - це послідовні лічильники, які складаються з ланцюжка тригерів, що працюють в рахунковому режимі. Вихідний сигнал попереднього тригера служить вхідним сигналом для наступного.

Всі тригери включаються послідовно, отже, і виходи лічильника також перемикаються послідовно (див. рис. 1.1). Кожен наступний розряд перемикається з затримкою щодо попереднього (див. рис. 1.2). Чим більше розрядів має лічильник, тим більший час йому потрібно на повне перемикання всіх розрядів.

Затримка перемикання кожного розряду приблизно дорівнює затримці тригера. Повна затримка встановлення коду на виході лічильника дорівнює затримці одного розряду, помноженої на число розрядів лічильника [6].

При періоді вхідного сигналу, меншому повної затримки встановлення коду лічильника, правильний код на його виході не встигне встановитися. Це накладає

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						6
Змн.	Арк.	№ докум.	Підпис	Дата		

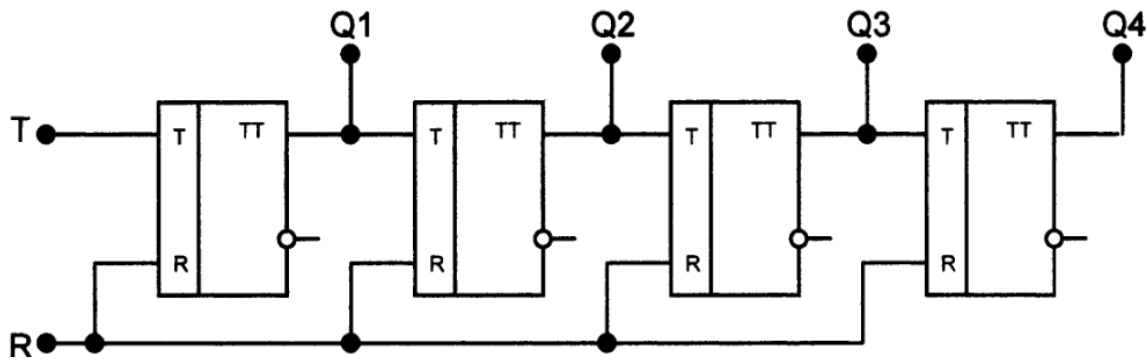


Рисунок 1.1 - Схема асинхронних (послідовних) підсумовуючих лічильників на Т-тригерах

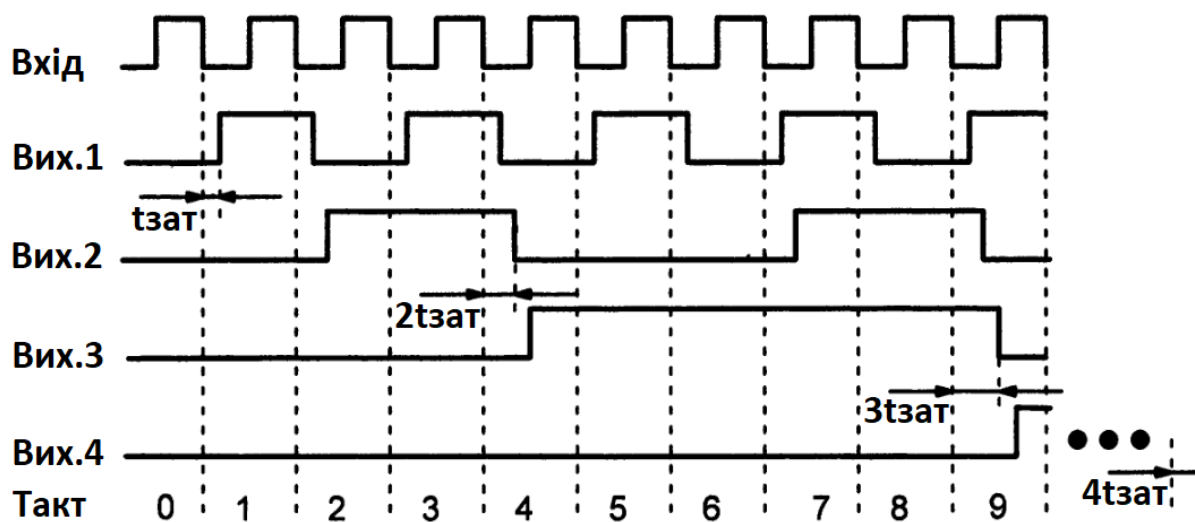


Рисунок 1.2 - Часова діаграма роботи чотирирозрядного асинхронного лічильника

обмеження на максимальну частоту вхідного сигналу.

Оскільки переключення розрядів відбувається з прогресуючою затримкою, сигнали на виходах лічильника з'являються не одночасно з вхідним сигналом і між собою (асинхронно).

Всі асинхронні лічильники працюють по негативному фронту вхідного сигналу С (по задньому фронту позитивного вхідного сигналу).

Змн.	Арк.	№ докум.	Підпис	Дата

Пристрій двійкового підсумовуючого лічильника імпульсів на основі JK-тригерів показано на рисунку 1.3, нижче наведена таблиця станів його тригерів.

Таблиця станів тригерів асинхронного лічильника, що працює на додавання, представлена нижче (таблиця 1.1 ).

Таблиця 1.1 - Таблиця станів тригерів асинхронного лічильника, що працює на додавання.

Число вхідних імпульсів N	Стан виходів асинхронного лічильника імпульсів			
	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1



Схема двійкового лічильника імпульсів на Т-тригерах, що працює на віднімання, наведена на рисунку 1.3. Інформація на Т-входи кожного наступного тригера подається з інверсних виходів попередніх тригерів. Інформація про кількість імпульсів знімається з прямих виходів тригерів. Перед початком рахунку на виході всіх тригерів повинні бути встановлені значення логічної одиниці, для цього на об'єднаний установчий вхід S подається імпульс установки.

На рисунку 1.4 зображені часові діаграми роботи лічильників який працює на віднімання.

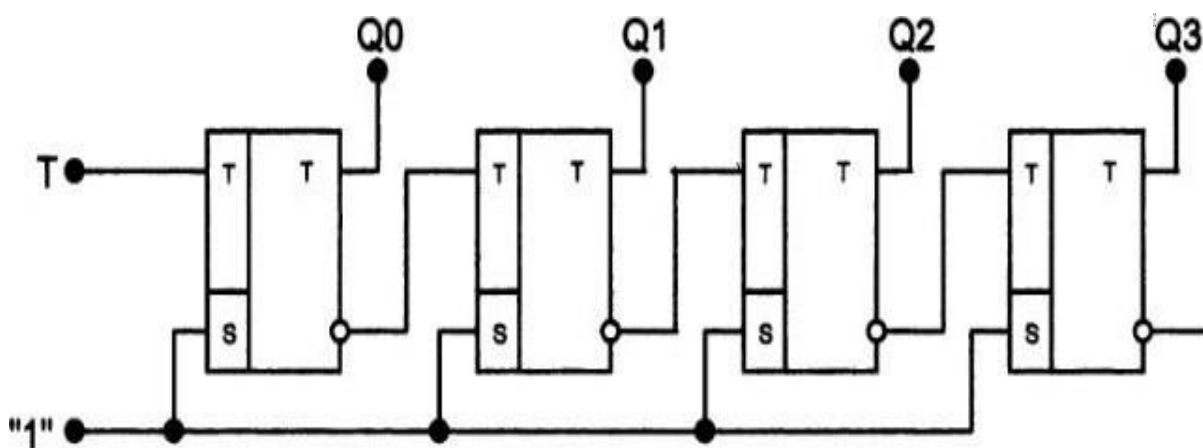


Рисунок 1.3 - Схема асинхронного лічильника на Т-тригерах, що працює на віднімання

Таблиця станів тригерів асинхронного лічильника, що працює на віднімання, представлена нижче (таблиця 1.2).

Схема двійкового лічильника імпульсів на D-тригерах, що працює на віднімання, наведена на рисунку 1.5. На відміну від раніше розглянутого лічильника на Т-тригерах після нульового стану всіх тригерів, з приходом першого синхроімпульса, вони встановлюються в стан логічної одиниці.

Надходження другого синхроімпульса призводить до зменшення цього числа на одну одиницю і так само з кожним наступним імпульсом. Після надходження восьмого (для трьохрозрядного лічильника) або шістнадцятого (для

чотирирозрядного лічильника) імпульсу, всі тригери обнуляються, і цикл рахунку повторюється.

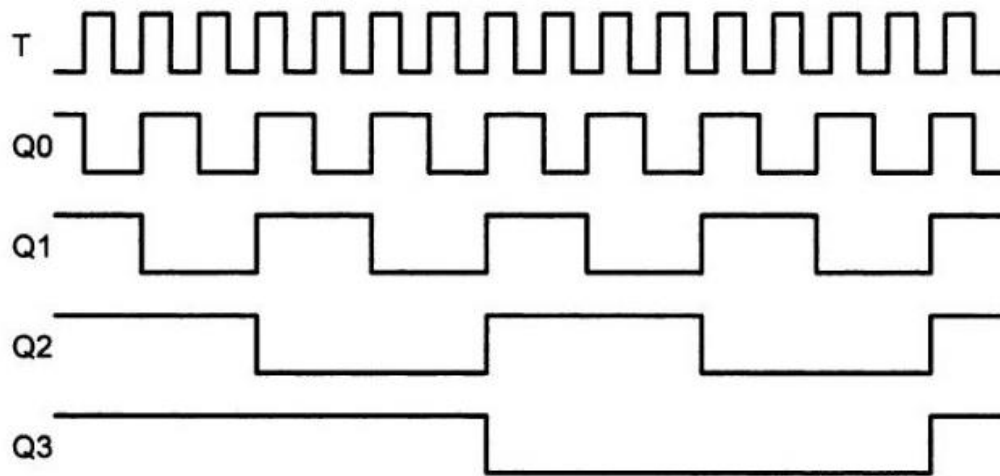


Рисунок 1.4 - Часові діаграми роботи лічильника на віднімання (затримки тригерів не показані)

Таблиця 1.2 - Таблиця станів тригерів асинхронного лічильника, що працює на віднімання

Число вхідних імпульсів	Стан виходів асинхронного лічильника імпульсів			
	Q3	Q2	Q1	Q0
N				
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1

Продовження таблиці 1.2

Число вхідних імпульсів	Стан виходів асинхронного лічильника імпульсів			
	Q3	Q2	Q1	Q0
N				
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0

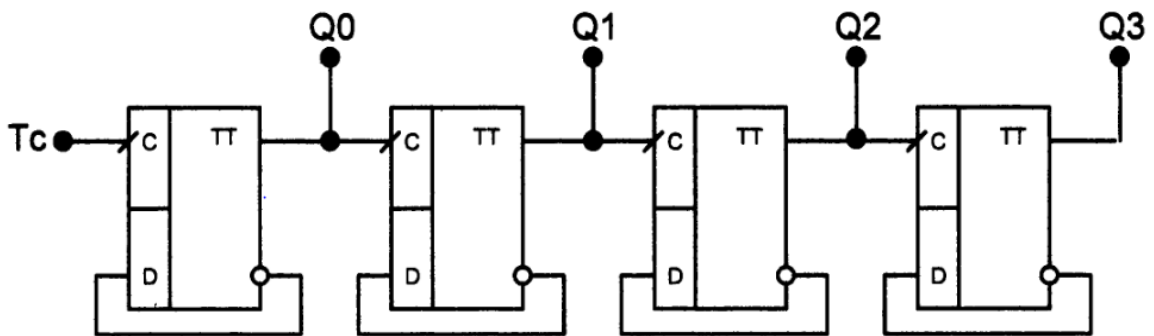


Рисунок 1.5 - Схема асинхронного лічильника на D-тригерах, що працює на віднімання

### 1.3 Синхронні лічильники з асинхронним перенесенням

Синхронні лічильники з асинхронним перенесенням відрізняються тим, що перемикання розрядів здійснюється одночасно, а сигнал перенесення виробляється з деякою затримкою (див. рис. 1.6). Швидкодію даних лічильників вище, ніж асинхронних, але нижче ніж чисто синхронних. Для об'єднання декількох

Змн.	Арк.	№ докум.	Підпис	Дата

синхронних лічильників з метою збільшення числа їх розрядів (для каскадування) використовується спеціальний вихідний сигнал перенесення. Для об'єднання декількох синхронних лічильників з метою збільшення числа їх розрядів (для каскадування) використовується спеціальний вихідний сигнал перенесення. Залежно від принципів формування цього сигналу і від принципів його використання синхронні (паралельні) лічильники діляться на лічильники з асинхронним (послідовним) перенесенням і лічильники з синхронним (паралельним) переносом (або повністю синхронні лічильники) [14].

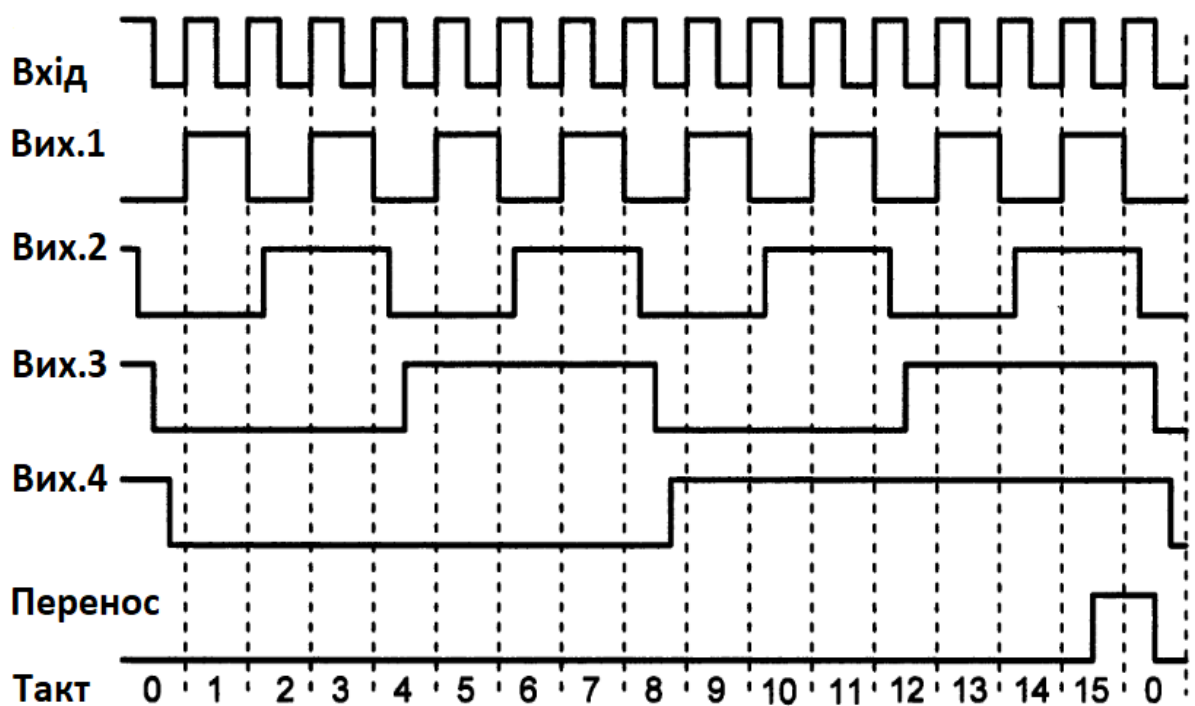


Рисунок 1.6 - Часова діаграма роботи чотирирозрядний синхронного лічильника з асинхронним перенесенням з урахуванням затримок

Синхронні лічильники з асинхронним перенесенням знайшли більш широке застосування, ніж асинхронні лічильники. Це подільники частоти, лічильники числа імпульсів, вимірювачі інтервалів часу, формувачі послідовності імпульсів тощо.

## 1.4 Синхронні лічильники

Синхронні лічильники (паралельні лічильники) відрізняються від асинхронних тим, що перемикання розрядів в них йде паралельно, без затримки.

Також при включенні декількох лічильників для збільшення розрядності тактові входи С об'єднуються, а сигнал перенесення подається на вхід дозволу рахунку кожного наступного лічильника (див. рис. 1.7). Оскільки лічильник має загальну лінію синхронізації, стан тригерів змінюється синхронно, тому тригери, які по синхроімпульсів повинні змінити свій стан, роблять це одночасно, що істотно підвищує швидкодію синхронних лічильників [10].

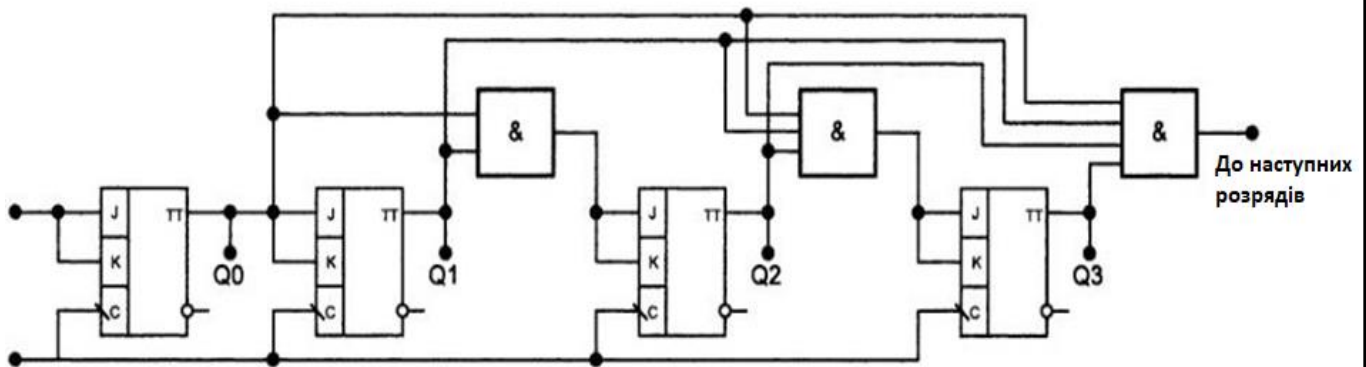


Рисунок 1.7 - Паралельний синхронний лічильник, що підсумовує на JK-тригерах

Синхронні лічильники можуть повністю замінити функціонал асинхронних і синхронних з асинхронним перенесенням лічильників, маючи найбільш високу швидкодію.

## 1.5 Лічильник реверсивний

Лічильник реверсивний - лічильник, що працює як в прямому, так і в зворотному напрямку рахунку імпульсів в залежності від рівня керуючого сигналу.

На рисунку 1.8 показаний приклад схеми асинхронного двійкового

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		13

реверсивного лічильника. Керування напрямком рахунку здійснюється шляхом задачі керуючого сигналу на вхід  $V$ : при  $V = 0$  лічильник працює в режимі підсумовування; при  $V = 1$  - в режимі віднімання.

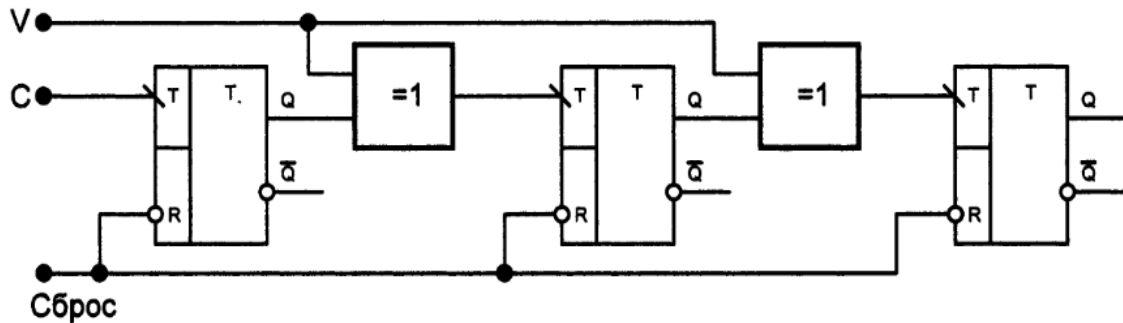


Рисунок 1.8 - Асинхронний двійковий реверсивний лічильник

## 1.6 Постановка задачі проектування

Широкое застосування лічильників вимагає підвищення їх надійності, зокрема, завадостійкості. Останнє досягається введенням в лічильники заборонених станів. Однак їх виявлення виливається часом у досить складне завдання і вимагає розробки додатково до лічильника контролюючого пристрою, за правильністю роботи якого необхідно стежити. Лічильник при цьому набуває неоднорідну структуру, яку непросто проектувати і налагодити, а його надійність може навіть знизитися.

Подолати зазначені суперечності можна шляхом застосування завадостійких систем числення. Розроблені на їх основі лічильники однорідні і стійкі перед перешкодами. Вони не містять спеціального контролюючого пристрою, хоча надмірність апаратури в порівнянні з двійковими лічильниками у них все ж є.

До цього класу пристроїв належать біноміальні лічильники, що працюють в біноміальній системі числення [4]. Важливою їх особливістю є значне зменшення апаратури, необхідної для дешифрування їх станів. У ряді випадків це може привести до того, що кількість витрат апаратури в пристрої з біноміальними

лічильниками в цілому зменшиться в порівнянні з пристроєм, що містить двійкові лічильники. Крім того, ці лічильники дозволяють зміною коефіцієнта перерахунку адаптуватися до інтенсивності і характеру перешкод.

Другою важливою, якщо не основною, гідністю лічильників, що працюють в перешкодостійких системах числення, є можливість перебирати комбінаторні конфігурації, наприклад, поєднання, поєднання з повтореннями, перестановки, тощо. Таким чином, лічильники завадостійких систем числення володіють важливими перевагами - завадостійкість і багатфункціональністю.

Отже метою цієї роботи є створити стенд для дослідження лічильників, що працюють в біноміальній системі числення.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						15
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

## 2 РОЗРОБЛЕННЯ СТРУКТУРНОЇ СХЕМИ ПРИСТРОЮ

### 2.1 Розроблення, обґрунтування алгоритму функціонування та структурної схеми пристрою що проектується

Розглянемо алгоритм роботи біноміальної двійкової системи числення, яка призначена для завадостійкого біноміального рахунку. Їх застосування доцільно в системах телеавтоматики з наскрізним контролем помилок, в спеціалізованих перешкодостійких перетворювачах інформації, в генераторах і нумератора поєднань. На їх основі можлива реалізація перешкодостійких лічильників зі зваженими кодами.

Кількісний еквівалент кодової комбінації  $n$ -розрядної  $k$ -біноміальної системи числення  $A_j = (a_{j-1}, a_{j-2}, \dots, a_0)$ ,  $i = 0, 1 \dots, P - 1$  визначається виразом

$$A_j = a_{j-1}C_{n-1}^{r-q_j} + \dots + a_l C_{n-j+l}^{k-q_{l+1}} + \dots + a_0 C_{n-j}^{k-q_l} \quad (2.1)$$

при дотриманні систем обмежень:

$$q_0 = k, \quad (2.2)$$

$$j < n, \quad (2.3)$$

$$n - k = j - q_0, \quad (2.4)$$

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						16
Змн.	Арк.	№ докум.	Підпис	Дата		



$$q_0 < k, \quad (2.5)$$

$$1 \leq k \leq n, \quad (2.6)$$

де  $P = C_n^k$  - діапазон чисел;

$n$  - кількість розрядів біноміального числа;

$q_0$  - сума одиничних значень цифр від  $(j - 1)$ -го розряду до  $l$ -го включно:

$$q_l = \sum_{i=1}^j a_i,$$

$$q_j = a_j = 0$$

де  $l = 0, 1, \dots, j - 1$  - порядковий номер розряду;

$k$  - контрольне число, що визначає допустиму кількість одиниць в кодової комбінації;

$$n = P + 1.$$

Обмеження (2.2), (2.3), (2.4), (2.5) показують, що довжина  $j$  біноміальних чисел знаходиться в межах  $n - k \leq j \leq n - 1$ , і біноміальне число містить або  $k$  одиниць, або  $n - k$  нулів. Причому в першому випадку це число в кінці містить 1, а в другому - 0. Комбінація, в якій наведені умови порушені, є помилковою.

Наприклад, комбінації 00, 01111, 0110 при  $n = 6, k = 4$  є біноміальними, так як перша і третя містять по 2 нуля, а друга - 4 одиниці, причому в 1-й і 3-й

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						17
Змн.	Арк.	№ докум.	Підпис	Дата		

комбінаціях в кінці стоїть 0, а в другій - 1. Комбінація 00111 є помилковою, так як хоча і містить 2 нуля, але закінчується 1.

Зазначені обмеження спільно з виразом (2.1) призводять до наступного алгоритму рахунку біноміальних чисел:

а) формується початкова кодова комбінація, що складається з  $n - k$  нулів;  
б) в молодший розряд, що стоїть в кінці комбінації праворуч і містить нуль, записується 1;

в) підраховується число одиниць в отриманій кодової комбінації. Якщо воно дорівнює  $k$ , то перехід до пункту д);

г) якщо воно не дорівнює  $k$ , то праворуч від молодшого розряду що містить 1 записується нуль. Результатом є наступна по порядку біноміальна кодова комбінація. Повернення до пункту б);

д) якщо число одиниць в кодової комбінації рівне  $k$  і одиниці не розташовані в  $k$  старших розрядах, то молодші нульові перетворюються в 1, всі інші, що йдуть після нього одиниці, стають нулями. Перехід до пункту в);

ж) якщо число одиниць рівне  $k$  і одиниці розташовані в  $k$  старших розрядах, то отримана остання біноміальна комбінація з діапазону  $P$ .

Відповідно до наведеного алгоритмом в таблиці 2.1 отримані стану 5-розрядного 4-біноміального лічильника і їх кількісні еквіваленти. Число його станів  $P = C_n^k = 15$ .

Наведений алгоритм є основою біноміальних лічильників, конкретна структура яких може бути задана у вигляді програми для універсальної ЕОМ, мікропроцесорного пристрою, а також пристрої з жорсткою логікою, зібраного з окремих елементів або виготовленого у вигляді інтегральної схеми.

Використання програми біноміального рахунки в універсальних ЕОМ має практичне значення в разі завадостійкого кодування даних або якщо стоїть завдання перебору, генерування або нумерації поєднань.

Мікропроцесорний варіант біноміального лічильника доцільний в спеціалізованих цифрових пристроях з наскрізним контролем оброблюваної

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						18
Змн.	Арк.	№ докум.	Підпис	Дата		

інформації при відносно невисоких вимогах до їх швидкодії.

Біноміальні лічильники з жорсткою логікою можуть знайти застосування як в спеціалізованих, так і в універсальних цифрових пристроях. Наявність таблиць функціонування біноміальних лічильників, аналогічних таблиця 2.1, дозволяє виробляти їх структурний синтез і отримати раціональну в сенсі мінімізації кількості елементів структуру лічильника. Однак цей шлях пов'язаний з ускладненням зв'язків між елементами лічильника, що призводить до зменшення його надійності і швидкодії, втрати однорідності структури, складності перебудови коефіцієнта перерахунку, і тому може бути рекомендований там, де питання економії елементів є першорядним.

Структура лічильника, в певній мірі позбавлена зазначених недоліків, розглянута в [3]. Його стани виходять з початкових (таблиця 2.1) шляхом доповнення кодових комбінацій нулями до довжини  $n - 1$  (таблиця 2.2).

Відповідно наведений вище алгоритм рахунку перетвориться до виду:

- а) у початковому стані всі розряди лічильника встановлені в нуль;
- б) заноситься 1 в  $(k - i - 1)$ -й розряд, де  $i$  - число одиниць в лічильнику;
- в) якщо число одиниць в лічильнику більше  $k$ , то сталася помилка;
- г) якщо число одиниць в лічильнику рівне  $k$  і вони не розташовані в  $k$  старших розрядах, то всі молодші одиничні розряди до першого нульового встановлюються в 0, а перший нульовий - в 1;
- д) якщо число одиниць в лічильнику менше  $k$ , тоді повернення до пункту б;
- ж) якщо число одиниць в лічильнику рівне  $k$  і вони розташовані в  $k$  старших розрядах, то цикл рахунку закінчено. Повернення до пункту а.

Таблиця 2.1 - Стани 5-розрядного 4-біноміального лічильника

№	Біноміальне число	Кількісний еквівалент
0	00	$0 \cdot C_5^4 + 0 \cdot C_4^4$
1	010	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$

Продовження таблиці 2.1

№	Біноміальне число	Кількісний еквівалент
2	0110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
3	01110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
4	01111	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
5	100	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$
6	1010	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
7	10110	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
8	10111	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
9	1100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$
10	11010	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
11	11011	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
12	11100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 0 \cdot C_1^1$
13	11101	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 1 \cdot C_1^1$
14	1111	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2$

Таблиця 2.2 - Врівноваженні стани 5-розрядного 4-біноміального лічильника

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
N					
0	0	0	0	0	0
1	0	1	0	0	0
2	0	1	1	0	0
3	0	1	1	1	0
4	0	1	1	1	1
5	1	0	0	0	0
6	1	0	1	0	0
7	1	0	1	1	0

Продовження таблиці 2.2

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
N					
8	1	0	1	1	1
9	1	1	0	0	0
10	1	1	0	1	0
11	1	1	0	1	1
12	1	1	1	0	0
13	1	1	1	0	1
14	1	1	1	1	0

Помилки в лічильнику виявляються при перевищенні кількості одиниць в його розрядах величини  $k$ . Тип помилок  $0 \rightarrow 1$ . В розглянутому прикладі лічильника з  $k = 4$  помилковим станом що виявляється буде 11111. Будь-яка чотириразова помилка в ньому буде помічена. У той же час одноразова помилка зазначеного виду буде показана для 30% (2.5) комбінацій: 01111, 10111, 11011, 11101, 11110. Якщо врахувати, що помилки в лічильниках виникають переважно у вигляді пакетів і носять характер  $0 \rightarrow 1$ , то його здатність до виявлення помилок для ряду застосувань можна вважати цілком задовільною. Її можна значно збільшити, зменшивши  $k$  і відповідно - коефіцієнт перерахунку. За умови, що  $k = 1$ , будь-які помилки типу  $0 \rightarrow 1$  будуть виявлені, а сам лічильник перетворюється в перешкодостійкий розподільник імпульсів.

У разі необхідності виявляти помилки типу  $1 \rightarrow 0$  в лічильник необхідно ввести додаткові елементи, що враховують обмеження (2.4, 2.5), відповідно до яких біноміальна комбінація може містити не більше  $n - k$  нулів, останній з яких повинен бути в кінці. Тому якщо перед останньою одиницею в комбінації таблиці 2.2 знаходиться  $n - k$  і понад нулів, то сталася помилка типу  $1 \rightarrow 0$ . Наприклад,

комбінація 00110 буде сприйнята як помилкова. Причому з ростом  $k$  здатність лічильника до виявлення помилок  $1 \rightarrow 0$  зростає. При  $k = n - 1$  будь-який перехід  $1 \rightarrow 0$ , за винятком збою останньої одиниці комбінації, буде виявлений. Це дозволяє зміною коефіцієнта перерахунку лічильника налаштувати його на певний характер перешкод, отже виробляти адаптацію до них.

Алгоритми біноміального рахунку пройшли програмну і апаратну дослідну перевірку. Результати випробувань біноміального лічильника з  $n = 5$  при значеннях  $k$  від 1 до 5 підтвердили його працездатність і ефективність.

На основі наведеного алгоритму побудуємо структурну схему лабораторного стенда для дослідження біноміального лічильника яка зображена на рисунку 2.1.



Рисунок 2.1 – Структурна схема лабораторного стенда для дослідження біноміального лічильника

## 2.2 Схема алгоритму функціонування

Схема алгоритму функціонування наведена на рисунку 2.2.

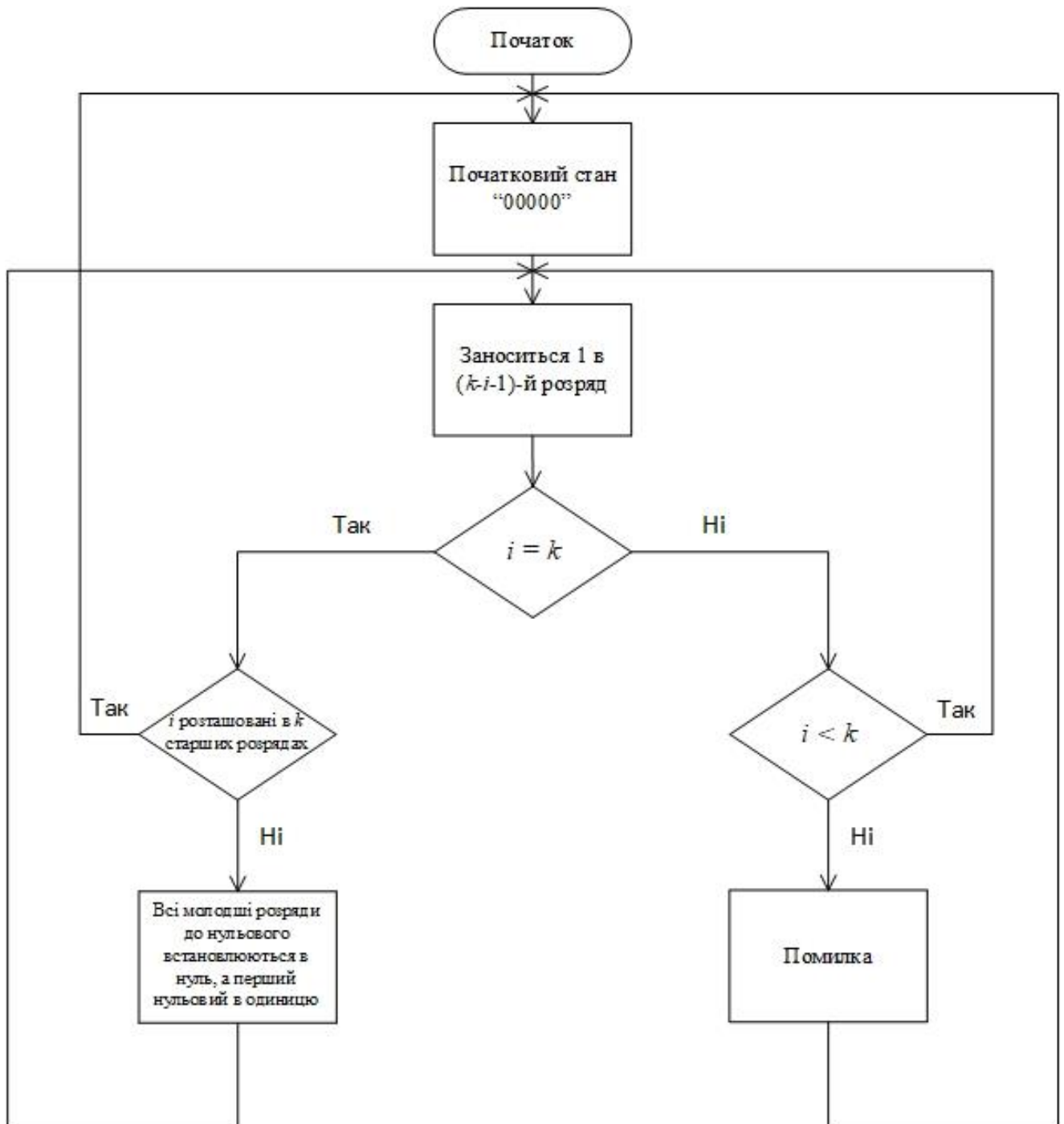


Рисунок 2.2 – Схема алгоритму функціонування пристрою

Змн.	Арк.	№ докум.	Підпис	Дата

### 3 РОЗРОБЛЕННЯ СХЕМИ ЕЛЕКТРИЧНОЇ ФУНКЦІОНАЛЬНОЇ ПРИСТРОЮ, ЩО ПРОЕКТУЄТЬСЯ

Згідно розглянутого алгоритму функціонування пристрою і структурної схеми пристрою було розроблено функціональну схему роботи лабораторного стенду для дослідження завадостійкості біноміальних лічильників, яка зображена на рисунку 3.1.

Розглянемо роботу функціонування лабораторного стенду. Він характеризується двома основними параметрами - числом розрядів  $n$  і контрольним числом  $k$ . Число станів лічильника визначається числом сполучень одиниць з  $(n + 1)$  елементів:

$$N = C_{n+1}^k = \frac{(n + 1)!}{k!(n - k + 1)!}$$

Для прикладу розглянемо випадок коли  $k = 4$  для числа розрядів  $n=5$  в порядку зростання наведені в таблиці 4.1. Їх число  $C_6^4 = 15$ .

Таблиця 3.1– Стани лічильника для  $k = 4$

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
0	0	0	0	0	0
1	0	1	0	0	0
2	0	1	1	0	0
3	0	1	1	1	0
4	0	1	1	1	1
5	1	0	0	0	0



Продовження таблиці 3.1

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
N					
6	1	0	1	0	0
7	1	0	1	1	0
8	1	0	1	1	1
9	1	1	0	0	0
10	1	1	0	1	0
11	1	1	0	1	1
12	1	1	1	0	0
13	1	1	1	0	1
14	1	1	1	1	0

Для початку роботи потрібно зібрати на лабораторному стенді схему біноміального лічильника з обраним значенням одиниць  $k$ .

Робота біноміального лічильника полягає в наступному (див. рис. 3.1). Його вихідним станом є нульове. Тому на нульовому виході суматора молодшого розряду лічильника знаходиться одиничний сигнал, який через схему І 8.5 після закінчення тактового імпульсу передає одиничний сигнал на схему АБО 6.3, а потім сигнал приходить на другий вхід схеми І 4.4. Якщо на четвертому виході суматора 7.4 знаходиться нульовий сигнал, то на перший вхід схеми І 4.4 при цьому приходить одиничний дозволяючий сигнал. Тому тригер Т 2.4 встановлюється в одиничний стан тактовим сигналом, що приходять на третій вхід схеми І 4.4. В результаті на першому виході суматора 7.1 з'явиться одиничний сигнал, який відкриє схему І 4.3 і запише в тригер Т 2.3 одиницю.

Таким чином, рахунок одиниць триває, поки їх кількість в лічильнику не стане рівним чотирьом. Поява на четвертому виході будь-якого суматора,

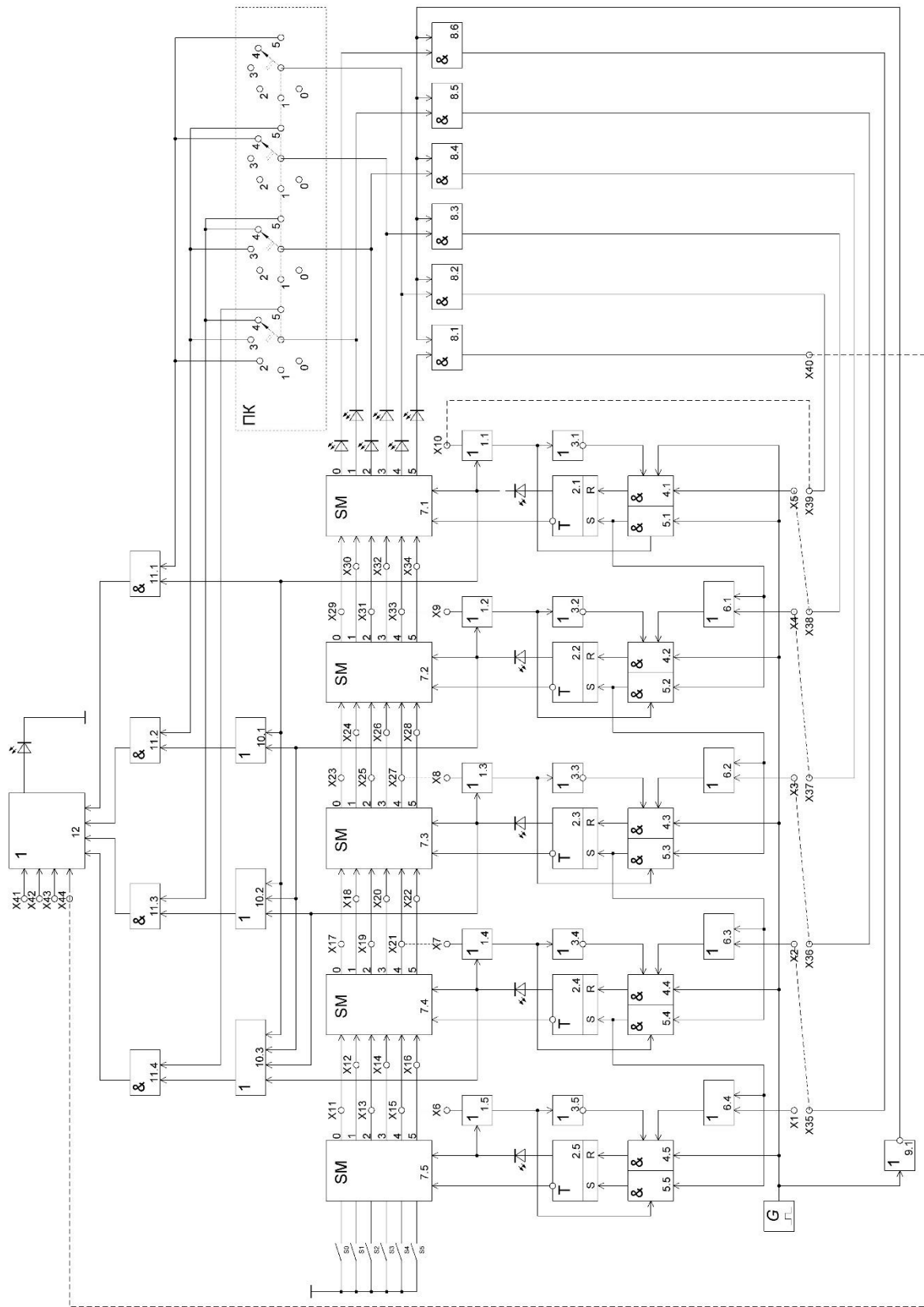


Рисунок 3.1 – Функціональна схема лабораторного стенду для дослідження біноміальних лічильників

Змн.	Арк.	№ докум.	Підпис	Дата

ЕЛІТ 6.05080202.003 ПЗ

наприклад 7.1, одиничного сигналу призводить до закриття схем I 4 і відкриванню схем I 5 (для молодшого розряду це схеми I 4.1, I 5.1), що призводить до встановлення відповідних тригерів в нульовий стан по тактовому імпульсу. При цьому в нуль скидається не тільки тригер, суматор якого містить одиницю на четвертому виході, а й сусідній, який не має такої одиниці. Це досягається з'єднанням одиничних виходів тригерів з першими входами схем АБО 1.

Якщо лічильник в результаті одиночної помилки або пакета помилок  $1 \rightarrow 0$  перейде в стан 11111, отже буде містити  $k + 1$  одиницю, то на п'ятому виході суматора молодшого розряду виробляється сигнал помилки. Здатність виявляти помилки лічильника у випадку  $1 \rightarrow 0$  зростає зі зменшенням контрольного числа  $k$  і досягає максимального значення при  $k = 1$ .

RS – тригер був обраний з погляду забезпечення якості та надійності переходу з одного стану в інший, адже він широко використовується як елемент пам'яті більш складних тригерних схем. Такі схеми часто називають бістабільними. Вказана назва впливає з того, що реально схема може перебувати лише в одиничному або нульовому стіні.

Розглянемо детальніше роботу симетричного RS - тригера який зображено на рисунку 3.2. Стан тригера ототожнюється із сигналом на прямому виході  $Q$ . Важливою особливістю тригерів є те, що будь-який із двох можливих станів є стійким за відсутності вхідних сигналів [5].

Припустимо, що  $R = S = 0$ , а  $\bar{Q}$ . Тоді на виході елемента DD1 зберігається значення  $Q = 0$ , яке забезпечує значення виходу  $\bar{Q}$  елемента DD2, тобто підтверджує нульовий стан тригера.

Припустимо, що у цьому стані на виході тригера подано комбінацію потенційних сигналів  $R = 0, S = 1$ . Тоді вихід DD2 набуде значення  $\bar{Q} = 0$ , а вихід елемента DD1 – значення  $Q = 1$ . Вказаною комбінацією вхідних сигналів запишемо сигнал  $S = 1$  у тригер як один біт інформації. Змінити стан тригера на попередній можливо протилежною комбінацією вхідних сигналів  $R = 1, S = 0$ . Якщо повторити подачу цієї комбінації вхідних сигналів за умови, що

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						27
Змн.	Арк.	№ докум.	Підпис	Дата		

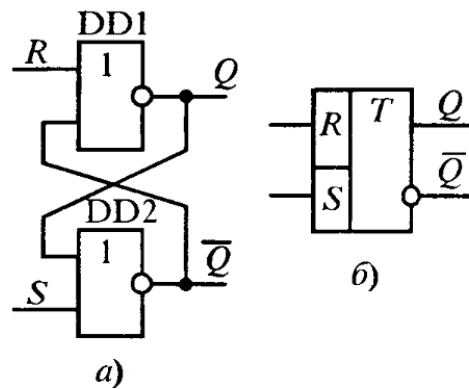


Рисунок 3.2 – а) Схема RS-тригера; б) Умовне позначення RS-тригера

$Q = 0, \bar{Q} = 1$ , то стан тригера не зміниться. Таким чином, стан виходів в момент часу, наступний за моментом подачі вхідних сигналів, залежить тільки від комбінації вхідних сигналів, але й від попереднього стану його виходів. Тому для аналізу схеми необхідно розподілення станів входів та виходів тригера у часі. Для цього попередні стани позначаються індексом  $n$ :  $S_n, R_n, Q_n$ . Наступний стан тригера, в яких той переходить у результаті впливу у  $n$ -й момент часу, позначається як  $Q_{n+1}, \bar{Q}_{n+1}$ . Завдяки такому розподіленню станів та вхідних сигналів у часі з'являється можливість використовувати логічні функції для запису алгоритму роботи тригерів.

Повна таблиця станів RS-тригера наведена в таблиці 3.2, що описує особливості його роботи. Зазначимо, що якщо  $S_n = R_n = 1$ , незалежно від  $Q_n$ , стан виходів тригера  $Q_{n+1}$  є невизначеним.

Таблиця 3.2 – Стани RS-тригера

$S_n$	$R_n$	$Q_n$	$Q_{n+1}$
0	0	0	0
0	0	1	1
0	1	0	1

Продовження таблиці 3.2

$S_n$	$S_n$	$Q_n$	$Q_{n+1}$
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

Дійсно, якщо подати на обидва входи таку комбінацію сигналів, то на обох виходах з'являться логічні нулі ( $Q_{n+1} = \bar{Q}_{n+1} = 0$ ). Але якщо ці сигнали одночасно зняти, задавши  $S_{n+1} = R_{n+1} = 0$ , то стан виходів буде невизначеним. Це пов'язано з тим, що після зняття сигналів у кожному з логічних елементів відбувається перехідний процес зміни станів, і результат його залежить від швидкодії елементів. Останнє є величиною невизначеною. Тому розглянута комбінація вхідних сигналів називається невизначеною комбінацією, а перехід від такої комбінації до нульової – заборонним переходом. Даний недолік було подолано за допомогою введення додаткових елементів що роблять неможливим появу забороненого переходу.

Особливістю даного лічильника є наявність комбінаційних матричних суматорів, які виконують функції перенесення і схем контролю та в звичайних лічильниках відсутні. Крім того, вони в значній мірі виконують функції дешифратора. Тому дешифрування станів біноміального лічильника значно спрощується.

Розглянемо структуру матричного суматора детальніше [2]. Суматор (див. рис. 3.3) є матричним і містить першу групу 9 з  $(k + 1)$  елементів I 10, другу групу 11 з  $(k + 1)$  елементів I 12 і групу 13 з  $k$  елементів АБО 14, першу групу 15 і другу групу 16 входів, групу з  $k + 2$  виходів - 0, 1, ...,  $k, k + 1$ . входи суматора з групи 15 з'єднані відповідно з першими входами елементів I 10 і з першими входами елементів I 12, другі входи відповідної пари з елементів I 10 і I 12 з'єднані з відповідними входами з другої групи 16, входи кожного з елементів АБО 14 з групи

13 з'єднані з виходами відповідних елементів I 10 і I 12 з груп 9 і 11. Наявність одиниці на виході  $k + 1$  суматора свідчить про те, що в результаті підсумовування сталася помилка (сума одиниць більше  $k$ ).

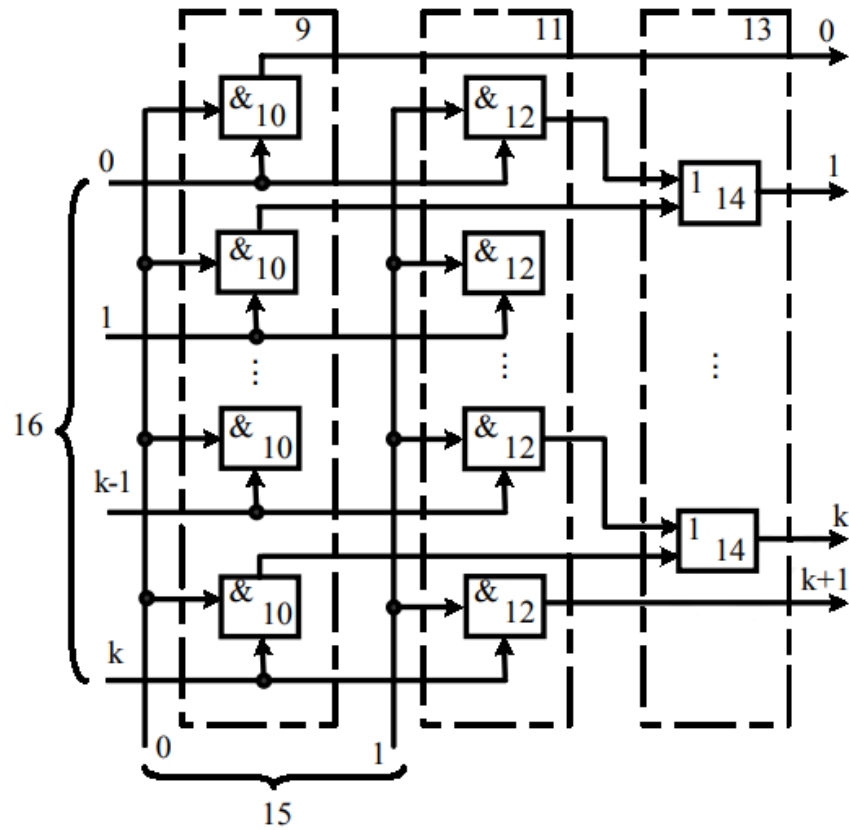


Рисунок 3.3 – Схема матричного суматора

Змн.	Арк.	№ докум.	Підпис	Дата

## 4. РОЗРАХУНКИ ТА СИНТЕЗ ОСНОВНИХ ЕЛЕКТРОННИХ БЛОКІВ, ВУЗЛІВ, СХЕМ КЕРУВАННЯ

### 4.1 Вибір елементної бази

Для розробки принципіальної електричної схеми лабораторного стенду для дослідження завадостійкості біноміальних лічильників, було використано наступні мікросхеми: мікросхема КР1533ЛЛ1, мікросхема КР1533ЛЕ1, мікросхема КР1533ЛП1, мікросхема КР1533ЛІ3. Характеристики наведених мікросхем знаходяться нижче. В якості індикаторів були використані світлодіоди.

Мікросхеми КР1533ЛЛ1 має чотири логічних елемента 2АБО. Корпус типу 201.14-1, маса не більше 1 г і 4306.14-А. Умовне графічне позначення мікросхеми КР1533ЛЛ1 зображене на рисунку 4.1.

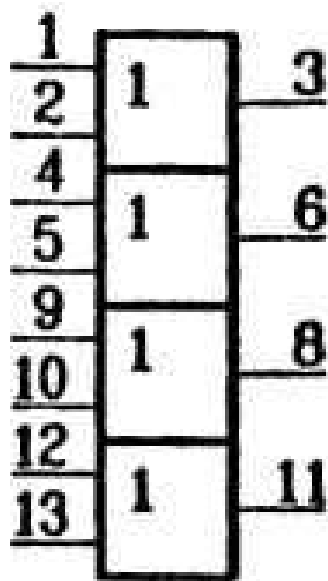


Рисунок 4.1 - Умовне графічне позначення КР1533ЛЛ1

Призначення виходів: 1, 2, 4, 5, 9, 10, 12, 13 - входи; 3, 6, 8, 11 - виходи; 7 - загальний; 14 - напруга живлення.

Електричні параметри мікросхеми КР1533ЛЛ1 наведені в таблиці 4.1

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						31
Змн.	Арк.	№ докум.	Підпис	Дата		

Таблиця 4.1 – Електричні параметри мікросхеми КР1533ЛЛ1

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,4 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4,9 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 4 \text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 12 \text{ нс}$
Час затримки поширення сгралу при виключенні	$\leq 14 \text{ нс}$
Ємність входу	$\leq 5 \text{ пФ}$

Мікросхема КР1533ЛЕ1 має чотири логічних елемента 2АБО-НІ. Корпус типу 201.14-1, маса не більше 1 г і 4306.14-А.і типу 201.14-8, маса не більше 2,2 грам. Умовне графічне позначення КР1533ЛЕ1 зображене на рисунку 4.2.

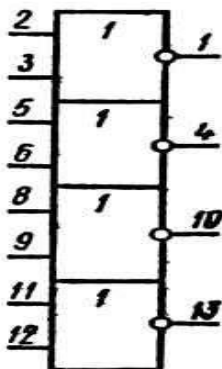


Рисунок 4.2 - Умовне графічне позначення КР1533ЛЕ1

Призначення виходів: 1, 4, 10, 13 - виходи, 2, 3, 5, 8, 9, 11, 12 - входи; 7 -загальний; 14 - напруга живлення.

Електричні параметри мікросхеми КР1533ЛЕ1 наведені в таблиці 4.2



Таблиця 4.2 – Електричні параметри мікросхеми КР1533ЛЕ1

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,5 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,5 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 2,2 \text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 10 \text{ нс}$
Час затримки поширення сгралу при виключенні	$\leq 12 \text{ нс}$
Ємність входу	$\leq 4 \text{ пФ}$

Мікросхема КР1533ЛІЗ має три логічних елемента 3І. Корпус типу 201.14-1, маса не більше 1 г і 4306.14-А. Умовне графічне позначення КР1533ЛІЗ зображене на рисунку 4.3.

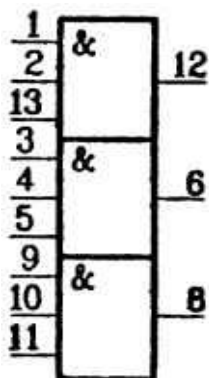


Рисунок 4.3 - Умовне графічне позначення КР1533ЛІЗ

Призначення виходів: 1, 4, 10, 13 - виходи, 2, 3, 5, 8, 9, 11, 12 - входи; 7 - загальний; 14 - напруга живлення.

Електричні параметри мікросхеми КР1533ЛІЗ наведені в таблиці 4.3.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		33

Таблиця 4.3 – Електричні параметри мікросхеми КР1533ЛІЗ

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,4 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 3 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 1,8 \text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 13 \text{ нс}$
Час затримки поширення сгралу при виключенні	$\leq 10 \text{ нс}$
Ємність входу	$\leq 5 \text{ пФ}$

Мікросхема КР1533ЛІ1 має чотири логічних елемента 2І. Корпус типу 201.14-1, маса не більше 1 г і 4306.14-А. Умовне графічне позначення КР1533ЛІ1 зображена на рисунку 4.4.

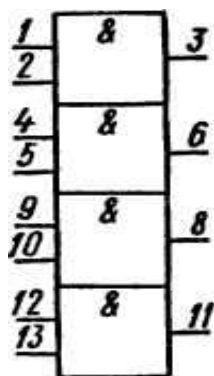


Рисунок 4.4 – Умовне графічне позначення КР1533ЛІ1

Призначення виходів: 1,2,4,5,9,10,12,13 - входи; 3,6,8,11 - виходи; 7 - загальний; 14 - напруга живлення.

Електричні параметри мікросхеми КР1533ЛІ1 наведені в таблиці 4.4.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		34

Таблиця 4.4 – Електричні параметри мікросхеми КР1533ЛІ1

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,5 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,5 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 2,4 \text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 14 \text{ нс}$
Час затримки поширення сгралу при виключенні	$\leq 15 \text{ нс}$
Ємність входу	$\leq 5 \text{ пФ}$

#### 4.2 Розрахунок генератор імпульсів

Генератор тактових імпульсів генерує електричні імпульси заданої частоти прямокутної форми для синхронізації різних процесів в цифрових пристроях. Тактові імпульси використовуються як еталони частоти — рахуючи їх кількість, можна, вимірювати часові інтервали.

Проектування генератора полягають у визначенні частоти генерування, вибору схеми і визначення параметрів елементів для заданих тривалості і періоду проходження імпульсів.

В якості генератора тактових імпульсів вибираємо одновібратор. Одновібратори - це пристрої, що виконують функцію формування імпульсів певної тривалості, що задається зовнішніми резисторами і конденсаторами. Для даного проекту використаємо одновібратор без перезапуску (див. рис. 4.6), вони спрацьовують по передньому фронту вхідного сигналу і не реагують наступні його зміни до закінчення свого вихідного імпульсу.

Щоб вихідний опір мікросхем не робило вплив на точність розрахунку

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		35

тривалості вихідного імпульсу, резистор R обираємо номіналом 15 кОм. Щоб знехтувати при розрахунках ємностями монтажу і власними ємностями інтегральних мікросхем, номінал конденсатора C вибирається значення 470 пФ.

Тривалість вихідного імпульсу чекає мультивібратора залежить як від швидкості заряду (розряду) часозадаючого ланцюга RC, так і від порога спрацьовування логічного елемента. Якщо врахувати 10-15% похибку в розрахунку цього інтервалу часу, то можна прийняти порогову напругу, рівною половині напруги живлення мікросхеми. У цьому випадку тривалість формованого імпульсу складе величину  $t_i = 0,69 \cdot R \cdot C = 0,69 \cdot 15 \cdot 10^3 \cdot 470 \cdot 10^{-12} = 5 \text{ мкс}$ . Часові діаграми роботи одновібратора наведені на рисунку 4.6.

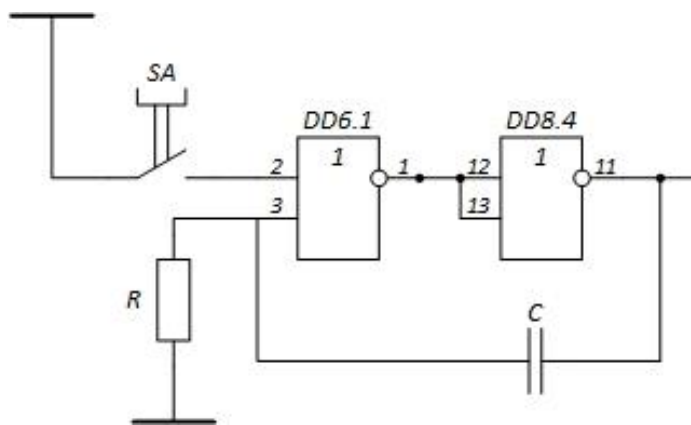


Рисунок 4.5 — Схема генератора тактових імпульсів

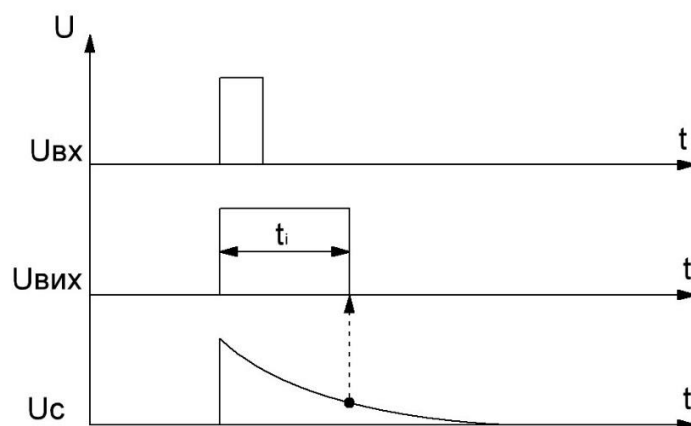


Рисунок 4.6 — Часова діаграма роботи генератора тактових імпульсів

Змн.	Арк.	№ докум.	Підпис	Дата

## 5 РОЗРОБЛЕННЯ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ ПРИСТРОЮ, ЩО ПРОЕКТУЄТЬСЯ

### 5.1 Вибір та розроблення алгоритмів

Рівноважні коди (коди з постійним числом одиниць) внаслідок простоти алгоритмів кодування і декодування і високою завадостійкістю широко застосовуються на практиці як для передачі даних по каналах зв'язку, так і при зберіганні і передачі інформації в цифрових системах обробки інформації [3].

Як правило, формування рівноважних кодів відбувається на основі таблиць, що обмежує їх розрядність і відповідно потужність. Це не дозволяє в повній мірі використовувати переваги рівноважних кодів і обмежує область їх застосування.

Розглянемо перешкодостійкий алгоритм перебору рівноважних кодів підвищеної потужності на основі біноміальних чисел і реалізацію на його основі завадостійкого мікропроцесорного пристрою. З його допомогою легко вирішується завдання переведення двійкових кодів в рівноважні, а також завдання рахунки в перешкодостійкі кодів, що має особливе значення в системах телеавтоматики [4].

Алгоритм роботи пристрою ґрунтується на правилах виконання арифметичних операцій в біноміальній системі числення [2].

Наприклад, для  $n = 5$ ,  $k = 2$  число 00001 не є біноміальним, так як перед молодшою одиницею, що стоїть в нульовому розряді, знаходяться чотири нулі, а повинно бути не більше  $n - k = 5 - 2 = 3$ . Число 00110 є біноміальним, так як містить  $k = 2$  одиниці і  $2 < 3$  нуля до молодшої одиниці, що стоїть в першому розряді.

Робота розглянутого пристрою відбувається за такими правилами:

- а) у початковому стані всі розряди пристрої встановлені в нуль;
- б) Відбувається занесення одиниці в  $(k - i)$ -й розряд, де  $i$  - число одиниць в розрядній сітці пристрою;

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						37
Змн.	Арк.	№ докум.	Підпис	Дата		

- в) Підраховується число одиниць в ній;
- г) Якщо число одиниць менше  $k$ , то перехід до пункту б;
- е) Якщо число одиниць рівне  $k$  і вони не розташовані в  $k$  старших розрядах, то молодші одиничні розряди до першого нульового встановлюються в нуль, а перший нульовий - в одиницю;
- є) Якщо число одиниць рівне  $k$  і вони розташовані в  $k$  старших розрядах, то цикл рахунку закінчено;
- ж) Якщо число одиниць більше  $k$ , то виробляється сигнал «Помилка» і відбувається перехід до пункту а;
- з) Проводиться підрахунок числа нулів в розрядній сітці пристрої до першої молодшої одиниці;
- и) Якщо число нулів менше або дорівнює  $n - k + 1$ , то перехід до пункту б;
- і) Якщо число нулів більше  $n - k + 1$ , то виробляється сигнал «Помилка» і відбувається повернення до пункту а.

Кількість перебираються пристроєм біноміальних чисел визначається з виразу

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!}$$

У таблиці 5.1 наведено приклади біноміальні числа з  $n = 5$ ,  $k = 2$ , отримані відповідно до наведеного вище алгоритмом.

Перехід до рівноважної комбінації від біноміальної здійснюється приписуванням до останньої одиниць, якщо вона їх містить менше  $k$ , або нулів, якщо вона містить  $k$  одиниць. Одиниці приписуються, починаючи від  $(n - k + 1)$ -го

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						38
Змн.	Арк.	№ докум.	Підпис	Дата		

Таблиця 5.1 - Врівноваженні стани 5-розрядного 2-біноміального лічильника

Число вхідних імпульсів N	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	0	1	1
3	0	0	1	0	0
4	0	0	1	0	1
5	0	0	1	1	0
6	0	1	0	0	0
7	0	1	0	0	1
8	0	1	0	1	0
9	0	1	1	0	0
10	1	0	0	0	0
11	1	0	0	0	1
12	1	0	0	1	0
13	1	0	1	0	0
14	1	1	0	0	0

нуля, а нулі - від останньої  $k$ -ї одиниці при рахунку від старшого розряду до тих пір, поки відповідно число одиниць не стане рівним  $k$  або число нулів - рівним  $n - k + 1$ . Так, біноміальна комбінація 01000 з  $n = 5$  і  $k = 4$  після перетворення в рівноважну матиме вигляд 010111.

## 5.2 Пояснення до програм, за якими працює мікропроцесорний пристрій, що проектується

Тактовий генератор мікропроцесорного пристрою (МПУ) може бути зібраний на МС КР580ГФ24. Він виробляє послідовності синхроімпульсів, необхідні для нормальної роботи пристрою. Пристрій для формування шини адреси (ФША) виконує функції буфера адресної лінії МП і може бути реалізований на двох МС КР580ВА86. Системний контролер (СК) виконує функції буфера шини даних (ШД) і виробляє керуючі сигнали, необхідні для роботи зовнішніх по відношенню до ЦП пристроїв [16, 17].

У початковий момент часу ЦП знаходиться в стані очікування (або може виконувати будь-які додаткові функції, які не відносяться до біноміальному лічильнику). Джерело інформації (П) надсилає запит на переривання і виробляє команду RST, яка викликає підпрограму біноміального лічильника, що зберігається в ПЗУ. При кожному зверненні до підпрограми вміст лічильника збільшується на одиницю і виводиться в порт виводу 00, який в даному випадку є споживачем інформації. При виявленні помилки в роботі лічильника мікропроцесор виводить повідомлення про помилку також в порт виводу 00, після чого лічильник обнуляється і продовжує працювати в колишньому режимі.

ОЗУ використовується для зберігання попереднього стану лічильника і організації стека, який необхідний при роботі з підпрограмами. Таким чином, обсяг ОЗУ, необхідний безпосередньо для біноміального лічильника, становить всього кілька осередків.

Структурна-схема алгоритму роботи підпрограми біноміального лічильника представлена на рисунку 5.1.

При зверненні до підпрограми в акумулятор завантажується число А (попереднє стан лічильника, яке зберігається в лічильнику ОЗУ). Для переходу до

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						40
Змн.	Арк.	№ докум.	Підпис	Дата		



наступного стану нам необхідно знати, яка кількість одиниць вже міститься в лічильнику, тому на наступному етапі підраховується число одиниць. Далі алгоритм розгалужується залежно від того, чи дорівнює кількість одиниць  $i$  контрольному числу  $k$ . У разі рівності перевіряється, чи знаходяться всі одиниці в старших розрядах лічильника, і в залежності від результату обнуляється лічильник ( $A := 0$ ) або додається одиниця в молодший розряд лічильника ( $A := A + A2$ ).

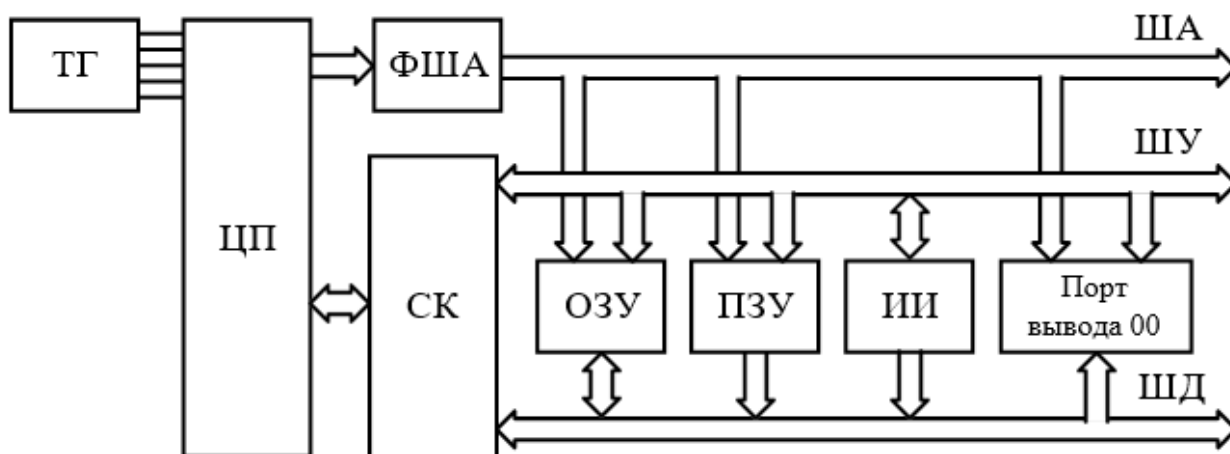


Рисунок 5.1 - Структурна-схема алгоритму роботи

Випадок, коли  $i$  не дорівнює  $k$ , в свою чергу, ділиться на два варіанти:  $i > k$  та  $i < k$ . Якщо число одиниць в лічильнику більше контрольного числа ( $i > k$ ), то це означає, що сталася помилка. У цьому випадку виводиться в порт 00 повідомлення про помилку, після чого обнуляється лічильник ( $A := 0$ ).

Якщо число одиниць в лічильнику менше контрольного числа ( $i < k$ ), то алгоритм також розгалужується залежно від того, дорівнює нулю число одиниць  $i$  чи ні. У разі рівності нулю потрібно додати одиницю в розряд лічильника з номером  $k$  ( $A := A + A3$ ), а в разі нерівності необхідно спочатку зрушити вміст лічильника на  $i$  розрядів вліво, а після складання повернути його в початковий стан.

Закінчення програми для всіх розглянутих випадків один і той же:

новий стан лічильника в порт виводу 00, потім вивантажується в осередок ОЗУ для зберігання до наступного звернення до підпрограми і відбувається повернення з підпрограми.

Підпрограма біноміального лічильника на мові Асемблера представлена у ДОДАТКУ А. Очевидно, що на одному процесорі можна організувати кілька біноміальних лічильників з різними параметрами. При цьому різні джерела інформації будуть видавати запити на переривання і формувати різні команди RST. У свою чергу, мікропроцесор буде по черзі обробляти запити і видавати інформацію в різні порти виводу.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						42
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

## ВИСНОВОК

В результаті виконання дипломної роботи було розроблено лабораторний стенд для дослідження завадостійких біноміальних кодів, який показав:

а) високу завадостійкість при незначних додаткових апаратурних витрат в порівнянні з двійковим лічильником. Він також мав однорідну структуру в тому числі і за рахунок використання комбінаційних матричних суматорів, які виконують в ньому функції переносу;

б) Перевагу біноміального лічильника над іншими структурами лічильників яка полягає в тому, що для встановлення діапазону кодових комбінацій достаньо змінити кількість одиниць  $k$ ;

в) При надходженні заборонених кодових комбінацій стенд повідомляє про це користувача звуковим сигналом і відповідним сигналом з індикатора.

В процесі роботи зі стендом були закріплені теоретичні знання про біноміальні системи числення і біноміальні лічильники, а також отримані результати по їх завадостійкості.

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						43
Змн.	Арк.	№ докум.	Підпис	Дата		

## СПИСОК ЛІТЕРАТУРИ

1. Борисенко А. А., Ермаков М.С. и другие “Формирование помехоустойчивых перестановочных кодов на основе факториальных чисел” (III Міжнародна конференція “Комп’ютерна алгебра і інформаційні технології” САІТ-Odessa-2018-С. 129-132)
2. Борисенко А. А. Биномиальные автоматы - Суми: СумДУ, 2006 р. – с. 120
3. Борисенко А. А. Биномиальный счет и счетчики: монография. – Сумы: СумГУ, 2008. – 152 с.
4. Оберман Р. М. Счет и счетчики. - М., 1984. - 173 с.
5. Рябенький В.М., Жуйков В.Я., Гулий В.Д. Цифровая схемотехника: Навч. посібник –Львів: “Новий світ-2000”,2009. – 736 с.
6. Шустов М.А. Цифровая схемотехника. Основы построения. – СПб: Наука и техника, 2018. – 320 с.
7. Borysenko O., Horiachev O., Serdiuk V., Yermakov M. Protection of information based on factorial numbers // Ukrainian Scientific Journal of Information Security, 2018, vol. 24, issue 3, pp. 169-174.
8. Осадченко, В. Х.; Волкова, Я. Ю.; Германенко, А. В.; Зеленовский, П. С. Базовые элементы цифровой техники. - Изд-во Уральского ун-та. – 2018. – 124 с.
9. Постников А.И., Иванов В.И., Непомнящий О.В. Схемотехника ЭВМ. - Сибирский федеральный университет. – 2018. - 285 с.
10. Миловзоров О.В., Панков И.Г. Электроника. – Юрайт. – 2018. - 344 с.
11. Новожилов О.П. Электроника и схемотехника В 2 Ч. Часть 1. – Юрайт.- 2018. - 382 с.
12. Золотов В.П., Воронцов И.В. Электроника на Multisim. Самарский государственный технический университет.- 2017.- 96 с.
13. Елементи та компоненти електронних пристроїв: підруч. для студентів ВНЗ, які навчаються за напрямом «Радіоелектрон. апарати» / М. Д. Матвійків, Б. С. Вус, О. М. Матвійків ; М-во освіти і науки України, Нац. ун-т «Львів. політехніка». —

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						44
Змн.	Арк.	№ докум.	Підпис	Дата		

Львів: Вид-во Львів. політехніки, 2015. — 496 с. : іл. — Режим доступу: . —

Бібліогр.: с. 492—494

14. Цифрова схемотехніка : підручник / О. А. Борисенко. — Суми : Сумський державний університет, 2016. — 200 с.

15. Mitchel E. Schultz Grob's Basic Electronics, 12th Edition - McGraw-Hill Education, 2015. — 1264 с.

16. Miles Price Arduino: Best Practices to Excel While Learning Arduino Programming - Amazon Digital Services LLC, 2018. — 59 с.

17. Simon Knigh Arduino for Beginners. Step-by-Step Guide to Arduino - Independently published, 2018. — 114 с.

18. Kumar Balbir, Jain Shail B. Electronic Devices and Circuits - Prentice-Hall of India Pvt.Ltd, 2014. — 992 с.

19. Stan Gibilisco Beginner's Guide to Reading Schematics, 4th Edition - McGraw-Hill Education TAB, 2018. — 224 с.

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						45
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

## ДОДАТОК А

Код програми

ВИКОРИСТОВУЮТЬСЯ РЕГІСТРИ: А, В, С

ВИКОРИСТОВУЮТЬСЯ ПІДПРОГРАМИ: НІ

ВИЗНАЧЕННЯ

ADR EQU 0F100H; адреса осередку зберігання попереднього стану лічильника

N EQU 5; N-число розрядів лічильника

До EQU 4; K-контрольне число

A1 EQU 11110000B; число з усіма одиниць у K старших розрядів

A2 EQU 00001000B; одиниця молодшого розряду

A3 EQU 01000000B; одиниця в розряді K

Лічильник використовує N старших розрядів ІЩД МП

ПРОГРАМА

BINOM: LDA ADR; завантаження попереднього стану біноміальними лічильника

MVI B, 0; скидання лічильників одиниць: I = 0

MVI 3, N; завантаження кількості розрядів біноміальними лічильника

РАХУНОК ОДИНИЦЬ ШЛЯХОМ ЗСУВУ РОЗРЯДІВ У БІТ «С» РЕГІСТРА

УМОВ

LAB10: RLC; зсув

JNC LAB20; біт «С» дорівнює нулю?

INR B; ні тоді збільшуємо число одиниць

LAB20: DCR C; переходимо до наступного розряду.

JNZ LAB10; рахунок завершено? Ні - тоді повторити

REPT 8-N; повернення біноміального лічильника у вихідні стан

RLC;

ENDM

ПОРІВНЯННЯ КІЛЬКІСТЬ ОДИНИЦЬ «1» З КОНТРОЛЬНИМ ЧИСЛОМ «К»

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						1
Змн.	Арк.	№ докум.	Підпис	Дата		

MOV C, B; на зберігання  
 REPT K  
 DCR B  
 ENDM  
 JZ LAB30; I = K? ТАК - переходимо до LAB30  
 JM LAB40; I <K? ТАК - ПЕРЕХОДИМО До LAB40  
 ; НІ (I > K) - помилково СТАН.  
 ; виводимо ознака помилки в порт 00  
 MVI A, 11111111B; завантажувати ознака помилки  
 OUT 00; вивід в порт 00  
 MVI A, 0; скидання лічильників  
 JMP LAB70; перехід до закінчення  
 ;ВИПАДОК I = K.  
 LAB30: CPI A1; всі одиниці в K старших розрядах?  
 JNZ LAB35; якщо-ні - перехід  
 MVI A, 0; всі? Тоді таймери можуть бути обнулені  
 JMP LAB70; перехід до закінчення  
 LAB35: ADI A2; додається одиниця до молодшого  
 РАЗ РЯДУ  
 JMP LAB70; перехід до закінчення  
 ; ВИПАДОК I <K.  
 LAB40: INR C; активізуючи біт «Z» регістра умов  
 DCR C  
 MOV B, C; відновлює I в регістер B  
 JNZ LAB50; I = 0? ні - тоді переходимо  
 ADI A3 ;да - тоді заносяться одиницю в розряд K  
 JMP LAB70; перехід до закінчення  
 LAB50: RLC; зсувається вміст лічильника  
 DCR C; на I розрядів вліво

					ЕЛІТ 6.05080202.003 ПЗ	Арк.
						2
Змн.	Арк.	№ докум.	Підпис	Дата		

JNZ LAB50

ADI A3; додають чергова одиницю справа

LAB60: RRC; повертаємо лічильника у вихідні

DCR B; стан

JNZ LAB60

LAB70: OUT 00; вивід стану лічильника в порт 00

STA ADP; вивантаження лічильника в осередки ОЗУ

RET; повернення

					<i>ЕЛІТ 6.05080202.003 ПЗ</i>	Арк.
						3
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		



Поз. познач.	Найменування	Кіл.	Примітка					
	<b>Конденсатори</b>							
C	K10-17 470 пФ ±10	1						
	<b>Мікросхеми</b>							
DD1	KP1533ЛЛ1	1						
DD2÷DD3	KP1533ЛІ3	2						
DD4÷DD5	KP1533ЛЛ1	2						
DD6÷DD10	KP1533ЛЕ1	5						
DD11÷DD12	KP1533ЛЛ1	2						
DD13÷DD17	KP1533ЛІ1	5						
DD18÷DD19	KP1533ЛЛ1	2						
DD20÷DD26	KP1533ЛІ1	7						
DD27÷DD29	KP1533ЛЛ1	3						
DD30÷DD31	KP1533ЛІ1	2						
DD32÷DD33	KP1533ЛЛ1	2						
DD34÷DD36	KP1533ЛІ1	3						
DD37÷DD38	KP1533ЛЛ1	2						
	<b>Резистори</b>							
R	C2-23-0,125-15кОм±5%	1						
	<b>Перемикачі</b>							
S1	Перемикач галетний RCL371-4-8-6	1						
SA	Кнопка NP2-EC42	1						
SB1÷SB6	Тумблер SMTS-101	6						
<b>ЕЛІТ 6.05080202.003 ПЗ</b>								
Змн.	Арк.	№ докум.	Підпис	Дата	Розробка лабораторного стенду для дослідження біноміальних лічильників. Перелік елементів.	Лім.	Арк.	Аркушів
Розроб.		Єрмаков М.С.					1	2
Перевір.		Борисенко О.А.						
Н. Контр.		Гапич В.М.						
Затверд.		Опанасюк А.С.						
						<b>СумДУ, ЕС-51</b>		

