



УКРАЇНА

(19) UA (11) 13188 (13) U
(51) МПК (2006)
G01M 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ ПАРАМЕТРА РОЗСІЯННЯ ЕНЕРГІЇ І ВЛАСНОЇ ЧАСТОТИ МЕХАНІЧНОЇ КОЛИВАЛЬНОЇ СИСТЕМИ

1

2

(21) u200509395

(22) 06.10.2005

(24) 15.03.2006

(46) 15.03.2006, Бюл. № 3, 2006 р.

(72) Пузько Ігор Данилович, Осіпов Валерій Анатолійович, Неня Віктор Григорович

(73) СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

(57) Пристрій для визначення параметра розсіяння енергії і власної частоти механічної коливної системи, що містить вимірювальний перетворювач швидкості, установлений на випробуваному об'єкті, два ключі, два регістри, генератор імпульсів, інтегратор, два знаочутливі елементи, елемент І, два елементи диференціювання, чотири діоди, два інвертори, два тригери, два лічильники імпульсів, два цифро-аналогових перетворювачі, елемент затримки, перший блок ділення, два блоки множення, вихід вимірювального перетворювача швидкості з'єднаний з об'єднаними входами першого знаочутливого елемента і інтегратора, вихід якого з'єднаний з входом другого знаочутливого елемента, вихід якого з'єднаний з другим входом елемента І, перший вхід якого з'єднаний з виходом першого знаочутливого елемента, вихід елемента І з'єднаний з входом першого елемента диференціювання, вихід якого через перший діод в прямому напрямку з'єднаний з S-входом першого тригера, R-вхід якого з'єднаний з виходом першого інвертора, вхід якого через третій діод в зворотному напрямку з'єднаний з виходом першого елемента диференціювання, вихід другого знаочутливого елемента з'єднаний з входом другого елемента диференціювання, вихід якого через другий діод в прямому напрямку з'єднаний з S-входом другого тригера, R-вхід якого з'єднаний з виходом другого інвертора, вхід якого через четвертий діод в зворотному напрямку з'єднаний з виходом другого елемента диференціювання, вихід другого інвертора з'єднаний з об'єднаними входами першого елемента затримки і входами Прием першого і другого регістрів, вихід першого елемента затримки з'єднаний з об'єднаними установочними входами першого і другого лічильників імпульсів, лічильні входи яких з'єднані з входами першого і другого ключів, відповідно, інформаційні входи яких об'єднані і з'єднані з виходом генератора імпульсів, а керувальні входи першого і другого ключів з'єднані з прямими виходами першого і другого тригерів, відповідно, прямі виходи розрядів першого і другого лічильників імпульсів з'єднані з входами відповідних розрядів першого і другого регістрів, відповідно, прямі виходи розрядів яких з'єднані з входами розрядів першого і другого цифро-аналогових перетворювачів, відповідно, причому вихід першого блока ділення з'єднаний з першим входом першого блока множення, джерело напруги величиною π , який відрізняється тим, що пристрій додатково містить два комутатори, першу і другу групи із N блоків пам'яті з першого по N-й кожна, де N - число циклів вимірювання, другий блок ділення, групу із N блоків ділення з першого по N-й, першу, другу, третю, четверту і п'яту групи із N блоків множення з першого по N-й кожна, групу із N перетворювачів синуса з першого по N-й, групу із N перетворювачів котангенса з першого по N-й, чотири N-входові суматори, дешифратор, N-входовий елемент І, формувач імпульсів, третій лічильник імпульсів, реєстратор, другий і третій елементи затримки, причому виходи першого і другого цифро-аналогових перетворювачів з'єднані з входами першого і другого комутаторів, відповідно, виходи з першого по N-й першого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по N-й першої групи із N блоків пам'яті, виходи яких з'єднані з входами Ділене відповідних блоків ділення з першого по N-й групи із N блоків ділення, виходи з першого по N-й другого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по N-й другої групи із N блоків пам'яті, виходи яких з'єднані з входами Подільник відповідних блоків ділення з першого по N-й групи із N блоків ділення, виходи яких з'єднані з першими входами відповідних блоків множення з першого по N-й першої групи із N блоків множення, другі входи яких об'єднані і з'єднані з виходом джерела напруги величиною π , виходи блоків множення з першого по N-й першої групи із N блоків множення з'єднані з входами відповідних перетворювачів синуса з першого по N-й групи із N перетворювачів синуса, виходи яких з'єднані з першими входами відповідних блоків множення з першого по N-й другої групи із N блоків множення, другі входи яких з'єднані з входами відповідних блоків пам'яті з першого по N-й другої

(19) UA (11) 13188 (13) U

групи із N блоків пам'яті, виходи блоків множення з першого по N-й другої групи із N блоків множення з'єднані з входами першого N-входового суматора, вихід якого з'єднаний з входом Ділене першого блока ділення, вхід Подільник якого з'єднаний з виходом другого N-входового суматора, входи якого з'єднані з виходами відповідних блоків множення з першого по N-й четвертої групи із N блоків множення, входи яких поблочно об'єднані і з'єднані з виходами відповідних блоків множення з першого по N-й другої групи із N блоків множення, другий вхід першого блока множення з'єднаний з виходом джерела напруги величиною π , а вихід - з першим інформаційним входом Регістрація ω_0 реєстратора, другий інформаційний вхід Регістрація η якого з'єднаний з виходом другого блока множення, перший вхід якого з'єднаний з виходом другого блока ділення, а другий вхід - з виходом джерела напруги величиною π , вхід Ділене другого блока ділення з'єднаний з виходом третього N-входового суматора, входи якого з'єднані з виходами блоків множення з першого по N-й третьої групи із N блоків множення, перші входи яких з'єднані з виходами відповідних перетворювачів котангенса з першого по N-й групи із N блоків перетворювачів котангенса, входи яких з'єднані з

виходами відповідних блоків множення з першого по N-й першої групи із N блоків множення, другі входи блоків множення з першого по N-й третьої групи із N блоків множення з'єднані з виходами відповідних блоків пам'яті з першого по N-й другої групи із N блоків пам'яті, вихід другого інвертора через другий елемент затримки з'єднаний з лічильним входом третього лічильника імпульсів, прямі виходи розрядів якого з'єднані з входами дешифратора, входи якого з першого по N-й з'єднані з відповідними керувальними входами з першого по N-й першого і другого комутаторів, з входами Запис блоків пам'яті з першого по N-й, відповідно, першої групи із N блоків пам'яті, з входами Запис блоків пам'яті з першого по N-й, відповідно, другої групи із N блоків пам'яті, входи Читання блоків пам'яті з першого по N-й першої групи із N блоків пам'яті і блоків пам'яті з першого по N-й другої групи із N блоків пам'яті об'єднані і з'єднані з входами формувача імпульсів, вхід якого з'єднаний з виходом N-входового елемента I, входи якого з'єднані з прямими виходами розрядів третього лічильника імпульсів, вихід другого елемента затримки через третій елемент затримки з'єднаний з об'єднаними входами Скид першого і другого регістрів.

Корисна модель відноситься до галузі випробувальної техніки і може бути застосована в машинобудуванні, авіаційній і космічній техніці.

Відомий пристрій для вібровипробувань, що містить вимірювальний перетворювач швидкості, установлений на випробуваному об'єкті, два ключі, два регістри і генератор імпульсів [див. ав. св. СРСР №1352321, МПК G01M7/00, 1987].

Недолік відомого пристрою - недостатня точність визначення параметра розсіяння енергії і власної частоти механічної коливальної системи, що пояснюється похибками виміру, фіксації та запам'ятовування.

За найближчий аналог вибрано пристрій для визначення параметра розсіяння енергії і власної частоти механічної коливальної системи, що містить віброперетворювач, установлений на випробуваному об'єкті, два ключі, два регістри, генератор сигналів, інтегратор, два знакочутливі елемента, елемент «I», два елемента диференціювання, чотири діода, два інвертора, два тригера, два лічильники імпульсів, два цифро-аналогових перетворювачів, елемент затримки, блок ділення, три блока множення, два перетворювачі, в ролі генератора сигналів виступає генератор імпульсів, а віброперетворювач являє собою перетворювач швидкості, вихід якого з'єднаний з входами першого знакочутливого елемента і інтегратора, вихід якого з'єднаний з входом другого знакочутливого елемента, вихід якого з'єднаний з першим входом елемента «I», другий вхід якого з'єднаний з виходом першого знакочутливого елемента, вихід елемента «I» з'єднаний з входом першого елемента диференціювання, вихід якого через перший діод

в прямому напрямку з'єднаний з S-входом першого тригера, R-вихід якого з'єднаний з виходом першого інвертора, вихід другого знакочутливого елемента з'єднаний з входом другого елемента диференціювання, вихід якого через другий діод в прямому напрямку з'єднаний з S-входом другого тригера, R-вихід якого з'єднаний з виходом другого інвертора, вихід першого елемента диференціювання через третій діод в зворотному напрямку з'єднаний з входом першого інвертора, вихід другого елемента диференціювання через четвертий діод в зворотному напрямку з'єднаний з входом другого інвертора, вихід якого з'єднаний з входом елемента затримки і керувальними входами першого і другого регістрів, вихід елемента затримки з'єднаний з установочними входами першого і другого лічильників імпульсів, лічильні входи яких з'єднані з виходами першого і другого ключів, відповідно, входи яких об'єднані і з'єднані з виходом генератора імпульсів, а керувальні входи - з прямими виходами першого і другого тригерів, відповідно, виходи розрядів першого і другого лічильників імпульсів з'єднані з входами відповідних розрядів першого і другого регістрів, відповідно, виходи розрядів яких з'єднані з входами розрядів першого і другого цифро-аналогових перетворювачів, відповідно, вихід першого цифро-аналогового перетворювача з'єднаний з першим входом першого блока множення, вихід якого з'єднаний з входами першого і другого перетворювачів, вихід другого цифро-аналогового перетворювача з'єднаний з виходом «Подільник» блока ділення, вхід «Ділене» якого з'єднаний з виходом джерела напруги величиною « π », а вихід з'єднаний з другим входом

першого блока множення, виходи першого і другого перетворювачів з'єднані з другими входами другого і третього блоків множення, відповідно, виходи яких з'єднані з першим і другим входами пристрою, відповідно [див. ав. св. СРСР №1583778, МПК G01M7/00, 1990].

Недоліком відомого пристрою є недостатня точність визначення параметра розсіяння енергії і власної частоти механічної коливальної системи, що пояснюється похибками виміру, фіксації та запам'ятовування значень часових інтервалів, а також недостатнім по множині інформаційним масивом даних для зменшення похибок шляхом усереднення.

В основу запропонованої корисної моделі поставлене завдання підвищення точності шляхом удосконалення пристрою за рахунок введення до його складу додаткових елементів, блоків і функціональних зв'язків, введення яких забезпечує формування нового алгоритму, який заснований на нових аналітичних співвідношеннях, що базується на розширенні масиву інформаційних даних і формування регресійних залежностей для зменшення похибок вимірювання.

Поставлене завдання вирішується тим, що у відомому пристрої для визначення параметра розсіяння енергії і власної частоти механічної коливальної системи, що містить вимірювальний перетворювач швидкості, установлений на випробуваному об'єкті, два ключі, два регістри, генератор імпульсів, інтегратор, два значущих елементи, елемент «I», два елементи диференціювання, чотири діоди, два інвертори, два тригери, два лічильники імпульсів, два цифро-аналогових перетворювачі, елемент затримки, перший блок ділення, два блоки множення, вихід вимірювального перетворювача швидкості з'єднаний з об'єднаними входами першого значущого елемента і інтегратора, вихід якого з'єднаний з входом другого значущого елемента, вихід якого з'єднаний з другим входом елемента «I», перший вхід якого з'єднаний з виходом першого значущого елемента, вихід елемента «I» з'єднаний з входом першого елемента диференціювання, вихід якого через перший діод в прямому напрямку з'єднаний з S-входом першого тригера, R-вхід якого з'єднаний з виходом першого інвертора, вхід якого через третій діод в зворотному напрямку з'єднаний з виходом першого елемента диференціювання, вихід другого значущого елемента з'єднаний з входом другого елемента диференціювання, вихід якого через другий діод в прямому напрямку з'єднаний з S-входом другого тригера, R-вхід якого з'єднаний з виходом другого інвертора, вхід якого через четвертий діод в зворотному напрямку з'єднаний з виходом другого елемента диференціювання, вихід другого інвертора з'єднаний з об'єднаними входами першого елемента затримки і входами «Прийом» першого і другого регістрів, вихід першого елемента затримки з'єднаний з об'єднаними установочними входами першого і другого лічильників імпульсів, лічильні входи яких з'єднані з входами першого і другого ключів, відповідно, інформаційні входи яких об'єднані і з'єднані з виходом генератора імпульсів, а керувальні входи першого і другого ключів з'єднані з прямими входами першого і другого тригерів, відповідно, прямі виходи розрядів першого і другого лічильників імпульсів з'єднані з входами відповідних розрядів першого і другого регістрів, відповідно, прямі виходи розрядів яких з'єднані з входами розрядів першого і другого цифро-аналогових перетворювачів, відповідно, причому вихід першого блока ділення з'єднаний з першим входом першого блока множення, джерело напруги величиною «π», згідно з корисною моделлю, пристрій додатково містить два комутатори, першу і другу групи із «N» блоків пам'яті з першого по «N-й» кожна, де N - число циклів вимірювання, другий блок ділення, групу із «N» блоків ділення з першого по «N-й», першу, другу, третю, четверту і п'яту групи із «N» блоків множення з першого по «N-й» кожна, групу із «N» перетворювачів «синусу» з першого по «N-й», групу із «N» перетворювачів «котангенсу» з першого по «N-й», чотири N-входові суматори, дешифратор, N-входовий елемент «I», формувач імпульсів, третій лічильник імпульсів, реєстратор, другий і третій елементи затримки, причому виходи першого і другого цифро-аналогових перетворювачів з'єднані з входами першого і другого комутаторів, відповідно, виходи з першого по «N-й» першого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по «N-й» першої групи із «N» блоків пам'яті, виходи яких з'єднані з входами «Ділене» відповідних блоків ділення з першого по «N-й» групи із «N» блоків ділення, виходи з першого по «N-й» другого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті, виходи яких з'єднані з входами «Подільник» відповідних блоків ділення з першого по «N-й» групи із «N» блоків ділення, виходи яких з'єднані з першими входами відповідних блоків множення з першого по «N-й» першої групи із «N» блоків множення, другі входи яких об'єднані і з'єднані з виходом джерела напруги величиною «π», виходи блоків множення з першого по «N-й» першої групи із «N» блоків множення з'єднані з входами відповідних блоків множення з першого по «N-й» другої групи із «N» блоків множення, другі входи яких з'єднані з входами відповідних блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті, виходи блоків множення з першого по «N-й» другої групи із «N» блоків множення з'єднані з входами першого N-входового суматора, вихід якого з'єднаний з входом «Ділене» першого блока ділення, вхід «Подільник» якого з'єднаний з виходом другого N-входового суматора, входи якого з'єднані з входами відповідних блоків множення з першого по «N-й» четвертої групи із «N» блоків множення, входи яких поблочно об'єднані і з'єднані з входами відповідних блоків множення з першого по «N-й» другої групи із «N» блоків множення, другий вхід першого блока множення з'єднаний з виходом джерела напруги величиною «π», а вихід - з першим інформаційним входом «Реєстрація ω₀» реєстратора, другий інформаційний вхід «Реєстрація h» якого з'єднаний з виходом другого блока мно-

чих з'єднані з прямими входами першого і другого тригерів, відповідно, прямі виходи розрядів першого і другого лічильників імпульсів з'єднані з входами відповідних розрядів першого і другого регістрів, відповідно, прямі виходи розрядів яких з'єднані з входами розрядів першого і другого цифро-аналогових перетворювачів, відповідно, причому вихід першого блока ділення з'єднаний з першим входом першого блока множення, джерело напруги величиною «π», згідно з корисною моделлю, пристрій додатково містить два комутатори, першу і другу групи із «N» блоків пам'яті з першого по «N-й» кожна, де N - число циклів вимірювання, другий блок ділення, групу із «N» блоків ділення з першого по «N-й», першу, другу, третю, четверту і п'яту групи із «N» блоків множення з першого по «N-й» кожна, групу із «N» перетворювачів «синусу» з першого по «N-й», групу із «N» перетворювачів «котангенсу» з першого по «N-й», чотири N-входові суматори, дешифратор, N-входовий елемент «I», формувач імпульсів, третій лічильник імпульсів, реєстратор, другий і третій елементи затримки, причому виходи першого і другого цифро-аналогових перетворювачів з'єднані з входами першого і другого комутаторів, відповідно, виходи з першого по «N-й» першого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по «N-й» першої групи із «N» блоків пам'яті, виходи яких з'єднані з входами «Ділене» відповідних блоків ділення з першого по «N-й» групи із «N» блоків ділення, виходи з першого по «N-й» другого комутатора з'єднані з інформаційними входами відповідних блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті, виходи яких з'єднані з входами «Подільник» відповідних блоків ділення з першого по «N-й» групи із «N» блоків ділення, виходи яких з'єднані з першими входами відповідних блоків множення з першого по «N-й» першої групи із «N» блоків множення, другі входи яких об'єднані і з'єднані з виходом джерела напруги величиною «π», виходи блоків множення з першого по «N-й» першої групи із «N» блоків множення з'єднані з входами відповідних блоків множення з першого по «N-й» другої групи із «N» блоків множення, другі входи яких з'єднані з входами відповідних блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті, виходи блоків множення з першого по «N-й» другої групи із «N» блоків множення з'єднані з входами першого N-входового суматора, вихід якого з'єднаний з входом «Ділене» першого блока ділення, вхід «Подільник» якого з'єднаний з виходом другого N-входового суматора, входи якого з'єднані з входами відповідних блоків множення з першого по «N-й» четвертої групи із «N» блоків множення, входи яких поблочно об'єднані і з'єднані з входами відповідних блоків множення з першого по «N-й» другої групи із «N» блоків множення, другий вхід першого блока множення з'єднаний з виходом джерела напруги величиною «π», а вихід - з першим інформаційним входом «Реєстрація ω₀» реєстратора, другий інформаційний вхід «Реєстрація h» якого з'єднаний з виходом другого блока мно-

ження, перший вхід якого з'єднаний з виходом другого блока ділення, а другий вхід - з виходом джерела напруги величиною « π », вхід «Ділене» другого блока ділення з'єднаний з виходом третього N-входового суматора, входи якого з'єднані з виходами блоків множення з першого по «N-й» третьої групи із «N» блоків множення, перші входи яких з'єднані з виходами відповідних перетворювачів «котангенсу» з першого по «N-й» групи із «N» блоків перетворювачів «котангенсу», входи яких з'єднані з виходами відповідних блоків множення з першого по «N-й» першої групи із «N» блоків множення, другі входи блоків множення з першого по «N-й» третьої групи із «N» блоків множення з'єднані з виходами відповідних блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті, вихід другого інвертора через другий елемент затримки з'єднаний з лічильним входом третього лічильника імпульсів, прямі входи розрядів якого з'єднані з входами дешифратора, входи якого з першого по «N-й» з'єднані з відповідними керувальними входами з першого по «N-й» першого і другого комутаторів, з входами «Запис» блоків пам'яті з першого по «N-й» відповідно першої групи із «N» блоків пам'яті, з входами «Запис» блоків пам'яті з першого по «N-й» відповідно другої групи із «N» блоків пам'яті, входи «Читання» блоків пам'яті з першого по «N-й» першої групи із «N» блоків пам'яті і блоків пам'яті з першого по «N-й» другої групи із «N» блоків пам'яті об'єднані і з'єднані з виходами формувача імпульсів, вхід якого з'єднаний з виходом N-входового елемента «I», входи якого з'єднані з прямими виходами розрядів третього лічильника імпульсів, вихід другого елемента затримки через третій елемент затримки з'єднаний з об'єднаними входами «Скид» першого і другого регістрів.

Застосування запропонованого пристрою разом з усіма суттєвими ознаками, включаючи відмінні, забезпечує збільшення точності визначення параметра розсіяння енергії і власної частоти механічної коливальної системи при реалізації множини режимів вільних коливань.

Пояснюється це наступним. Розробка алгоритму визначення параметра розсіяння енергії і власної частоти механічної коливальної системи з одним ступенем свободи базується на наступних міркуваннях.

Математична модель коливальної системи при реалізації режимів вільних коливань відповідає однорідному диференціальному рівнянню

$$m\ddot{x} + b\dot{x} + cx = 0 \quad (1)$$

або

$$\ddot{x} + 2h\dot{x} + \omega_0^2 x = 0 \quad (2)$$

де: $x(t)$ - переміщення; $\dot{x} = dx/dt$ - швидкість переміщення;

$\ddot{x} = dx^2/dt^2$ - прискорення; m - маса коливальної системи; b - коефіцієнт опору; c - коефіцієнт жорсткості; h - коефіцієнт демпфування; ω_0 - частота вільних коливань консервативної коливальної

системи.

Для коливальної системи (2) має місце співвідношення [див. Быховский И. И. Основы теории вибрационной техники. М.: Машиностроение, 1968, с. 28-31].

$$\Delta_2 = \pi / \omega_1 \quad (3)$$

де

$$\omega_1 = \sqrt{\omega_0^2 - h^2} \quad (4)$$

Для кута δ має місце співвідношення

$$\operatorname{tg} \delta = h / \omega_1 = h \Delta_2 / \pi \quad (5)$$

Введемо позначення Δ_3

$$\Delta_3 = \Delta_2 - 2\Delta_1 \quad (6)$$

де Δ_1 - часовий інтервал між першим моментом проходження положення рівноваги і моментом порівняння нулю швидкості коливань в полуперіод переміщення $x(t)$.

Приймаючи до уваги співвідношення

$$\Delta_3 = 2\delta / \omega_1 \quad (7)$$

а також (5) і (6), отримуємо співвідношення для визначення коефіцієнта h

$$h = \pi \operatorname{ctg} \left(\frac{\Delta_1}{\Delta_2} \right) \Delta_2 \quad (8)$$

Приймаючи до уваги (4), (8), отримуємо співвідношення для визначення ω_0

$$\omega_0 = \pi / \Delta_2 \sin \left(\frac{\Delta_1}{\Delta_2} \right) \quad (9)$$

Отримані співвідношення (8), (9) формують алгоритми визначення параметра h розсіяння енергії коливальної системи і частоти ω_0 вільних коливань відповідної консервативної системи.

Приймаючи до уваги той факт, що часові інтервали Δ_1 , Δ_2 вимірюються при наявності похибок, виникає необхідність формування інформаційного масиву інтервалів Δ_{1i} , Δ_{2i} , $i = \overline{1, N}$.

В такій ситуації співвідношення (8) і (9) приймають вигляд

$$\begin{aligned} \hat{h} &= \pi \operatorname{ctg} \left(\frac{\Delta_{1i}}{\Delta_{2i}} \right) \Delta_{2i}, \\ \hat{\omega}_0 &= \pi / \Delta_{2i} \sin \left(\frac{\Delta_{1i}}{\Delta_{2i}} \right) \end{aligned} \quad (10)$$

де: $i = \overline{1, N}$ - число вимірів першого і другого часових інтервалів;

\hat{h} , $\hat{\omega}_0$ - оцінки параметрів h , ω_0 .

Мінімізуючі функції для h і ω_0 мають вигляд

$$S_h = \sum_{i=1}^N \left[\Delta_{2i} \operatorname{tg}(\pi \Delta_{1i} / \Delta_{2i}) - \pi \right]^2 \quad (11)$$

$$S_{\omega_0} = \sum_{i=1}^N \left[\Delta_{2i} \sin(\pi \Delta_{1i} / \Delta_{2i}) - \pi \right]^2 \quad (12)$$

Формуючи частинні похідні $\partial S_h / \partial \hat{h}$, $\partial S_{\omega_0} / \partial \hat{\omega}_0$, отримуємо співвідношення для визначення оцінок параметрів \hat{h} , $\hat{\omega}_0$:

$$\hat{h} = \frac{N}{\sum_{i=1}^N \Delta_{2i} \operatorname{ctg}(\pi \Delta_{1i} / \Delta_{2i})} \left(\sum_{i=1}^N \Delta_{2i}^2 \right) \quad (13)$$

або

$$\hat{h} = \left[\pi \sum_{i=1}^N \Delta_{2i} \operatorname{tg}(\pi \Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \operatorname{tg}^2(\pi \Delta_{1i} / \Delta_{2i}) \right] \quad (14)$$

$$\hat{\omega}_0 = \left[\pi \sum_{i=1}^N \Delta_{2i} \sin(\pi \Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \sin^2(\pi \Delta_{1i} / \Delta_{2i}) \right] \quad (15)$$

Число «i» вимірів першого Δ_{1i} і другого Δ_{2i} часових інтервалів визначається або числом N_1 зафіксованих полуперіодів в одній реалізації при одному значенні початкових умов або числом N_2 зафіксованих значень одного полуперіоду при N_2 значеннях початкових умов.

Таким чином, для визначення оцінки параметра \hat{h} розсіяння енергії і власної частоти (частоти вільних коливань) $\hat{\omega}_0$ механічної коливальної системи на підставі (13), (15) отримуємо алгоритм роботи пристрою:

1) реалізувати режим (режими) вільних коливань дисипативної коливальної системи з одним ступенем вільності;

2) провести фіксацію і запам'ятовування «N» полуперіодів вільних коливань коливальної системи, що відповідає фіксації і запам'ятовуванню інформаційного масиву із «N» других часових інтервалів Δ_{2i} ;

3) провести фіксацію і запам'ятовування інформаційного масиву із «N» перших часових інтервалів Δ_{1i} між моментами часу нульових значень переміщення і швидкості;

4) сформувати сигнали, що відповідають співвідношенням

$$\hat{h} = \frac{\sum_{i=1}^N \Delta_{2i} \operatorname{ctg}(\pi \Delta_{1i} / \Delta_{2i})}{\sum_{i=1}^N \Delta_{2i}^2},$$

$$\hat{\omega}_0 = \frac{\sum_{i=1}^N \Delta_{2i} \sin(\pi \Delta_{1i} / \Delta_{2i})}{\sum_{i=1}^N \Delta_{2i}^2 \sin^2(\pi \Delta_{1i} / \Delta_{2i})}$$

Застосування запропонованого алгоритму визначення параметра \hat{h} розсіяння енергії і власної частоти $\hat{\omega}_0$ механічної коливальної системи, а саме, фіксація і запам'ятовування множини першого і другого часових інтервалів, перший з яких дорівнює часовому інтервалу між нульовими значеннями переміщення і швидкості, а другий - інтервалу між сусідніми значеннями переміщення дозволяє шляхом формування регресійних залежностей зменшити похибку при визначенні оцінок \hat{h} і $\hat{\omega}_0$.

Новим в алгоритмі є формування двох регресійних залежностей $h=f_1(\Delta_1, \Delta_2)$, $\omega_0=f_2(\Delta_1, \Delta_2)$, параметрами яких є оцінки \hat{h} , $\hat{\omega}_0$, що дозволяє застосувати для визначення \hat{h} і $\hat{\omega}_0$ метод найменших квадратів.

Приведена корисна модель пояснюється кресленням, де на Фіг. показана структурна схема пристрою для визначення параметра розсіяння енергії і власної частоти механічної коливальної системи.

Пристрій для визначення параметра розсіяння енергії і власної частоти механічної коливальної системи містить вимірювальний перетворювач 1 швидкості \dot{x} , інтегратор 2, перший і другий знаочутливі елементи 3 і 4, відповідно, елемент 5 «I»,

перший і другий елементи 6 і 7 диференціювання, чотири діоди 8, 9, 10 і 11 з першого по четвертий, відповідно, перший і другий інвертори 12 і 13, перший і другий тригери 14 і 15, генератор 16 імпульсів, перший і другий ключі 17 і 18, перший, другий і третій лічильники імпульсів 19, 20 і 21, перший і другий регістри 22 і 23, перший і другий цифро-аналогові перетворювачі 24 і 25, перший і другий комутатори 26 і 27, першу групу із «N» блоків пам'яті з першого по «N-й» 28-1, ... 28-i, ... 28-N відповідно, другу групу із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-i, ... 29-N, відповідно, групу із «N» блоків ділення з першого по «N-й» 30-1, ... 30-i, ... 30-N, відповідно, перший і другий блоки 31, 32 ділення (окремі), першу групу із «N» блоків множення з першого по «N-й» 33-1, ... 33-i, ... 33-N, відповідно, другу групу із «N» блоків множення з першого по «N-й» 34-1, ... 34-i, ... 34-N, відповідно, третю групу із «N» блоків множення з першого по «N-й» 35-1, ... 35-i, ... 35-N, відповідно, четверту групу із «N» блоків множення з першого по «N-й» 36-1, ... 36-i, ... 36-N, відповідно, п'яту групу із «N» блоків множення з першого по «N-й» 37-1, ... 37-i, ... 37-N, відповідно, перший і другий блоки 38 і 39 множення (окремі), групу із «N» блоків перетворювачів «синусу» з першого по «N-й» 40-1, ... 40-i, ... 40-N, відповідно, групу із «N» блоків перетворювачів «котангенсу» з першого по «N-й» 41-1, ... 41-i, ... 41-N, відповідно, чотири N-входові суматори 42, 43, 44 і 45 з першого по четвертий відповідно, дешифратор 46, N-входовий елемент 4 «I», формувач імпульсів 48, реєстратор 49, джерело 50 напруги величиною « π », перший, другий і третій елементи 51, 52 і 53 затримки відповідно.

Елементи і блоки пристрою з'єднані таким чином.

Вихід вимірювального перетворювача 1 швидкості \dot{x} з'єднаний з об'єднаними входами інтегратора 2 і першого знаочутливого елемента 3. Вихід інтегратора 2 з'єднаний з виходом другого знаочутливого елемента 4, вихід якого з'єднаний з другим входом елемента 5 «I» безпосередньо, а через послідовно з'єднані другий елемент 7 диференціювання і другий діод 9 в прямому напрямку - з S-входом другого тригера 15, R-вхід якого через послідовно з'єднані четвертий діод 11 в зворотному напрямку і другий інвертор 13 з'єднаний з виходом другого елемента 7 диференціювання.

Вихід першого знаочутливого елемента 3 з'єднаний з першим входом елемента 5 «I», вихід якого через послідовно з'єднані перший елемент 6 диференціювання і перший діод 8 в прямому напрямку з'єднаний з S-входом першого тригера 14, R-вхід якого через послідовно з'єднані третій діод 10 в зворотному напрямку і перший інвертор 12 з'єднаний з виходом першого елемента 6 диференціювання.

Прямі виходи першого і другого тригерів 14 і 15 з'єднані з керувальними входами першого і другого ключів 17 і 18 відповідно, інформаційні входи яких об'єднані і з'єднані з виходом генератора 16 імпульсів.

Виходи першого і другого ключів 17 і 18 з'єднані з лічильними входами першого і другого лічильників 19, 20 імпульсів, відповідно.

Прямі виходи розрядів першого і другого лічильників 19 і 20 імпульсів з'єднані з розрядними входами першого і другого регістрів 22 і 23, відповідно. Розрядні виходи першого регістра 22 з'єднані з входами першого цифро-аналогового перетворювача 24, розрядні виходи другого регістра 23 з'єднані з входами другого цифро-аналогового перетворювача 25. Виходи першого і другого цифро-аналогових перетворювачів 24 і 25 з'єднані з входами першого і другого комутаторів 26 і 27, відповідно. Виходи з першого по N-й першого комутатора 26 з'єднані з інформаційними входами блоків пам'яті першої групи із «N» блоків пам'яті з першого по «N-й» 28-1, ... 28-і, ... 28-N, відповідно.

Виходи з першого по N-й другого комутатора 27 з'єднані з інформаційними входами блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N, відповідно.

Виходи блоків пам'яті першої групи із «N» блоків пам'яті з першого по «N-й» 28-1, ... 28-і, ... 28-N, відповідно з'єднані з входами «Ділене» блоків ділення групи із «N» блоків ділення з першого по «N-й» 30-1, ... 30-і, ... 30-N, відповідно, входи «Подільник» яких з'єднані з входами блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N, відповідно.

Виходи блоків ділення групи із «N» блоків ділення з першого по «N-й» 30-1, ... 30-і, ... 30-N, відповідно з'єднані з першими входами блоків множення першої групи із «N» блоків множення з першого по «N-й» 33-1, ... 33-і, ... 33-N, відповідно, виходи яких з'єднані з входами перетворювачів «синусу» групи із «N» блоків перетворювачів «синусу» з першого по «N-й» 40-1, ... 40-і, ... 40-N, відповідно, а також з входами перетворювачів «котангенсу» групи із «N» блоків перетворювачів «котангенсу» з першого по «N-й» 41-1, ... 41-і, ... 41-N, відповідно.

Виходи перетворювачів «синусу» групи із «N» блоків перетворювачів «синусу» з першого по «N-й» 40-1, ... 40-і, ... 40-N відповідно з'єднані з входами блоків множення другої групи із «N» блоків множення з першого по «N-й» 34-1, ... 34-і, ... 34-N, відповідно, виходи яких з'єднані з входами четвертої групи із «N» блоків множення з першого по «N-й» 36-1, ... 36-і, ... 36-N, відповідно. Перший і другий входи кожного блоку множення четвертої групи із «N» блоків множення з першого по «N-й» 36-1, ... 36-і, ... 36-N, відповідно об'єднані.

Виходи блоків множення четвертої групи із «N» блоків множення з першого по «N-й» 36-1, ... 36-і, ... 36-N відповідно з'єднані з входами другого N-входного суматора 43, вихід якого з'єднаний з входом «Подільник» першого блока 31 ділення, вхід «Ділене» якого з'єднаний з виходом першого N-входного суматора 42, входи якого з'єднані з входами блоків множення другої групи із «N» блоків множення з першого по «N-й» 34-1, ... 34-і,

... 34-N, відповідно.

Виходи перетворювачів «котангенсу» групи із «N» блоків перетворювачів «котангенсу» з першого по «N-й» 41-1, ... 41-і, ... 41-N відповідно з'єднані з входами блоків множення третьої групи із «N» блоків множення з першого по «N-й» 35-1, ... 35-і, ... 35-N, відповідно, виходи яких з'єднані з входами третього N-входного суматора 44, вихід якого з'єднаний з входом «Ділене» другого блоку 32 ділення, вхід «Подільник» якого з'єднаний з виходом четвертого N-входного суматора 45, входи якого з'єднані з входами блоків множення п'ятої групи із «N» блоків множення з першого по «N-й» 37-1, ... 37-і, ... 37-N, відповідно, перший і другий входи кожного з яких об'єднані і з'єднані з входами другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N відповідно.

Виходи першого і другого блоків 31 і 32 ділення з'єднані з першими входами першого і другого блоків 38 і 39 множення, відповідно.

Виходи першого і другого блоків 38 і 39 множення з'єднані з першим і другим входами, відповідно, реєстратора 49.

Другі входи блоків множення першої групи із «N» блоків множення з першого по «N-й» 33-1, ... 33-і, ... 33-N, відповідно, другі входи першого і другого блоків 38 і 39 множення об'єднані і з'єднані з виходом джерела 50 напруги величиною «π».

Другі входи блоків другої групи із «N» блоків множення з першого по «N-й» 34-1, ... 34-і, ... 34-N відповідно з'єднані з входами блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N, відповідно. Другі входи блоків множення третьої групи із «N» блоків множення з першого по «N-й» 35-1, ... 35-і, ... 35-N відповідно з'єднані з входами блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N, відповідно.

Вихід другого інвертора 13 з'єднаний з установочними входами першого і другого регістрів 22 і 23 безпосередньо, а з установочними входами першого і другого лічильників 19 і 20 - через перший елемент 51 затримки.

Лічильний вхід третього лічильника 21 імпульсів через другий елемент 52 затримки з'єднаний з виходом другого інвертора 13.

Прямі виходи розрядів третього лічильника 21 імпульсів з'єднані з входами дешифратора 46, виходи якого з першого по N-й з'єднані з відповідними об'єднаними керувальними входами першого комутатора 26, другого комутатора 27, входами «Запис» блоків пам'яті першої групи із «N» блоків пам'яті з першого по «N-й» 28-1, ... 28-і, ... 28-N, відповідно, входами «Запис» блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N відповідно. Прямі виходи розрядів третього лічильника 21 імпульсів з'єднані з входами N-входного елемента 47 «I», вихід якого через формувач 48 імпульсів з'єднаний з об'єднаними входами «Читання» блоків пам'яті першої групи із «N» блоків пам'яті з першого по «N-й» 28-1, ... 28-і, ... 28-N, відповідно, з об'єднаними входами «Читання» блоків пам'яті другої групи із «N» блоків пам'яті з першого по «N-й» 29-1, ... 29-і, ... 29-N, відповідно. Вихід другого елемента 52 затримки через третій елемент 53 затримки з'єдна-

ний з входами «Скид» першого і другого регістрів 22 і 23 відповідно.

Пристрій функціонує таким чином.

Вимірвальний перетворювач 1 швидкості формує на виході напругу, що пропорційна швидкості $\dot{x} = dx/dt$, а на виході інтегратора 2 формується напруга, пропорційна переміщенню x . На виходах першого і другого знаочутливих елементів 3 і 4 формуються сигнали в часових інтервалах позитивних полуперіодів вхідних сигналів \dot{x} і x відповідно.

На виході елемента 5 «I» сигнал формується в часовому інтервалі при умові співпадання позитивних значень x і \dot{x} в кожному полу періоді.

В часовий момент t_1 початку формування сигналу на виході елемента 5 «I» перший тригер 14 устанавлюється в одиничний стан імпульсом, що надходить з виходу першого елемента 6 диференціювання через перший діод 8 на його S-вхід. При цьому перший ключ 17 замикається за рахунок надходження на його керувальний вхід напруги з прямого виходу першого тригера 14, а тому на лічильний вхід першого лічильника 19 імпульсів надходять імпульси з виходу генератора 16 імпульсів.

В той же часовий момент t_1 другий тригер 15 устанавлюється в одиничний стан імпульсом, що надходить з виходу другого елемента 7 диференціювання через другий діод 9 на його S-вхід.

При цьому замикається другий ключ 18 за рахунок надходження на його керувальний вхід напруги з прямого виходу другого тригера 15, а тому на лічильний вхід другого лічильника 20 імпульсів надходять імпульси з виходу генератора 16 імпульсів.

Перший тригер 14 устанавлюється в нуль імпульсом з виходу першого елемента 6 диференціювання, що відповідає задньому фронту імпульсу з виходу елемента 5 «I» після його проходження через третій діод 10 і перший інвертор 12 на R-вхід першого тригера 14. При цьому перший ключ 17 розмикається, імпульси на лічильний вхід першого лічильника 19 імпульсів не надходять, зміст першого лічильника 19 імпульсів залишається незмінним.

В момент часу, що відповідає задньому фронту імпульса з виходу другого знаочутливого елемента 4, після його проходження через другий елемент 7 диференціювання і проходження негативного імпульсу через четвертий діод 11 і другий інвертор 13 на R-вхід другого тригера 15 цей тригер устанавлюється в нульовий стан. При цьому на керувальний вхід другого ключа 18 надходить нульовий рівень напруги, ключ 18 розмикається, імпульси на лічильний вхід другого лічильника 20 імпульсів не надходять, зміст другого лічильника 20 імпульсів залишається незмінним.

Імпульс, що відповідає задньому фронту імпульсу з виходу другого знаочутливого елемента 4, з виходу другого інвертора 13 надходить на входи «Прийом» першого і другого регістрів 22 і 23 безпосередньо. При цьому зміст першого лічильника 19 імпульсів переноситься в перший регістр 22, а зміст другого лічильника 20 імпульсів переноситься в другий регістр 23. Той же імпульс з виходу

другого інвертора 13 після проходження через перший елемент 51 затримки надходить на установочні входи першого і другого лічильників 19 і 20 імпульсі, устанавлюючи їх в нульовий стан.

Імпульс з виходу другого інвертора 13 через другий елемент 52 затримки надходить на лічильний вхід третього N-розрядного лічильника 21 імпульсів, устанавлюючи його в стан 000...1.

При цьому на першому виході дешифратора 46 формується сигнал, що надходить на перші керувальні входи першого і другого комутаторів 26 і 27, на вхід «Запис» першого блока 28-1 пам'яті першої групи із «N» блоків пам'яті і на вхід «Запис» першого блока 29-1 пам'яті другої групи із «N» блоків пам'яті, тим самим в блоці 28-1 пам'яті фіксується сигнал Δ_{11} , що формується після надходження цифрового сигналу з виходу першого регістра 22 на вхід першого цифро-аналогового перетворювача 24 і через перший комутатор 26 на інформаційний вхід першого блока 28-1 пам'яті першої групи із «N» блоків пам'яті. В блоці 29-1 пам'яті другої групи із «N» блоків пам'яті фіксується сигнал Δ_{21} , що формується після надходження цифрового сигналу з виходу другого регістра 23 на вхід другого цифро-аналогового перетворювача 25 і через другий комутатор 27 на інформаційний вхід першого блока 29-1 пам'яті другої групи із «N» блоків пам'яті.

Імпульсний сигнал з виходу другого елемента 52 затримки через третій елемент 53 затримки надходить на входи «Скид» першого і другого регістрів 22 і 23, устанавлюючи їх в нульовий стан. Таким чином, кожний наступний i-й полуперіод сигналу з виходу вимірвального перетворювача 1 швидкості призводить формування в лічильниках 19 і 20 імпульсів послідовно сигналів величиною Δ_{1i}, Δ_{2i} , відповідно ($i = \overline{1, N}$).

Ці сигнали в аналоговій формі після проходження через перший і другий цифро-аналогові перетворювачі 24 і 25 відповідно надходять на входи відповідно першого або другого комутаторів 26, 27.

Число N полуперіодів вхідного сигналу $\dot{x} = dx/dt$ фіксується змістом третього лічильника 21 імпульсів. Після формування відповідного сигналу на виході дешифратора 46 величина кожного i-го інтервалу Δ_{1i} фіксується відповідним i-м блоком 28-i пам'яті першої групи із «N» блоків пам'яті, а величина кожного i-го інтервалу Δ_{2i} фіксується відповідно i-м блоком 29-i пам'яті другої групи із «N» блоків пам'яті.

Після формування необхідної кількості $i=N$ інтервалів Δ_{1i}, Δ_{2i} на виході N-входового елемента 47 «I» з'являється сигнал, а на виході формувача 48 імпульсів формується імпульсний сигнал необхідної тривалості, що надходить на входи «Читання» блоків 28-1, ... 28-i, ... 28-N пам'яті першої групи із «N» блоків пам'яті і на входи «Читання» блоків пам'яті 29-1, ... 29-i, ... 29-N другої групи із «N» блоків пам'яті.

На входи «Ділене» блоків 30-1, ... 30-i, ... 30-N ділення групи із «N» блоків ділення надходять сигнали $\Delta_{11}, \dots, \Delta_{1i}, \dots, \Delta_{1N}$, з виходів відповідних блоків 28-1, ... 28-i, ... 28-N пам'яті першої групи із «N» блоків пам'яті, а на входи «Подільник» блоків 30-1,

... 30-і, ... 30-N ділення групи із «N» блоків ділення надходять сигнали $\Delta_{21}, \dots, \Delta_{2i}, \dots, \Delta_{2N}$ з виходів відповідних блоків 29-1, ... 29-і, ... 29-N пам'яті другої групи із «N» блоків пам'яті. На виходах блоків 30-1, ... 30-і, ... 30-N ділення групи із «N» блоків ділення формуються сигнали $\Delta_{11}/\Delta_{21}, \dots, \Delta_{1i}/\Delta_{2i}, \dots, \Delta_{1N}/\Delta_{2N}$ відповідно. Ці сигнали надходять на перші входи блоків 33-1, ... 33-і, ... 33-N множення першої групи із «N» блоків множення, на об'єднанні другі входи яких надходять сигнали величиною « π » з виходу джерела 50 напруги величиною « π ».

Вихідні сигнали $\pi\Delta_{11}/\Delta_{21}, \dots, \pi\Delta_{2i}/\Delta_{2i}, \dots, \pi\Delta_{1N}/\Delta_{2N}$ блоків 33-1, ... 33-і, ... 33-N множення першої групи із «N» блоків множення надходять на входи перетворювачів 40-1, ... 40-і, ... 40-N «синусу» групи із «N» блоків перетворювачів «синусу», вихідні сигнали яких $\sin(\pi\Delta_{11}/\Delta_{21}), \dots, \sin(\pi\Delta_{1i}/\Delta_{2i}), \dots, \sin(\pi\Delta_{1N}/\Delta_{2N})$ надходять на перші входи відповідних блоків 34-1, ... 34-і, ... 34-N множення другої групи із «N» блоків множення, на другі входи яких переходять сигнали $\Delta_{21}, \dots, \Delta_{2i}, \dots, \Delta_{2N}$ з виходів відповідних блоків 29-1, ... 29-і, ... 29-N пам'яті другої групи із «N» блоків пам'яті. Вихідні сигнали $\Delta_{21}\sin(\pi\Delta_{1i}/\Delta_{2i}), \dots, \Delta_{2N}\sin(\pi\Delta_{1N}/\Delta_{2N}), \dots, \Delta_{2N}\sin(\pi\Delta_{1N}/\Delta_{2N})$ блоків 34-1, ... 34-і, ... 34-N множення другої групи із «N» блоків множення надходять на входи першого суматора 42, вихідний сигнал якого, що дорівнює величині $\sum \Delta_{2i}\sin(\pi\Delta_{1i}/\Delta_{2i})$, надходить на вхід «Ділене» першого блока 31 ділення.

Вихідні сигнали $\Delta_{21}\sin(\pi\Delta_{11}/\Delta_{21}), \dots, \Delta_{2i}\sin(\pi\Delta_{1i}/\Delta_{2i}), \dots, \Delta_{2N}\sin(\pi\Delta_{1N}/\Delta_{2N})$ блоків 34-1, ... 34-і, ... 34-N множення другої групи із «N» блоків множення надходять на об'єднанні перший і другий входи відповідних блоків 36-1, ... 36-і, ... 36-N множення четвертої групи із «N» блоків множення, вихідні сигнали яких, що дорівнюють величинам $\Delta_{21}^2\sin^2(\pi\Delta_{11}/\Delta_{21}), \dots, \Delta_{2i}^2\sin^2(\pi\Delta_{1i}/\Delta_{2i}), \dots, \Delta_{2N}^2\sin^2(\pi\Delta_{1N}/\Delta_{2N})$, надходять на входи другого суматора 43, на виході якого формується сигнал, що дорівнює величині

$$\sum_{i=1}^N \Delta_{2i}^2 \sin^2(\pi\Delta_{1i} / \Delta_{2i}),$$

який надходить на вхід «Подільник» першого блока 31 ділення, вихідний сигнал якого, що дорівнює величині

$$\left[\sum_{i=1}^N \Delta_{2i} \sin(\pi\Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \sin^2(\pi\Delta_{1i} / \Delta_{2i}) \right],$$

надходить на перший вхід першого блока 38 множення, на другий вхід якого надходить сигнал величини « π » з виходу джерела 50 напруги величиною « π ».

Вихідний сигнал першого блока 38 множення, що дорівнює величині

$$\pi \left[\sum_{i=1}^N \Delta_{2i} \sin(\pi\Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \sin^2(\pi\Delta_{1i} / \Delta_{2i}) \right],$$

надходить на перший вхід «Реєстрація $\hat{\omega}_0$ » реєстратора 49.

Вихідні сигнали $\pi\Delta_{11}/\Delta_{21}, \dots, \pi\Delta_{2i}/\Delta_{2i}, \dots, \pi\Delta_{1N}/\Delta_{2N}$ блоків 33-1, ... 33-і, ... 33-N множення першої групи із «N» блоків множення надходять на входи перетворювачів 41-1, ... 41-і, ... 41-N «котангенсу» групи із «N» блоків перетворювачів «котангенсу», вихідні сигнали яких $\text{ctg}(\pi\Delta_{11}/\Delta_{21}), \dots, \text{ctg}(\pi\Delta_{1i}/\Delta_{2i}), \dots, \text{ctg}(\pi\Delta_{1N}/\Delta_{2N})$ надходять на перші входи блоків 35-1, ... 35-і, ... 35-N множення третьої групи із «N» блоків множення, на другі входи яких надходять сигнали $\Delta_{21}, \dots, \Delta_{2i}, \dots, \Delta_{2N}$ з виходів блоків 29-1, ... 29-і, ... 29-N пам'яті другої групи із «N» блоків пам'яті.

Вихідні сигнали $\Delta_{21}\text{ctg}(\pi\Delta_{11}/\Delta_{21}), \dots, \Delta_{2i}\text{ctg}(\pi\Delta_{1i}/\Delta_{2i}), \dots, \Delta_{2N}\text{ctg}(\pi\Delta_{1N}/\Delta_{2N})$ блоків 35-1, ... 35-і, ... 35-N множення третьої групи із «N» блоків множення надходять на входи третього суматора 44, вихідний сигнал якого, що дорівнює величині

$$\sum_{i=1}^N \Delta_{2i} \text{ctg}(\pi\Delta_{1i} / \Delta_{2i}),$$

надходить на вхід «Ділене» другого блока 32 ділення.

Вихідні сигнали $\Delta_{21}, \dots, \Delta_{2i}, \dots, \Delta_{2N}$ блоків 29-1, ... 29-і, ... 29-N пам'яті другої групи із «N» блоків пам'яті надходять на об'єднанні входи поблочно блоків 37-1, ... 37-і, ... 37-N множення п'ятої групи із «N» блоків множення, на виходах яких формуються сигнали $\Delta_{21}^2, \dots, \Delta_{2i}^2, \dots, \Delta_{2N}^2$.

Вихідні сигнали блоків 37-1, ... 37-і, ... 37-N множення п'ятої групи із «N» блоків множення надходять на входи четвертого суматора 45, вихідний сигнал якого, що дорівнює величині $\sum_{i=1}^N \Delta_{2i}^2$,

надходить на вхід «Подільник» другого блока 32 ділення, вихідний сигнал якого, що дорівнює величині

$$\left[\sum_{i=1}^N \Delta_{2i} \text{ctg}(\pi\Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \right]$$

надходить на перший вхід другого блока 39 множення, на другий вхід якого надходить сигнал величиною « π » з виходу джерела 50 напруги величиною « π ». Вихідний сигнал другого блока 39 множення, що дорівнює величині

$$\left[\pi \sum_{i=1}^N \Delta_{2i} \text{ctg}(\pi\Delta_{1i} / \Delta_{2i}) \right] / \left[\sum_{i=1}^N \Delta_{2i}^2 \right],$$

надходить на другий вхід «Реєстрація \hat{h} » реєстратора 49.

