

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ**

А.А. БОРИСЕНКО

БИНОМИАЛЬНЫЕ АВТОМАТЫ

СУМЫ ИЗД-ВО СУМГУ 2005

ВВЕДЕНИЕ

Данное учебное пособие предназначено в первую очередь студентам специальности "Электронные системы", но может быть применено и для других специальностей, таких, например, как "Электронные вычислительные машины" для чтения в курсах "Цифровая схемотехника" и "Цифровые автоматы", а также для курсового и дипломного проектирования бакалаврами, специалистами и магистрами. Кроме того, оно будет полезно инженерам и научным работникам, которые занимаются проектированием электронной аппаратуры.

Изложенные в пособии структуры цифровых автоматов представляют собой отредактированные статьи и изобретения автора для биномиального цифрового счета и преобразования информации. За прошедшее время эти работы не только не устарели, а даже приобрели дополнительную актуальность, так как в связи с появлением достаточно сложных программируемых логических интегральных схем (ПЛИС) появилась возможность их эффективной реализации во многих цифровых устройствах и системах - от устройств для мобильной связи и до электронных систем управления.

Но все же главное назначение данной работы – это попытка привить студентам интерес к творческой работе на примерах нестандартных решений электронных цифровых устройств, которые являются практическим результатом специальной математической теории.

Пособие состоит из четырех глав. Первая из них представляет собрание отредактированных статей автора по двоичным биномиальным системам счисления, а также алгоритмам и устройствам на их основе. Начинается она первой работой по биномиальным системам счисления, депонированной во ВИНТИ, а заканчивается примером реализации биномиального счетчика с помощью микропроцессорного устройства.

Вторая глава представляет собой переработанные автором описания изобретений двоичных биномиальных счетчиков. Следует отметить, что производство счетчиков и цифровых устройств на их основе представляет на сегодня целую индустрию, в которую входят специализированные фирмы и организации, выпускающие механические, электромеханические и электронные счетчики, а также программно-временные задатчики и электронные часы. Наряду с этим счетчики как составные элементы входят в большинство электронных цифровых

устройств и представляют собой наиболее массовый вид микроэлектронных устройств. Им посвящены отдельные книги и научные работы.

В третьей главе рассматриваются счетчики равновесных кодов, отличающиеся повышенной надежностью и быстродействием. В их основе лежат биномиальные структуры.

Четвертая глава содержит информацию о специальных биномиальных преобразователях, позволяющих получать равновесные коды и производить их нумерацию. На этой основе решены задачи сжатия двоичной информации и предложены соответствующие ей цифровые устройства с возможностью защиты сообщений от несанкционированного доступа. Такие устройства, будучи размещенными в одной микросхеме и отличаясь высоким быстродействием и надежностью, способны производить сжатие и защиту информации в реальном масштабе времени.

Данные разработки, признанные изобретениями, используют оригинальные решения биномиальных счетчиков, рассмотренные в предыдущей главе. Они могут быть применены для рейтинговых курсовых проектов повышенной сложности и стать темой дипломных проектов и магистерских работ, а при дальнейшем совершенствовании, и диссертаций. Собственно, все эти разработки, так или иначе, уже использовались ранее в диссертациях.

В заключение следует отметить, что за последние 50 лет в повседневно используемой цифровой электронной технике не произошло принципиальных изменений ее основ. Шел прогресс в области повышения ее быстродействия и качества, расширялись области применения, вводились новые сервисные функции, однако основные идеи, высказанные еще фон Нейманом, оставались неизменными. Одной из главных среди них оставалась идея использования в электронных устройствах двоичной системы счисления.

В данной работе в отличие от традиционных структур представлены устройства, использующие в своей основе не двоичную, а биномиальную систему счисления, хотя и с двоичным алфавитом. Ее недостаток – относительно высокая сложность – одновременно является и ее достоинством. При современном уровне интегральной технологии можно получать качественно новые по своей структуре и возможностям цифровые устройства практически любой сложности без существенного повышения уровня их цен.

Такими возможностями этих структур являются их повышенная надежность, улучшенная диагностируемость и высокое быстродействие. Кроме того, они позволяют выполнять новые функции, трудно достигаемые обычными средствами, например, с их помощью можно достичь одновременно высокого коэффициента сжатия информации и высокой стойкости ее защиты.

Заканчивая данное введение, следует отметить, что биномиальные устройства не ограничиваются только схемами, приведенными в данной работе, так как, кроме них, спроектированы еще и биномиальные устройства, основанные на разработанной автором многозначной биномиальной системе счисления. Однако это уже другая тема, выходящая за рамки данной книги.

ГЛАВА 1 ДВОИЧНЫЙ БИНОМИАЛЬНЫЙ СЧЕТ

1.1 Система счисления с "биномиальным" основанием и двоичным алфавитом

*Депонированная рукопись №909-82. Деп
Борисенко А. А.*

В последние годы появились работы, в которых основанием системы счисления выступают функциональные зависимости, например, "фибоначчиева" [1]. Эти системы имеют ряд особенностей и достоинств, не присущих "естественным" системам счисления.

Данная работа дополняет системы счисления с функциональным основанием. В рассматриваемом случае в качестве основания системы счисления используется выражение для биномиальных коэффициентов (сочетание k элементов из $n - C_n^k$), а сама система счисления определяется как "биномиальная".

Кодообразующая функция имеет вид

$$F = a_j C_{n-1}^k + a_{j-1} C_{n-2}^{k-a_j} + \dots + a_0 C_{n-j}^{k-q}, \quad (1)$$

где

$$q = \sum_{\gamma=1}^j a_\gamma, \quad (2)$$
$$a_\gamma = \begin{cases} 1, \\ 0. \end{cases}$$

На основании равенств (1) и (2) получим, что максимальное "биномиальное" число

$$F_{\langle \text{бин} \rangle}^{\max} = 111\dots 1 = C_{n-1}^k + C_{n-2}^{k-1} + \dots + C_{n-k+1}^{k-k+1} = C_n^k - 1. \quad (3)$$

Следовательно, диапазон представимых в "биномиальной" системе счисления чисел, учитывающий и нуль, равен C_n^k .

Представленные в "биномиальной" системе счисления числа должны удовлетворять одной из систем ограничений:

$$\left\{ \begin{array}{l} k = \sum_{\gamma=1}^j a_{\gamma}, \end{array} \right. \quad (4)$$

$$\left\{ \begin{array}{l} j < n \end{array} \right. \quad (5)$$

или

$$\left\{ \begin{array}{l} k < \sum_{\gamma=1}^j a_{\gamma}, \end{array} \right. \quad (6)$$

$$\left\{ \begin{array}{l} j = n - k + \sum_{\gamma=1}^j \alpha_{\gamma}. \end{array} \right. \quad (7)$$

Ограничения (4) и (5) показывают, что число единиц необходимых, для однозначного представления числа "биномиальным" кодом, подчиняющимся этим ограничениям, равно k .

Из ограничения (5) следует, что наибольшее значение j равно $n-1$. Следовательно, максимальное число нулей в "биномиальных" кодовых комбинациях будет равно $n-k-1$. Кроме того, "биномиальные" кодовые комбинации, зависящие от ограничений (4) и (5), должны заканчиваться единицами. В противном случае не будет выполняться ограничение (4).

Ограничение (7) показывает, что число нулей, необходимых для однозначного представления числа в "биномиальном" коде, должно равняться $n-k$. В этом случае

$$j = n - k. \quad (8)$$

Из ограничения (6) следует, что наибольшее число единиц в комбинациях "биномиального" кода равно $k-1$. Сумма максимального числа нулей и единиц в "биномиальном" коде определит наибольшую длину кодовой комбинации, удовлетворяющую системе ограничений (6), (7):

$$j = n - k + k - 1 = n - 1. \quad (9)$$

"Биномиальные" кодовые комбинации, удовлетворяющие ограничениям (6) и (7), должны заканчиваться нулем. Число единиц для различных кодовых комбинаций не одинаково. Оно изменяется от 0 до $k - 1$. Число же нулей является постоянным и равным $n - k$. Это следует из ограничения (7).

Таким образом, двоичные "биномиальные" кодовые комбинации разбиваются на два класса:

а) кодовые комбинации, оканчивающиеся единицами, содержащие k единиц и переменное число нулей, изменяющееся в пределах от 0 до $n - k - 1$;

б) кодовые комбинации, оканчивающиеся нулем, содержащие $n - k$ нулей и переменное число единиц, изменяющееся в пределах от 0 до $k - 1$.

Пример 1 Допустим $n = 6$, $k = 4$. В кодовой комбинации, удовлетворяющей ограничениям (6) и (7), содержатся две единицы. Определить длину кодовой комбинации, привести их возможные варианты и найти эквивалентное представление в десятичном коде.

Решение. В соответствии с выражением (7) длина "биномиального" кода $j = 6 - 4 + 2 = 4$.

Следовательно, в коде числа должно содержаться два ($n - k = 2$) нуля и две единицы, причем код должен заканчиваться нулем. Соответствующие варианты кодов чисел в порядке их возрастания приведены ниже:

0110, 1010, 1100.

На основании равенства (1) представим полученные коды в десятичной форме:

$$0110 = 0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 0 + 0 \cdot C_2^2 = 2,$$

$$1010 = 1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 0 + 0 \cdot C_2^2 = 6,$$

$$1100 = 1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 0 + 0 \cdot C_2^2 = 9.$$

"Биномиальный" код позволяет сравнительно легко переходить от кодовых комбинаций к соответствующим им сочетаниям. Для этого достаточно приписать к коду недостающие единицы или нули.

Пример 2 Даны "биномиальные" коды чисел: $A_{\langle\sigma\rangle}^1 = 01111$, $A_{\langle\sigma\rangle}^0 = 00$, $A_{\langle\sigma\rangle}^6 = 1010$. Требуется определить соответствующие им сочетания.

Ответ. $A_{\langle\sigma\rangle}^1 = 011110$, $A_{\langle\sigma\rangle}^0 = 00\underline{1111}$, $A_{\langle\sigma\rangle}^6 = 1010\underline{11}$.

Приписанные нули и единицы подчеркнуты.

Обратная задача перехода от сочетаний к "биномиальным" кодам решается отбрасыванием лишних в соответствии с ограничениями (4, 5, 6, 7) нулей и единиц, т.е. до получения $n - k$ нулей или k единиц.

"Биномиальное" число затем в соответствии с выражением (1) можно перевести в естественную систему счисления. Тем самым решается задача нумерации сочетаний.

Пример 3 Найти номер сочетания 10011.

Решение. В произведенном сочетании трех единиц из пяти элементов вычеркиваем единицы до получения первого из двух нулей. Тем самым получаем "биномиальное" число $A_{\langle\sigma\rangle} = 100$.

Затем в соответствии с выражением (1) преобразовываем его в десятичную систему счисления:

$$A_{\langle\sigma\rangle} = 100 = A_{\langle 10 \rangle} = 1 \cdot C_5^4 + 0 \cdot C_4^3 + 0 \cdot C_3^3 = 5.$$

Ответ. Номер сочетания 10011 равен 5.

Список литературы

1. Стахов А.П. Введение в алгоритмическую теорию измерения.- М.: Советское радио, 1977.

1.2 О некоторых возможностях позиционных систем счисления

А. А. Борисенко, канд. техн. наук, С. И. Губарев, канд. техн. наук
Автоматизированные системы управления и приборы автоматики, Харьков, № 82, 1987 г.

В вычислительной технике широко распространены степенные позиционные системы счисления. Более сложные системы, в которых зависимость между весом разряда и его номером отличается от степенной (обобщенные позиционные системы счисления), менее известны и не нашли еще достаточного применения. Исследование этих систем выявило ряд полезных свойств, например: помехоустойчивость, возможность генерирования перестановок [1, 2].

Практическое применение обобщенных позиционных систем счисления (ОПСС) основывается на двух их важнейших свойствах: ОПСС позволяют формировать и нумеровать комбинаторные объекты различной природы; ОПСС являются помехоустойчивыми.

В результате на их основе можно разрабатывать специализированные управляющие устройства с экстремальными характеристиками по быстродействию, надежности, габаритам, весу; строить адаптивные коды и кодирующие устройства для сквозного контроля информации относительно ошибок в процессе ее преобразования, передачи и хранения; разрабатывать алгоритмы и устройства для сжатия и засекречивания информации; предложить новые, более эффективные по быстродействию алгоритмы и реализующие их устройства для решения ряда задач комбинаторной оптимизации.

Разработка специализированных управляющих устройств основывается на разработке такой ОПСС, структура которой в максимальной степени соответствует специфике решаемой задачи. Таким образом происходит экономия аппаратурных затрат и достигается значительный выигрыш в быстродействии (в десятки и сотни раз по сравнению с универсальными ЭЦВМ). Так как ОПСС являются помехоустойчивыми, то наряду с повышением быстродействия и снижением стоимости устройств повышается их надежность и упрощается диагностика неисправностей.

Целесообразно на основе ОПСС разрабатывать управляющие

устройства, которые выполняют в основном логические и простейшие арифметические операции над целыми числами. Это вызвано тем, что указанные операции в ОПСС выполняются наиболее эффективно. Отдельные узлы таких специализированных устройств представляют самостоятельный интерес для универсальных ЦВМ, например, помехоустойчивые счетчики, регистры, АЦП [2]. Однако их конкурентоспособность с аналогичными двоичными узлами возможна, как правило, при интегральном исполнении. Поэтому для каждого конкретного случая применения узлов, работающих в ОПСС в универсальной ЦВМ, требуется тщательная оценка их комплексной эффективности по всем параметрам.

Для решения задачи помехоустойчивого хранения и передачи информации разработано довольно большое количество различных кодов, как обнаруживающих, так и исправляющих ошибки. На практике в своем подавляющем большинстве нашли применение коды для обнаружения ошибок при передаче и хранении информации. Среди указанных кодов особо следует выделить коды, обнаруживающие ошибки не только при передаче и хранении, а и во время обработки информации. Это арифметические коды и коды в системе остаточных классов. К такому классу кодов относятся и коды чисел в ОПСС. Их достоинства - простота алгоритмов и устройств обнаружения ошибок, регулярность структуры, высокая помехоустойчивость, возможность регулирования избыточности кода и соответственно обнаруживающей способности в зависимости от состояния канала связи (адаптивность), помехоустойчивость кодирующих и декодирующих устройств. Применение этих кодов приобретает особое значение в специализированных автоматических системах управления. Съём информации, ее обработка, передача и выработка управляющих воздействий происходят в одном и том же коде ОПСС. В результате можно наряду с повышением помехоустойчивости получить выигрыш в аппаратуре, быстродействии и габаритах. Этим не ограничиваются возможности кодов в ОПСС. Важное их свойство - способность формирования комбинаторных кодов, например: равновесных, сменно-посылочных, сменно-качественных и т. д. [3].

Одной из актуальных задач при хранении и передаче информации является ее сжатие. В настоящее время существует довольно широкий арсенал средств ее решения, что не исключает разработки новых или усовершенствования старых. Одно из них - нумерация

сообщений. Основные достоинства нумерации - алгоритмический характер кодирования, позволяющий легко осуществить его техническую реализацию, а также отсутствие потребности в словаре. ОПСС позволяют расширить класс нумеруемых сообщений и упростить алгоритмическую и аппаратную реализацию задачи сжатия сообщений. Однако применение нумерационного кодирования наталкивается на трудности, связанные с ростом разрядности кодируемых сообщений. Существует другой путь сжатия информации, не требующий применения словаря, - оптимальное кодирование на основе кодов Шеннона - Фано и Хаффмана [3, 4]. При их использовании возникает необходимость в предварительных статистических испытаниях для выявления распределения частот символов передаваемых сообщений. Эти частоты при ограничениях на длину сообщений отражают истинное распределение вероятностей символов со значительной погрешностью. Поэтому оптимальное кодирование не отличается большой эффективностью сжатия. Ее повышение возможно путем замены определения частот символов вычислением их вероятностей на основе ОПСС. В таком случае удастся производить сжатие информации за приемлемое время для сообщений практически любой длины. Особо эффективно применение для данной цели микропроцессорных устройств.

Как задачу нумерации, так и задачу денумерации на основе ОПСС можно эффективно использовать для засекречивания информации. При этом имеется возможность получать помехоустойчивые шифры, обладающие высокой стойкостью и простыми ключами. Особое значение имеет простота и надежность аппаратурной реализации шифрации и дешифрации засекречиваемых сообщений.

Среди комбинаторных задач особое место занимают задачи комбинаторной оптимизации. Причем в самом общем виде указанные задачи могут даже не иметь четко выраженной целевой функции и задаваться, например, в терминах предпочтения. Для таких задач наиболее распространенным решением является перебор возможных вариантов и выбор из него наилучшего по некоторому критерию [2]. В случае, если перебор невозможен, то он заменяется случайным поиском. В том и другом случаях требуется организовать или перебор, или генерирование комбинаторных объектов. ОПСС дают возможность предложить общий метод решения этой задачи.

Таким образом, ОПСС на основе единого подхода дают

возможность эффективно решать ряд практических задач различного характера.

Список литературы

1. *Стахов А. П.* Коды золотой пропорции. - М.: Радио и связь, 1984. - 150 с.
2. *Стоян Ю. Г., Соколовский В. З.* Решение некоторых многоэкстремальных задач методом сужающихся окрестностей. - К.: Наук. думка, 1980. - 205 с.
3. *Цымбал В. П.* Теория информации и кодирование. - К.: Вища шк. Головное изд-во, 1977. - 287 с.
4. *Кузьмин И. В., Кедрус В. А.* Основы теории информации и кодирования. - К.: Вища шк. Головное изд-во, 1977. - 279 с.

1.3 Биномиальные системы счисления с двоичным алфавитом

А. А. Борисенко, канд техн. наук, Г. В. Куно

Автоматизированные системы управления и приборы автоматики, Харьков, № 76, 1985 г.

В вычислительной технике широко распространены степенные системы счисления с двоичным алфавитом. Более сложные системы счисления, в которых зависимость между весом разряда и его номером отличается от степенной, менее известны и не нашли практического применения. Однако в дальнейшем выявились полезные свойства некоторых нестепенных систем счисления: помехоустойчивость, генерация и перебор комбинаторных конфигураций, кодирование информации и т. д. [1].

Здесь предлагаются нестепенные системы счисления с биномиальными весами и двоичным алфавитом $\{1, 0\}$ - биномиальные системы счисления [2].

Количественный эквивалент кодовой комбинации n -разрядной k -биномиальной системы счисления $A_i = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1, \dots, P-1$ определяется выражением

$$A_i = a_{j-1}C_{n-1}^{r-q_j} + \dots + a_l C_{n-j+l}^{k-q_{l+1}} + \dots + a_0 C_{n-j}^{k-q_1} \quad (1)$$

при соблюдении систем ограничений:

$$\begin{cases} q_0 = k, \\ j < n, \end{cases} \quad (2)$$

$$\quad (3)$$

$$\begin{cases} n - k = j - q_0, \\ q_0 < k, \end{cases} \quad (4)$$

$$\quad (5)$$

где q_0 - число единиц в биномиальном числе;

P - диапазон чисел;

j - количество разрядов биномиального числа (длина);

$l - 0, 1, \dots, j-1$ - порядковые номера разряда; q_l - сумма единичных значений цифр от $(j-1)$ -го разряда до l -го включительно:

$$q_l = \sum_{i=l}^j a_i,$$

$$q_j = a_j = 0.$$

Система счисления должна удовлетворять требованиям конечности, эффективности, однозначности [3]. Однако этих требований для нестепенных систем счисления недостаточно. Запишем дополнительные требования:

1 Префиксность кодовых комбинаций чисел, позволяющая отличать одни кодовые комбинации от других. По этому требованию любая кодовая комбинация не может быть началом другой.

2 Компактность. Состоит в том, что для каждой кодовой комбинации числа из заданного диапазона существует другая, численное значение которой больше первой на единицу. Исключение делается только для комбинации наибольшего числа.

Из выражения (1) следует, что требования конечности и эффективности для биномиальных систем счисления выполняются, т. е. существует вычислительный алгоритм, который за конечное число шагов осуществляет переход от биномиальной кодовой комбинации

A_i ограниченной длины к соответствующему числу.

Докажем, что требование префиксности кодовых комбинаций для биномиальных чисел также удовлетворяется.

Биномиальные кодовые комбинации, удовлетворяющие ограничению (2), должны постоянно содержать k единиц. Поэтому появление в биномиальной комбинации k -й единицы является признаком ее конца. Так как в соответствии с ограничением (3) наибольшая длина указанных комбинаций равна $n - 1$, то их длины принимают значения в пределах от k до $n - 1$ ($k \leq j \leq n - 1$). Соответственно количество содержащихся в них нулей $z = 0, 1, \dots, n - k - 1$, а длина $j = k + z$. Количество различающихся комбинаций одинаковой длины, содержащих k единиц и нулей, равно числу сочетаний z нулей из $j - 1$ элементов

C_{k+z-1}^z . Эти комбинации, являясь сочетаниями, обладают по отношению друг к другу очевидным свойством префиксности. Длины комбинаций, принадлежащие к группам с разным значением z , различны. Так как в конце этих комбинаций стоят единицы и их общее число постоянно и равно k , то более длинные комбинации в префиксной части, равной длине меньшей комбинации, содержат, как минимум, на одну единицу меньше.

Таким образом, против хотя бы одного из нулей меньшей комбинации в префиксной части большей будет стоять единица. Следовательно, свойство префиксности соблюдается для всех комбинаций, удовлетворяющих ограничениям (2) и (3).

Как следует из (4), число нулей в биномиальных комбинациях является постоянным и равным $(n - k)$. Поэтому появление $(n - k)$ -го нуля в комбинации есть признак ее окончания. Сумма $(n - k)$ нулей с числом единиц $q_0 = 0, 1, \dots, k - 1$ определяет длину $j = n - k - q_0$ комбинаций. Число различных комбинаций с q_0 единицами и нулем в конце определяется количеством сочетаний q_0 единиц из $(j - 1)$ элементов -

$C_{n-k+q_0-1}^{q_0}$. Свойство префиксности для них очевидно. Комбинации, принадлежащие к группам, содержащим разное число единиц, имеют разную длину. При этом меньшие из них, которые могут быть префиксом более длинных, содержат $(n - k)$ нулей. Более длинные также содержат $(n - k)$ нулей, но так как в конце стоит ноль, то их префиксная часть, равная длине меньшей комбинации, содержит, как мини-

мум, на один ноль меньше, что свидетельствует об их префиксности.

Кодовые комбинации рассмотренных выше двух классов также обладают свойством префиксности между собой, так как отличаются числом содержащихся в них единиц и нулей.

Таким образом, среди всех комбинаций, удовлетворяющих ограничениям (2 - 5), отсутствуют комбинации, которые могли бы быть началом других, т. е. свойство префиксности для них соблюдается.

Из свойства префиксности следует, что две произвольные биномиальные комбинации имеют хотя бы в одном разряде различные цифры (0 и 1). Предшествующие этому разряду части комбинации, если они присутствуют, являются для указанных цифр общими, а последующие совместно с ним - собственными. Если собственные части двух произвольных биномиальных комбинаций не могут представлять одно и то же число, то свойство однозначности биномиальной системы счисления будет доказано. Рассмотрим собственные части двух биномиальных комбинаций:

$$A_q = (a_\alpha, \dots, a_0) \text{ и } A_z = (a_\beta, \dots, a_0),$$

где

$$a_\alpha = 0, a_\beta = 1; q, z = 0, 1, \dots, P - 1; \alpha, \beta = 0, 1, \dots, n - 1; q \neq z.$$

Если допустить, что для комбинации A_q цифры, следующие за старшим разрядом, равны 1, а в комбинации A_z - 0, то разность между комбинациями A_z и A_q будет минимальной. Докажем, что она не равна нулю.

Представим числа A_q и A_z в виде

$$A_q = 0C_{n-j+\alpha}^{k-q_{\alpha+1}} + 1C_{n-j+\alpha-1}^{k-q_{\alpha+1}} + 1C_{n-j+\alpha-2}^{k-q_{\alpha+1}-1} + \dots + 1C_{n-j+\alpha-\alpha}^{k-q_{\alpha+1}-\alpha+1},$$

$$A_z = 1C_{n-j+\beta}^{k-q_{\beta+1}} + 0C_{n-j+\beta-1}^{k-q_{\beta+1}-1} + 0C_{n-j+\beta-2}^{k-q_{\beta+1}-1} + \dots + 0C_{n-j+\beta-\beta}^{k-q_{\beta+1}-1}.$$

Так как

$$\sum_{i=1}^{\alpha} C_{n-j+i-1}^{k-q_{\alpha+1}-\alpha+i} = C_{n-j+\alpha}^{k-q_{\alpha+1}} - 1 = A_q$$

и

$$C_{n-j+\alpha}^{k-q_{\alpha+1}} = C_{n-j+\beta}^{k-q_{\beta+1}} = A_z, \text{ то } A_z = A_q + 1.$$

Следовательно, $A_q \neq A_z$, и свойство однозначности для биномиальной системы счисления выполняется.

Максимальное число в биномиальной системе счисления в соответствии с выражением (1)

$$A_{p-1} = 1C_{n-1}^{k-q_j} + 1C_{n-2}^{k-q_{j-1}} + \dots + 1C_{n-j}^{k-q_1} = C_n^k - 1.$$

Минимальное число равно нулю, а количество биномиальных комбинаций, содержащих в конце единицу,

$$N_1 = \sum_{i=0}^{n-k-1} C_{n-2-i}^{n-k-1-i} = C_{n-1}^{n-k-1} = C_{n-1}^k.$$

Число комбинаций, содержащих в конце нуль,

$$N_0 = \sum_{i=0}^{k-1} C_{n-2-i}^{k-1-i} = C_{n-1}^{k-1}.$$

Их суммарное количество

$$N = C_{n-1}^k + C_{n-1}^{k-1} = C_n^k.$$

Так как каждой комбинации вследствие свойства однозначности соответствует свое число, при этом минимальное равно 0, а максимальное - C_{n-1}^k и их количество равно C_n^k , то требование компактности для биномиальной системы счисления удовлетворяется. Соответственно диапазон представимых чисел $P = C_n^k$.

В табл. 1 для $n = 6$ и $k = 4$ приведены биномиальные комбинации и их количественные эквиваленты, формирование которых осуществ-

ляется по следующему алгоритму:

1 Формируется начальная комбинация, состоящая из $(n - k)$ нулей.

2 В младший разряд записывается единица и к нему справа приписывается нуль.

3 Пункт 2 повторяется до тех пор, пока число единиц в кодовом слове не станет равным k . В этом случае приписывание нуля справа не происходит.

4 В младший разряд, содержащий нуль, записывается 1.

5 Определяется число единиц в комбинации. Если оно равно k и единицы не занимают k старших разрядов, то происходит возврат к пункту 4.

6 Если k единиц занимают в комбинации k старших разрядов, то происходит останов.

7 Если число единиц в комбинации не равно k , то справа от младшего разряда, содержащего 1, записываются нули до тех пор, пока их общее число не станет равным $(n - k)$.

8 Возврат к пункту 2.

Таблица 1

| Биномиальное число | Количественный эквивалент |
|--------------------|--|
| 00 | $0C_5^4 + 0C_4^4$ |
| 010 | $0C_5^4 + 1C_4^4 + 0C_3^3$ |
| 0110 | $0C_5^4 + 1C_4^4 + 1C_3^3 + 0C_2^2$ |
| 01110 | $0C_5^4 + 1C_4^4 + 1C_3^3 + 1C_2^2 + 0C_1^1$ |
| 01111 | $0C_5^4 + 1C_4^4 + 1C_3^3 + 1C_2^2 + 1C_1^1$ |
| 100 | $1C_5^4 + 0C_4^4 + 0C_3^3$ |
| 1010 | $1C_5^4 + 0C_4^4 + 1C_3^3 + 0C_2^2$ |
| 10110 | $1C_5^4 + 0C_4^4 + 1C_3^3 + 1C_2^2 + 0C_1^1$ |
| 10111 | $1C_5^4 + 0C_4^4 + 1C_3^3 + 1C_2^2 + 1C_1^1$ |
| 1100 | $1C_5^4 + 1C_4^4 + 0C_3^3 + 0C_2^2$ |

| | |
|-------|--|
| 11010 | $1C_5^4 + 0C_4^3 + 0C_3^2 + 1C_2^2 + 0C_1^1$ |
| 11011 | $1C_5^4 + 1C_4^3 + 0C_3^2 + 1C_2^2 + 1C_1^1$ |
| 11100 | $1C_5^4 + 1C_4^3 + 1C_3^2 + 0C_2^1 + 0C_1^1$ |
| 11101 | $1C_5^4 + 1C_4^3 + 1C_3^2 + 0C_2^1 + 1C_1^1$ |
| 1111 | $1C_5^4 + 1C_4^3 + 1C_3^2 + 1C_2^1$ |

Полезными свойствами биномиальной системы счисления являются: помехоустойчивость при передаче, хранении и обработке информации; способность перебирать, генерировать и нумеровать комбинации кодов с постоянным весом; возможность построения помехоустойчивых цифровых устройств.

Для обнаружения ошибок с помощью биномиальных комбинаций необходимо дополнить их нулями или единицами до получения равномерного $(n - 1)$ -разрядного биномиального кода, как это приведено в табл. 2.

Таблица 2

| Пор. ном. | Биномиальный код | Биномиальный равномерный код | Пор. ном. | Биномиальный код | Биномиальный равномерный код |
|-----------|------------------|------------------------------|-----------|------------------|------------------------------|
| 0 | 00 | 00000 | 8 | 10111 | 10111 |
| 1 | 010 | 01000 | 9 | 1100 | 11000 |
| 2 | 0110 | 01100 | 10 | 11010 | 11010 |
| 3 | 01110 | 01110 | 11 | 11011 | 11011 |
| 4 | 01111 | 01111 | 12 | 11100 | 11100 |
| 5 | 100 | 10000 | 13 | 11101 | 11101 |
| 6 | 1010 | 10100 | 14 | 1111 | 11110 |
| 7 | 10110 | 10110 | | | |

Основными признаками ошибки в биномиальной комбинации в первом случае является превышение числа единиц в ней величины k , во втором - числа $(n - k)$ нулей. Особым свойством биномиального помехоустойчивого кода является его способность обнаруживать ошибки при обработке информации. Это позволяет организовать сквозной контроль в каналах обработки информации, в которые входят и цифровые устройства. Одно из таких устройств предложено в

работе [4].

В табл. 3 приведен переход от биномиальной комбинации к коду с постоянным весом, который осуществляется приписыванием к комбинации единиц, если она содержит $(n - k)$ нулей, или нулей, если в ней содержится k единиц, до тех пор, пока ее длина не станет равной n .

Биномиальная комбинация является биномиальным номером комбинации с постоянным весом, т. е. является ее сжатым отображением. Если есть необходимость представить ее номером в степенной системе счисления, то тогда необходимо воспользоваться выражением (1).

Алгоритмы перебора и генерирования биномиальных комбинаций и на их основе комбинаций с постоянным весом более подробно рассмотрены в работе [5].

Таблица 3

| Пор. ном. | Биномиальный код | Биномиальный код с постоянным весом | Пор. ном. | Биномиальный код | Биномиальный код с постоянным весом |
|-----------|------------------|-------------------------------------|-----------|------------------|-------------------------------------|
| 0 | 00 | 001111 | 8 | 10111 | 101110 |
| 1 | 010 | 010111 | 9 | 1100 | 110011 |
| 2 | 0110 | 011011 | 10 | 11010 | 110101 |
| 3 | 01110 | 011101 | 11 | 11011 | 110110 |
| 4 | 01111 | 011110 | 12 | 11100 | 111001 |
| 5 | 100 | 100111 | 13 | 11101 | 111010 |
| 6 | 1010 | 101011 | 14 | 1111 | 111100 |
| 7 | 10110 | 101101 | | | |

Таким образом, предложенная биномиальная система счисления способна осуществлять сквозной контроль канала преобразования информации и позволяет перебирать, генерировать и нумеровать комбинации кодов с постоянным весом.

Список литературы

1. *Стахов А. П.* Фибоначиевы двоичные позиционные системы счисления: Кодирование и передача дискретных сообщений в системах связи. - М.: Наука, 1976. - 179 с.
2. *Борисенко А. А.* Система счисления с биномиальным основанием и двоичным алфавитом. Деп. в ВИНТИ 29.08.82., № 909 – 82. - 6 с.

3. *Поспелов Д. Н.* Арифметические основы вычислительных машин дискретного действия. - М.: Высш. шк., 1970. - 308 с.

4. А. с. 1077054. Счетчик импульсов / А. А. Борисенко, И. Д. Пузько, Л.А. Стеценко.

5. *Борисенко А. А., Губарев С. И., Куно Г. В.* Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел // АСУ и приборы автоматики, 1985.- Вып. 74. С. 31 - 35.

1.4 Алгоритмы помехоустойчивого биномиального двоичного счета

А. А. Борисенко, канд. техн. наук, Г. В. Куно

Автоматизированные системы управления и приборы автоматики, Харьков, № 82, 1987 г.

Рассматриваемые в данной работе алгоритмы работают в биномиальной двоичной системе счисления [1] и предназначены для помехоустойчивого биномиального счета. Их применение целесообразно в системах телеавтоматики со сквозным контролем ошибок, в специализированных помехоустойчивых преобразователях информации, в генераторах и нумераторах сочетаний. На их основе возможна реализация помехоустойчивых счетчиков со взвешенными кодами.

Кодовая комбинация k - биномиальной системы счисления с двоичным алфавитом длины $A_i = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1, \dots, P-1$ определяется выражением

$$A_i = a_{j-1}C_{n-1}^{k-q_i} + a_j C_{n-j+1}^{k-q_{i+1}} + \dots + a_0 C_{n-j}^{k-q_1} \quad (1)$$

при соблюдении ограничений:

$$q_0 = k, \quad (2)$$

$$j < n, \quad (3)$$

$$n - k = j - q, \quad (4)$$

$$q_0 < k, \quad (5)$$

$$1 \leq k \leq n, \quad (6)$$

где $P = C_n^k$ - диапазон представимых чисел;
 n - количество разрядов биномиального числа;
 q_0 - сумма единичных значений цифр от $(j-1)$ -го разряда до l -го включительно:

$$q_l = \sum_{i=1}^j a_j,$$

$$q_j = a_j = 0,$$

где $l = 0, 1, \dots, j-1$ - порядковый номер разряда;

k - контрольное число, определяющее допустимое число единиц в кодовой комбинации; $n = P + 1$.

Ограничения (2), (3), (4), (5) показывают, что длина j биномиальных чисел находится в пределах $n - k \leq j \leq n - 1$, и биномиальное число содержит или k единиц, или $n - k$ нулей. Причем в первом случае это число в конце содержит 1, а во втором - 0. Комбинация, в которой приведенные условия нарушены, является ошибочной. Например, комбинации 00, 01111, 0110 при $n = 6, k = 4$ являются биномиальными, так как первая и третья содержат по 2 нуля, а вторая - 4 единицы, причем в 1-й и 3-й комбинациях в конце стоит 0, а во второй - 1. Комбинация 00111 является ошибочной, так как хотя и содержит 2 нуля, но заканчивается 1.

Указанные ограничения совместно с выражением (1) приводят к следующему алгоритму счета биномиальных чисел:

1 Формируется начальная кодовая комбинация, состоящая из $n - k$ нулей.

2 В младший разряд, стоящий в конце комбинации справа и содержащий нуль, записывается 1.

3 Подсчитывается число единиц в полученной кодовой комбинации. Если оно равно k , то переход к пункту 5.

4 Если оно не равно k , то справа от содержащего 1 младшего разряда записывается нуль. Результатом является следующая по порядку биномиальная кодовая комбинация. Возврат к пункту 2.

5 Если число единиц в кодовой комбинации равно k и единицы не расположены в k старших разрядах, то младшие нулевые преобра-

зываются в 1, все остальные, идущие после него единицы, преобразуются в нули. Переход к пункту 3.

6 Если число единиц равно k и единицы расположены в k старших разрядах, то получена последняя биномиальная комбинация из диапазона P .

В соответствии с приведенным алгоритмом в табл. 1 получены состояния 5-разрядного 4-биномиального счетчика и их количественные эквиваленты. Число его состояний $P = C_n^k = 15$.

Приведенный алгоритм является основой биномиальных счетчиков, конкретная структура которых может быть задана в виде программы для универсальной ЭЦВМ, микропроцессорного устройства, а также устройства с жесткой логикой, собранного из отдельных элементов или изготовленного в виде интегральной схемы.

Использование программы биномиального счета в универсальных ЭЦВМ имеет практическое значение в случае помехоустойчивого кодирования данных или если стоит задача перебора, генерирования или нумерации сочетаний. Такая программа была разработана и испытана авторами.

Микропроцессорный вариант биномиального счетчика целесообразен в специализированных цифровых устройствах со сквозным контролем обрабатываемой информации при относительно невысоких требованиях к их быстродействию.

Биномиальные счетчики с жесткой логикой могут найти применение как в специализированных, так и в универсальных цифровых устройствах. Наличие таблиц функционирования биномиальных счетчиков, аналогичных табл. 1, позволяет производить их структурный синтез и получить рациональную в смысле минимизации количества элементов структуру счетчика. Однако этот путь сопряжен с усложнением связей между элементами счетчика, что приводит к уменьшению его надежности и быстродействия, потери однородности структуры, сложности перестройки коэффициента пересчета, и поэтому может быть рекомендован там, где вопрос экономии элементов является первостепенным.

Структура счетчика, в определенной мере лишенная указанных недостатков, рассмотрена в [2]. Его состояния получаются из исходных (табл. 1) путем дополнения кодовых комбинаций нулями до длины $n - 1$ (табл. 2).

Соответственно приведенный выше алгоритм счета преобразуется к виду:

1 В исходном состоянии все разряды счетчика установлены в нуль.

2 Заносится 1 в $(k - i - 1)$ -й разряд, где i - число единиц в счетчике.

3 Если число единиц в счетчике больше k , то произошла ошибка.

4 Если число единиц в счетчике равно k и они не расположены в k старших разрядах, то все младшие единичные разряды до первого нулевого устанавливаются в 0, а первый нулевой - в 1.

5 Если число единиц в счетчике меньше k , то происходит переход к пункту 2.

6 Если число единиц в счетчике равно k и они расположены в k старших разрядах, то цикл счета окончен. Возврат к пункту 1.

Таблица 1

| Пор. ном. | Биномиальное число | Количественный эквивалент |
|-----------|--------------------|---|
| 0 | 00 | $0 \cdot C_5^4 + 0 \cdot C_4^4$ |
| 1 | 010 | $0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$ |
| 2 | 0110 | $0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$ |
| 3 | 01110 | $0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$ |
| 4 | 01111 | $0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$ |
| 5 | 100 | $1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$ |
| 6 | 1010 | $1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$ |
| 7 | 10110 | $1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$ |
| 8 | 10111 | $1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$ |
| 9 | 1100 | $1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$ |
| 10 | 11010 | $1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$ |

| | | |
|----|-------|---|
| 11 | 11011 | $1 \cdot C_5^4 + 1 \cdot C_4^3 + 0 \cdot C_3^2 + 1 \cdot C_2^2 + 1 \cdot C_1^1$ |
| 12 | 11100 | $1 \cdot C_5^4 + 1 \cdot C_4^3 + 1 \cdot C_3^2 + 0 \cdot C_2^1 + 0 \cdot C_1^1$ |
| 13 | 11101 | $1 \cdot C_5^4 + 1 \cdot C_4^3 + 1 \cdot C_3^2 + 0 \cdot C_2^1 + 1 \cdot C_1^1$ |
| 14 | 1111 | $1 \cdot C_5^4 + 1 \cdot C_4^3 + 1 \cdot C_3^2 + 1 \cdot C_2^1$ |

Таблица 2

| Пор. ном. | Разряд 43210 | Пор. ном. | Разряд 43210 | Пор. ном. | Разряд 43210 | Пор. ном. | Разряд 43210 |
|-----------|--------------|-----------|--------------|-----------|--------------|-----------|--------------|
| 0 | 00000 | 4 | 01111 | 8 | 10111 | 12 | 11100 |
| 1 | 01000 | 5 | 10000 | 9 | 11000 | 13 | 11101 |
| 2 | 01100 | 6 | 10100 | 10 | 11010 | 14 | 11110 |
| 3 | 01110 | 7 | 10110 | 11 | 11011 | | |

Ошибки в счетчике обнаруживаются при превышении количества единиц в его разрядах величины k . Тип ошибок $0 \rightarrow 1$. В рассматриваемом примере счетчика с $k = 4$ обнаруживаемым ошибочным состоянием будет 11111. Любая четырехкратная ошибка в нем будет замечена. В то же время однократная ошибка указанного вида будет индцироваться для 30 % (5) комбинаций: 01111, 10111, 11011, 11101, 11110. Если учесть, что ошибки в счетчиках возникают преимущественно в виде пакетов и носят характер $0 \rightarrow 1$, то его способность к обнаружению ошибок для ряда применений можно считать вполне удовлетворительной. Ее можно значительно увеличить, уменьшив k и соответственно - коэффициент пересчета. При условии, что $k = 1$, любые ошибки типа $0 \rightarrow 1$ будут обнаружены, а сам счетчик преобразуется в помехоустойчивый распределитель импульсов.

В случае необходимости обнаруживать ошибки типа $1 \rightarrow 0$ в счетчик необходимо ввести дополнительные элементы, учитывающие ограничения (4, 5), в соответствии с которыми биномиальная комбинация может содержать не более $n - k$ нулей, последний из которых должен быть в конце. Поэтому если перед последней единицей в комбинации табл. 2 находится $n - k$ и более нулей, то произошла ошибка типа $1 \rightarrow 0$. Так, например, комбинация 00110 будет воспринята как

ошибочная. Причем с ростом k обнаруживающая способность счетчика к ошибкам $1 \rightarrow 0$ растет. При $k = n - 1$ любой переход $1 \rightarrow 0$, за исключением сбоя последней единицы комбинации, будет обнаружен. Это позволяет изменением коэффициента пересчета счетчика настраивать его на определенный характер помех, т. е. производить адаптацию к ним.

В основу решения задачи алгоритма счета при вычитании в биномиальной системе счисления с заданными k и n положен рассмотренный выше алгоритм сложения. Алгоритм вычитания состоит из следующих двух этапов:

1 Происходит счет биномиальных чисел по алгоритму сложения, начиная с нуля, с контрольным числом $k' = n - k$.

2 Разряды каждой полученной в процессе счета комбинации инвертируются до k -го нуля или k' единицы включительно, считая со старшего разряда.

Для примера в табл. 3 приведены последовательности состояний счетчиков суммирующего с $k = 4$ и $k' = 2$ и вычитающего с $k = 4$.

Таблица 3

| Пор. ном. | Состояние счетчика | | | Пор. ном. | Состояние счетчика | | |
|-----------|------------------------|------------------------|-------------------------|-----------|------------------------|------------------------|-------------------------|
| | при сложении с $k = 4$ | при сложении с $k = 2$ | при вычитании с $k = 4$ | | при сложении с $k = 4$ | при сложении с $k = 2$ | при вычитании с $k = 4$ |
| 0 | 00000 | 00000 | 11110 | 8 | 10111 | 01010 | 10100 |
| 1 | 01000 | 00010 | 11101 | 9 | 11000 | 01100 | 10000 |
| 2 | 01100 | 00011 | 11100 | 10 | 11010 | 10000 | 01111 |
| 3 | 01110 | 00100 | 11011 | 11 | 11011 | 10001 | 01110 |
| 4 | 01111 | 00101 | 11010 | 12 | 11100 | 10010 | 01100 |
| 5 | 10000 | 00110 | 11000 | 13 | 11101 | 10100 | 01000 |
| 6 | 10100 | 01000 | 10111 | 14 | 11110 | 11000 | 00000 |
| 7 | 10110 | 01001 | 10110 | | | | |

Алгоритмы биномиального счета прошли программную и аппаратную опытную проверку. Результаты испытаний биномиального счетчика с $n = 5$ при значениях k от 1 до 5 подтвердили его работоспособность и эффективность.

Список литературы

1. *Борисенко А. А.* Система с биномиальным основанием и двоичным алфавитом. - Деп. в ВИНТИ 19.09.82, № 909 - 82. - С. 6.

2. *А. с. 1077054.* Счетчик импульсов / А. А. Борисенко, И. Д. Пузько, Л. А. Стеценко.

1.5 Биномиальные счетчики

*А. А. Борисенко, канд. техн. наук, С. И. Губарев, канд. техн. наук,
Г. В. Куно*

*Автоматизированные системы управления и приборы автоматики,
Харьков, № 92, 1989 г.*

Имеются две основные тенденции в развитии средств обработки данных - применение микропроцессоров и создание достаточно полного набора микроэлектронных устройств, реализующих наиболее распространенные вычислительные операции. Первая предусматривает программный, вторая - схмотехнический способ реализации вычислительных функций. Схемная реализация средств обработки данных по сравнению с программной во много раз повышает скорость выполнения операций и незаменима в устройствах управления, работающих в реальном масштабе времени.

Особое место среди схем, применяемых для обработки данных, занимают счетчики. Счет является важнейшей частью в организационных и технологических автоматизированных системах управления. Счетчики важны не только сами по себе, но и с точки зрения новых схмотехнических решений в области цифровых устройств, так как к ним можно отнести любое устройство, которое в процессе работы проходит через несколько состояний [1].

Широкое применение счетчиков требует повышения их надежности, в частности, помехоустойчивости. Последнее достигается введением в счетчики запрещенных состояний. Однако их обнаружение выливается подчас в довольно сложную задачу и требует разработки дополнительно к счетчику контролирующего устройства, за правильностью работы которого необходимо следить. Счетчик при этом приобретает неоднородную структуру, которую непросто проектировать и отладить, а его надежность может даже снизиться.

Преодолеть указанные противоречия можно путем применения

помехоустойчивых систем счисления. Разработанные на их основе счетчики однородны и помехоустойчивы. Они не содержат специального контролирующего устройства, хотя избыточность аппаратуры по сравнению с двоичными счетчиками у них все же имеется.

К этому классу устройств принадлежат и биномиальные счетчики, работающие в биномиальной системе счисления [2]. Важной их особенностью является значительное уменьшение аппаратуры, необходимой для дешифрации их состояний. В ряде случаев это может привести к тому, что количество аппаратурных затрат в устройстве с биномиальными счетчиками в целом уменьшится по сравнению с устройством, содержащим двоичные счетчики. Кроме того, эти счетчики позволяют изменением коэффициента пересчета адаптироваться к интенсивности и характеру помех.

Вторым немаловажным, если не основным, достоинством счетчиков, работающих в помехоустойчивых системах счисления, является возможность перебирать комбинаторные конфигурации, например, сочетания, сочетания с повторениями, перестановки и т. д. Таким образом, счетчики помехоустойчивых систем счисления обладают немаловажными достоинствами - помехоустойчивостью и многофункциональностью.

Рассмотрим работу одного из биномиальных счетчиков [3]. Он характеризуется двумя основными параметрами - числом разрядов n и контрольным числом k . При этом смена состояний биномиального счетчика происходит по следующим правилам: в исходном состоянии все разряды счетчика установлены в нуль; заносится единица в $(k - i)$ -й разряд, где i - число единиц в счетчике; если число единиц в счетчике равно k и они не расположены в k старших разрядах, то младшие единичные разряды до первого старшего нулевого устанавливаются в нуль, а первый старший нулевой - в единицу; если число единиц в счетчике равно k и они расположены в k старших разрядах, то цикл счета окончен. Возврат к началу.

Число состояний счетчика определяется числом сочетаний единиц из $(n + 1)$ элементов:

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!}.$$

Состояния счетчика для $k = 2$ и $k = 4$ для числа разрядов $n = 5$ в

порядке возрастания приведены в табл. 1 и 2. Их число $C_6^2 = C_6^4 = 15$.

Таблица 1

| Пор. ном. | Разряд | Пор. ном. | Разряд | Пор. ном. | Разряд | Пор. ном. | Разряд |
|--------------|-----------|--------------|-----------|--------------|-----------|--------------|-----------|
| | 5 4 3 2 1 | | 5 4 3 2 1 | | 5 4 3 2 1 | | 5 3 3 2 1 |
| 0 | 0 0 0 0 0 | 4 | 0 0 1 0 1 | 8 | 0 1 0 1 0 | 12 | 1 0 0 1 0 |
| 1 | 0 0 0 1 0 | 5 | 0 0 1 1 0 | 9 | 0 1 1 0 0 | 13 | 1 0 1 0 0 |
| 2 | 0 0 0 1 1 | 6 | 0 1 0 0 0 | 10 | 1 0 0 0 0 | 14 | 1 1 0 0 0 |
| 3 | 0 0 1 0 0 | 7 | 0 1 0 0 1 | 11 | 1 0 0 0 1 | | |

Таблица 2

| Пор. ном. | Разряд | Пор. ном. | Разряд | Пор. ном. | Разряд | Пор. ном. | Разряд |
|--------------|-----------|--------------|-----------|--------------|-----------|--------------|-----------|
| | 5 4 3 2 1 | | 5 4 3 2 1 | | 5 4 3 2 1 | | 5 4 3 2 1 |
| 0 | 0 0 0 0 0 | 4 | 0 1 1 1 1 | 8 | 1 0 1 1 1 | 12 | 1 1 1 0 0 |
| 1 | 0 1 0 0 0 | 5 | 1 0 0 0 0 | 9 | 1 1 0 0 0 | 13 | 1 1 1 0 1 |
| 2 | 0 1 1 0 0 | 6 | 1 0 1 0 0 | 10 | 1 1 0 1 0 | 14 | 1 1 1 1 0 |
| 3 | 0 1 1 1 0 | 7 | 1 0 1 1 0 | 11 | 1 1 0 1 1 | | |

Работа биномиального счетчика заключается в следующем (см. рис. 1). Его исходным состоянием является нулевое. Поэтому на нулевом выходе сумматора младшего разряда счетчика находится единичный сигнал, который через схему ИЛИ 6.3 приходит на второй вход схемы И 4.4. Если на четвертом выходе сумматора 7.4 находится нулевой сигнал, то на первый вход схемы И 4.4 при этом приходит единичный разрешающий сигнал. Поэтому триггер Т 2.4 устанавливается в единичное состояние тактовым сигналом, приходящим на третий вход схемы И 4.4. В результате на первом выходе сумматора 7.1 появится единичный сигнал, который откроет схему И 4.3 и запишет в триггер Т 2.3 единицу. Таким образом, счет единиц продолжается, пока их количество в счетчике не станет равным четырем.

Появление на четвертом выходе любого сумматора, например 7.1, единичного сигнала приводит к закрытию схем И 4 и открыванию схем И 5 (для младшего разряда это схемы И 4.1, И 5.1), что приводит к установке соответствующих триггеров в нулевое состояние по тактовому импульсу. При этом в ноль сбрасывается не только триггер, сумматор которого содержит единицу на четвертом выходе, а и соседний, не имеющий таковой единицы. Это достигается соединением

единичных выходов триггеров с первыми входами схем ИЛИ 1.

Если счетчик в результате одиночной ошибки или пакета ошибок $0 \rightarrow 1$ перейдет в состояние 11111, т. е. будет содержать $k + 1$ единицу, то на пятом выходе сумматора младшего разряда вырабатывается сигнал ошибки. Обнаруживающая способность счетчика для ошибок $0 \rightarrow 1$ возрастает с уменьшением контрольного числа k и достигает максимального значения при $k = 1$.

Особенностью рассматриваемого счетчика является наличие комбинационных матричных сумматоров, которые выполняют функции переноса и схем контроля и в обычных счетчиках отсутствуют. Кроме того, они в значительной степени выполняют функции дешифратора. Поэтому дешифрация состояний биномиального счетчика значительно упрощается. Важными достоинствами рассматриваемого счетчика являются его однородность и возможность простой перестройки коэффициента пересчета и соответственно степени помехоустойчивости.

Наиболее перспективно применение биномиальных счетчиков в специализированных помехоустойчивых устройствах автоматики и телемеханики в качестве надежных распределителей импульсов, пересчетных схем, кодирующих и декодирующих устройств. Практические испытания биномиальных счетчиков в условиях, приближенных к производственным, подтвердили их работоспособность и эффективность.

Список литературы

1. *Оберман Р. М.* Счет и счетчики. - М., 1984. - 173 с.
2. *Борисенко А. А., Губарев С. И., Куно Г. В.* Биномиальные системы счисления с двоичным алфавитом // АСУ и приборы автоматики. - 1985. - Вып. 76. - С. 81- 87.
3. А. с. 1077054 . Счетчик импульсов / А. А. Борисенко, И. Д. Пузько, Л. А. Стеценко.

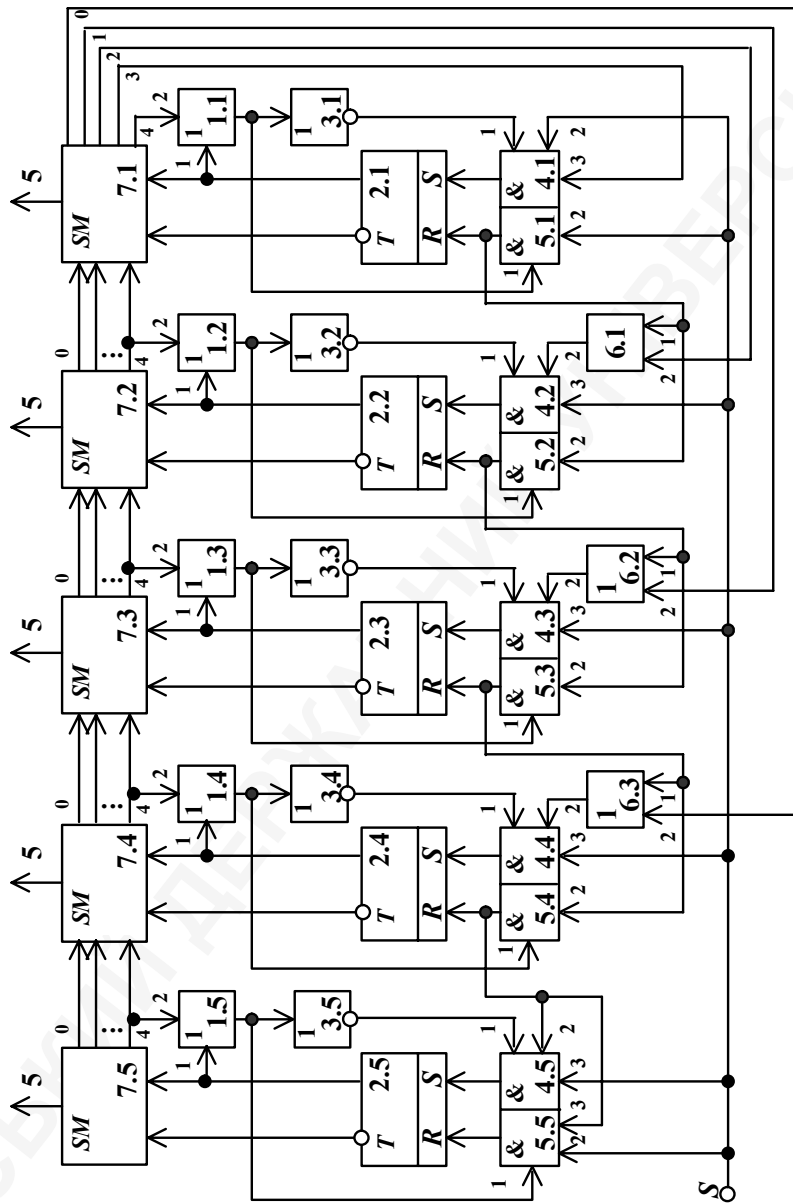


Рисунок 1 - Схема биномиального счетчика для $n = 5$ и $k = 4$

1.6 Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел

*А.А. Борисенко, канд. техн. наук, С.И. Губарев, канд. техн. наук,
Г. В. Куно*

*Автоматизированные системы управления и приборы автоматики,
Харьков, № 74, 1985 г.*

При помехоустойчивом кодировании широко применяются коды с постоянным весом. Их положительные свойства - относительно высокая помехоустойчивость и простота технической реализации [1]. В работе [2] отмечено, что ограничивающим фактором, позволяющим в полной мере реализовать достоинства этих кодов, является отсутствие регулярных методов их построения. Решить такую задачу мы предлагаем на основе применения двоичных биномиальных чисел

$$A_i = (a_{j-1}, a_{j-2}, \dots, a_0),$$

где $i = 1, 2, \dots, P$; j - количество разрядов биномиального числа. Эти числа могут быть получены с помощью биномиальных систем счисления с двоичным алфавитом [3].

Диапазон представления биномиальных чисел

$$P = C_n^k,$$

где k, n - целочисленные параметры системы счисления;

$k > 0, n > k$;

n -разрядность биномиальных чисел;

k - контрольное число.

Биномиальные числа характеризуются следующими признаками: длина j их не должна быть больше $n - 1$ и меньше $l = n - k$ разрядов; биномиальное число должно содержать или k единиц, или l нулей.

Пусть, например, заданы двоичные последовательности 0000, 00, 01111, 1000. Требуется определить, какие из указанных последовательностей при $n = 6, k = 4$ являются биномиальными числами, вычислить их диапазон и преобразовать в десятичную систему счисления. Диапазон представления биномиальных чисел для указанных n и k

$P = C_n^k = C_6^4 = 15$. Последовательность 0000 не содержит единиц и содержит нулей больше l , поэтому для заданных n и k она не является биномиальным числом. Последовательности 00, 01111 биномиальные, так как в первой число нулей равно l , а во второй число единиц равно k . При этом их длина не превышает $n-1=5$ и не меньше $n-k=2$ разрядов.

Переход от биномиального числа к двоичному кодовому слову с постоянным весом осуществляется приписыванием к нему единиц, если двоичное число содержит l нулей, или нулей, если в нем содержится k единиц, до тех пор, пока длина двоичного слова не станет равной n . Например, 00, 001111, 01111, 011110. Правило обратного перехода состоит в вычеркивании из кодового слова с постоянным весом единиц или нулей, начиная с младшего разряда, до тех пор, пока их число не станет равным k или l . Например, 011110 - 01111, 001111 - 00.

Для решения задачи перебора кодов с постоянным весом рассмотрим алгоритм перебора биномиальных чисел, который основывается на реализации операции сложения биномиального числа с единицей до получения максимального числа $C_n^k - 1$, т. е. необходимо разработать алгоритм работы биномиального счетчика.

Этот алгоритм состоит в следующем:

1 Формируется начальное кодовое слово, состоящее из нулей.

2 В младший разряд записывается единица.

3 Если число единиц в кодовом слове меньше k , то приписываем справа нуль и переходим к пункту 2.

4 Если число единиц станет равным k , а длина - $n - 1$ разрядов, то в младший разряд, содержащий нуль, записывается единица; а в разряды справа от него, если число единиц слева не равно k , последовательно записываются нули до тех пор, пока их общее число не станет равным $n - k$.

5 Возврат к пункту 2.

Циклы повторяются до тех пор, пока k старших разрядов кодового слова не заполнятся единицами.

В табл. 1 для $n = 6$, $k = 4$ приведены все состояния биномиального счетчика, расположенные в порядке возрастания и полученные в соответствии с приведенным алгоритмом.

Таблица 1

| Пор. ном. | Биномиальное число | Пор. ном. | Биномиальное число | Пор. ном. | Биномиальное число | Пор. ном. | Биномиальное число |
|-----------|--------------------|-----------|--------------------|-----------|--------------------|-----------|--------------------|
| 0 | 00 | 4 | 01111 | 8 | 10111 | 12 | 11100 |
| 1 | 010 | 5 | 100 | 9 | 1100 | 13 | 11101 |
| 2 | 0110 | 6 | 1010 | 10 | 11010 | 14 | 1111 |
| 3 | 01110 | 7 | 10110 | 11 | 11011 | | |

Перебор кодов с постоянным весом осуществляется на основе перебора биномиальных чисел, который рассмотрен выше.

Представляет интерес также задача перебора биномиальных чисел и соответственно кодов с постоянным весом в порядке убывания (алгоритм работы вычитающего счетчика). Алгоритм вычитания состоит в присвоении k значения l и инвертировании разрядов в суммирующем счетчике с новым k .

В табл. 2 приведены двоичные последовательности вычитающего биномиального счетчика.

Таблица 2

| Пор. ном. | Биномиальные числа суммирующего счетчика | Биномиальные числа суммирующего счетчика с $k = l$ | Биномиальные числа вычитающего счетчика |
|-----------|--|--|---|
| 0 | 00 | 0000 | 1111 |
| 1 | 010 | 00010 | 11101 |
| 2 | 0110 | 00011 | 11100 |
| 3 | 01110 | 00100 | 11011 |
| 4 | 01111 | 00101 | 11010 |
| 5 | 100 | 0011 | 1100 |
| 6 | 1010 | 01000 | 10111 |
| 7 | 10110 | 01001 | 10110 |
| 8 | 10111 | 0101 | 1010 |
| 9 | 1100 | 011 | 100 |
| 10 | 11010 | 10000 | 01111 |
| 11 | 11011 | 10001 | 01110 |
| 12 | 11100 | 1001 | 0110 |
| 13 | 11101 | 101 | 010 |
| 14 | 1111 | 11 | 00 |

На основе приведенных алгоритмов можно решить задачу генерирования кодов с постоянным весом по заданным номерам. Ее решение заключается в одновременном переборе чисел в степенной, например, двоичной и биномиальной системах счисления. При совпадении одного из перебираемых двоичных чисел с заданным происходит одновременный останов перебора двоичных и биномиальных чисел, результат генерирования будет отображен на биномиальном счетчике.

Это решение представляет интерес вследствие возможности его относительно простой схемной реализации. Недостаток его состоит в низкой скорости преобразования, что приводит к принципиальному ограничению на длину генерируемых кодовых комбинаций. Повысить скорость можно на основе приведенного ниже алгоритма перевода чисел из степенной системы счисления в биномиальную:

1 Определяется коэффициент a_{j-1} сравнением переводимого числа A_i с весом $(j-1)$ -го разряда $C_{n-1}^{k-q_j}$, где $q_j = 0$. Если $A_i \geq C_{n-1}^{k-q_j}$, то $a_{j-1} = 1$, $q_{j-1} = q_j + 1 = 1$. В противном случае $a_{j-1} = 0$, $q_{j-1} = q_j + 0 = 0$.

2 Определяется остаток $R = A_i - C_{n-1}^{k-q_j}$, если $a_{j-1} = 1$ или $R = A_i$ при $a_{j-1} = 0$.

3 Сравняется остаток R с весом $(j-2)$ -го разряда $C_{n-1}^{k-q_{j-1}}$. Если $R \geq C_{n-1}^{k-q_{j-1}}$, то $a_{j-2} = 1$, $q_{j-2} = q_{j-1} + 1$. В противном случае $a_{j-2} = 0$, $q_{j-2} = q_{j-1} + 0$.

4 Определяется коэффициент a_{j-3} , a_{j-4} , ... и т.д. по аналогии с пунктом 2, 3 до тех пор, пока кодовая комбинация не станет удовлетворять условиям биномиального числа.

5 Коэффициент a_l , где $l = j-1, j-2, \dots, 0$, при котором выполняются условия биномиального числа, является коэффициентом a_0 .

Пример Перевести число $A_i = 2$ в биномиальную систему счисления с $n = 6$, $k = 4$.

Так как $A_2 = 2 < C_5^4 = 5$, то $a_{j-1} = 0$, $q_{j-1} = q_j + 0 = 0 + 0 = 0$. Из того, что $R = A_2 = 2 > C_{6-2}^{4-0} = 1$, следует $a_{j-2} = 1$, $q_{j-2} = q_{j-1} + 1 = 0 + 1 = 1$.

Определяется остаток $R_1 = R - C_{6-2}^{4-0} = 1$. Вес $(j-3)$ -го разряда равен $C_{6-3}^{4-1} = 1$. Так как $R = C_{6-3}^{4-1}$, то $a_{j-3} = 1$, $q_{j-3} = q_{j-2} + 1 = 2$. Определяется новый остаток $R_2 = R - C_{6-3}^{4-1} = 0$. Вес $(j-4)$ -го разряда равен $C_{6-4}^{4-2} = 1$, а $a_{j-4} = 0$ ($R_2 = 0 < C_{6-4}^{4-2} = 1$). После появления коэффициента $a_{j-4} = 0$ число нулей в комбинации $a_{j-1}, a_{j-2}, a_{j-3}, a_{j-4} = 0110$ достигло двух, что соответствует определению биномиального числа.

Наличие ограничений на число единиц k и число нулей l позволяет обнаруживать ошибки в биномиальных числах. Для этого необходимо дополнить кодовые комбинации их нулями до длины $n - 1$. В табл. 3 для $n = 6, l = 4, k = 2$ приведены биномиальные комбинации с одинаковым числом разрядов. Ошибка будет обнаруживаться в случае, когда число единиц в комбинации будет больше двух, например, комбинация 00111 является ошибочной. Ошибка будет также и в случае, если число нулей перед последней единицей больше или равно $n - k$.

Таблица 3

| Пор. ном. | Равномерная биномиальная комбинация | Пор. ном. | Равномерная биномиальная комбинация | Пор. ном. | Равномерная биномиальная комбинация | Пор. ном. | Равномерная биномиальная комбинация |
|-----------|-------------------------------------|-----------|-------------------------------------|-----------|-------------------------------------|-----------|-------------------------------------|
| 0 | 00000 | 4 | 00101 | 8 | 01010 | 12 | 10010 |
| 1 | 00010 | 5 | 00110 | 9 | 01100 | 13 | 10100 |
| 2 | 00011 | 6 | 01000 | 10 | 10000 | 14 | 11000 |
| 3 | 00100 | 7 | 01001 | 11 | 10001 | | |

Из табл. 3 видно, что имеется 17 запрещенных комбинаций, из них одна (00001) обнаруживается на основе второго условия, остальные - с помощью первого. Таким образом, данный код эффективен для ошибок, носящих асимметричный характер типа $0 \rightarrow 1$. В случае другого характера ошибок, вплоть до симметричного, степень асимметрии регулируется изменением k .

На основе предложенного алгоритма перебора биномиальных чисел был реализован помехоустойчивый счетчик с асимметричным характером исправляемых ошибок.

Таким образом, предложенные алгоритмы, использующие биномиальные числа, решают задачи перебора и генерирования кодов с постоянным весом и позволяют разрабатывать помехоустойчивые суммирующие и вычитающие счетчики.

Список литературы

1. *Березюк Н. Г., Андрущенко А. Г., Мощицкий С. С.* Кодирование информации. - Х.: Вища шк. Изд-во при Харьк. ун-те, 1978. - 252 с.
2. *Цымбал В. П.* Теория информации и кодирование. - К.: Вища шк., Головное изд-во, 1977. - 287 с.
3. *Борисенко А. А.* Система с биномиальным основанием и двоичным алфавитом, ВИНТИ. - М., 1982, № 909 - 88. - 6 с.

1.7 Биномиальные микропроцессорные устройства для перебора равновесных кодов

А.А. Борисенко, канд. техн. наук, *А.Л. Верхоробин*,
В.Н. Кузнецов, канд. техн. наук

Автоматизированные системы управления и приборы автоматики, Харьков, № 96, 1990 г.

Равновесные коды (коды с постоянным числом единиц) вследствие простоты алгоритмов кодирования и декодирования и высокой помехообнаруживающей способности широко применяются на практике как для передачи данных по каналам связи, так и при хранении и передаче информации в цифровых системах обработки информации [1, 2].

Как правило, формирование равновесных кодов происходит на основе таблиц, что ограничивает их разрядность и соответственно мощность. Это не позволяет в полной мере использовать достоинства равновесных кодов и ограничивает область их применения.

Рассмотрим помехоустойчивый алгоритм перебора равновесных кодов повышенной мощности на основе биномиальных чисел и реализацию на его основе помехоустойчивого микропроцессорного устройства. С его помощью легко решается задача перевода двоичных кодов в равновесные, а также задача счета в помехоустойчивом коде, что имеет особое значение в системах телеавтоматики [2].

Алгоритм работы устройства основывается на правилах выполнения арифметических операций в биномиальной системе счисления [3].

Определение. k - биномиальным числом называется двоичная комбинация разрядности n , содержащая не более k единиц и $l = n - k + 1$ нулей до младшей единицы или k единиц и $l < n - k$ нулей до младшей единицы.

Например, для $n = 5$, $k = 2$ число 00001 не является биномиальным, так как перед младшей единицей, стоящей в нулевом разряде, находятся четыре нуля, а должно быть не более $n - k = 5 - 2 = 3$. Число 00110 является биномиальным, так как содержит $k = 2$ единицы и $2 < 3$ нуля до младшей единицы, стоящей в первом разряде.

Работа рассматриваемого устройства происходит по следующим правилам:

1 В исходном состоянии все разряды устройства установлены в нуль.

2 Происходит занесение единицы в $(k - i)$ -й разряд, где i - число единиц в разрядной сетке устройства.

3 Подсчитывается число единиц в ней.

4 Если число единиц меньше k , то переход к пункту 2.

5 Если число единиц равно k и они не расположены в k старших разрядах, то младшие единичные разряды до первого нулевого устанавливаются в нуль, а первый нулевой - в единицу.

6 Если число единиц равно k и они расположены в k старших разрядах, то цикл счета окончен.

7 Если число единиц больше k , то вырабатывается сигнал «ошибка» и происходит переход к пункту 1.

8 Производится подсчет числа нулей в разрядной сетке устройства до первой младшей единицы.

9 Если число нулей меньше или равно $n - k + 1$, то переход к п. 2.

10 Если число нулей больше $n - k + 1$, то вырабатывается сигнал «ошибка» и происходит возврат к пункту 1.

Количество перебираемых устройством биномиальных чисел определяется из выражения

$$N = C_{n+1}^k = \frac{(n+1)}{k!(n-k+1)!}.$$

В таблице 1 в качестве примера приведены биномиальные числа с $n = 5$, $k = 2$, полученные в соответствии с приведенным выше алгоритмом.

Таблица 1

| Номер | 54321 | Номер | 54321 | Номер | 54321 | Номер | 54321 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 00000 | 4 | 00101 | 8 | 01010 | 12 | 10010 |
| 1 | 00010 | 5 | 00110 | 9 | 01100 | 13 | 10100 |
| 2 | 00011 | 6 | 01000 | 10 | 10000 | 14 | 11000 |
| 3 | 00100 | 7 | 01001 | 11 | 10001 | 15 | |

Переход к равновесной комбинации от биномиальной осуществляется приписыванием к последней единиц, если она их содержит меньше k , или нулей, если она содержит k единиц. Единицы приписываются, начиная от $(n - k + 1)$ -го нуля, а нули - от последней k -й единицы при счете от старшего разряда до тех пор, пока соответственно число единиц не станет равным k или число нулей - равным $n - k + 1$ [5]. Так, биномиальная комбинация 01000 с $n = 5$ и $k = 4$ после преобразования в равновесную будет иметь вид 010111.

Тактовый генератор микропроцессорного устройства (МПУ) может быть собран на МС КР580ГФ24. Он вырабатывает последовательности синхроимпульсов, необходимые для нормальной работы устройства. Формирователь шины адреса (ФША) буферизирует адресные линии МП и может быть реализован на двух МС КР580ВА86. Системный контроллер (СК) буферизирует шину данных (ШД) и вырабатывает управляющие сигналы, необходимые для работы внешних по отношению к ЦП устройств.

В начальный момент времени ЦП находится в состоянии ожидания (или может выполнять какие-либо дополнительные функции, не относящиеся к биномиальному счетчику). Источник информации (ИИ) посылает запрос на прерывание и вырабатывает команду *RST*, которая вызывает подпрограмму биномиального счетчика, хранящуюся в ПЗУ. При каждом обращении к подпрограмме содержимое счетчика увеличивается на единицу и выводится в порт вывода 00, который в данном случае является потребителем информации. При обнаружении ошибки в работе счетчика микропроцессор выводит сообщение об ошибке также в порт вывода 00, после чего счетчик обнуляется и

продолжает работать в прежнем режиме.

ОЗУ используется для хранения предыдущего состояния счетчика и организации стека, который необходим при работе с подпрограммами. Таким образом, объем ОЗУ, необходимый непосредственно для биномиального счетчика, составляет всего несколько ячеек.

Блок-схема алгоритма работы подпрограммы биномиального счетчика представлена на рис. 1.

При обращении к подпрограмме в аккумулятор загружается число A (предыдущее состояние счетчика, которое хранится в счетчике ОЗУ). Для перехода к следующему состоянию нам необходимо знать, какое количество единиц уже содержится в счетчике, поэтому на следующем этапе подсчитывается число единиц (1). Далее алгоритм разветвляется в зависимости от того, равно ли количество единиц контрольному числу ($i = k$?). В случае равенства проверяется, находятся ли все единицы в старших разрядах счетчика ($A = A1?$), и в зависимости от результата обнуляется счетчик ($A := 0$) или прибавляется единица в младший разряд счетчика ($A := A + A2$).

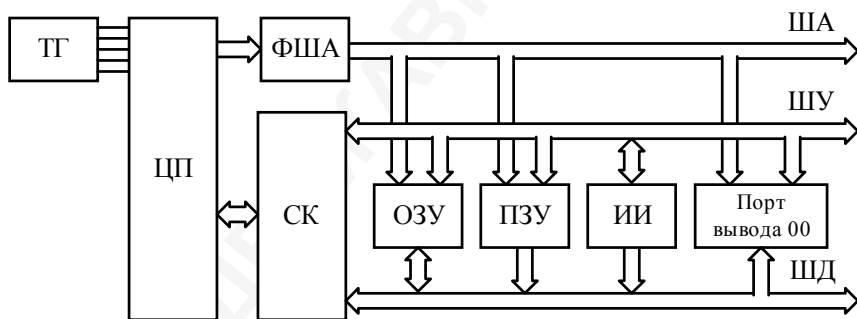


Рисунок 1- Блок-схема алгоритма работы подпрограммы биномиального счетчика

Случай, когда i не равно k , в свою очередь, делится на два варианта: $i > k$ и $i < k$. Если число единиц в счетчике больше контрольного числа ($i > k$), то это значит, что произошла ошибка. В этом случае выводится в порт 00 сообщение об ошибке, после чего обнуляется счетчик ($A := 0$).

Если число единиц в счетчике меньше контрольного числа

($i < k$), то алгоритм также разветвляется в зависимости от того, равно нулю число единиц или нет ($i = 0?$). В случае равенства нулю нужно прибавить единицу в разряд счетчика с номером k ($A := A + A3$), а в случае неравенства необходимо сначала сдвинуть содержимое счетчика на i разрядов влево, а после сложения вернуть его в исходное состояние.

Окончание программы для всех рассмотренных случаев одно и то же: выводится новое состояние счетчика в порт вывода 00, затем выгружается в ячейку ОЗУ для хранения до следующего обращения к подпрограмме и происходит возврат из подпрограммы.

Подпрограмма биномиального счетчика на языке Ассемблера представлена ниже. Очевидно, что на одном микропроцессоре можно организовать несколько биномиальных счетчиков с различными параметрами. При этом различные источники информации будут выдавать запросы на прерывания и формировать различные команды *RST*. В свою очередь, микропроцессор будет поочередно обрабатывать запросы и выдавать информацию в различные порты вывода.

Если же микропроцессор будет использоваться для реализации одного единственного счетчика и никаких дополнительных функций выполнять не будет, то можно исключить из структурной схемы, изображенной на рис. 2, ОЗУ, а предыдущее состояние счетчика хранить в регистре микропроцессора. При этом будет единственный порт вывода, который можно будет не соединять с шиной адреса. В этом случае можно обойтись без формирователя шины адреса.

Список литературы

1. Дж. Мартин. Системный анализ передачи данных. - М., 1975.- Т.1.- С. 10 - 15.
2. Гутевич В. Н. Телемеханика. - М., 1985. - 200 с.
3. Борисенко А. А., Губарев С. И., Куно Г. В. Биномиальные системы счисления с двоичным алфавитом // АСУ и приборы автоматики. - 1985. - Вып. 76. - С. 87 - 93.
4. Борисенко А. А., Пузько Н. Д., Куно Г. В. Биномиальные двоичные счетчики // Информ. листок. № 84 - 132. - Х., 1984.
5. Борисенко А. А., Губарев С. И., Куно Г. В. Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел // АСУ и приборы автоматики. - 1985. - Вып. 74. - С. 77 - 81.

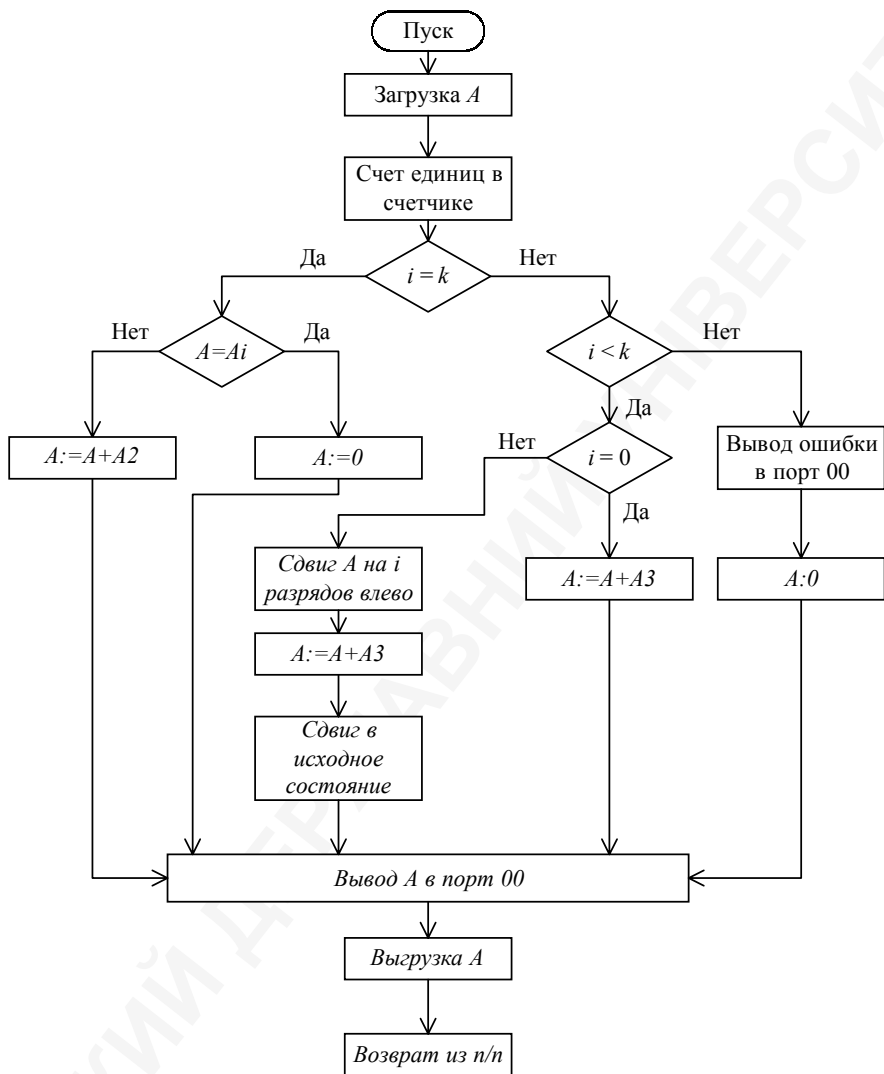


Рисунок 2 - Структурная схема биномиального микропроцессорного устройства для перебора кодов

**ОПРЕДЕЛЕНИЯ
АСЕМБЛЕР МП К580ИК80А**

ВИНОМ — ПОДПРОГРАММА БИНОМИАЛЬНОГО ДВОИЧНОГО СЧЕТЧИКА

```

ИСПОЛЬЗУЕМЫЕ РЕГИСТРЫ:           А, В, С
ИСПОЛЬЗУЕМЫЕ ПОДПРОГРАММЫ:      НЕТ

ОПРЕДЕЛЕНИЯ
ADR EQU 0F100H                    ;АДРЕС ЯЧЕЙКИ ХРАНЕНИЯ ПРЕДЫДУЩЕГО
;СОСТОЯНИЯ СЧЕТЧИКА
N EQU 5                            ;N—ЧИСЛО РАЗРЯДОВ СЧЕТЧИКА
K EQU 4                            ;K—КОНТРОЛЬНОЕ ЧИСЛО
A1 EQU 11110000B                  ;ЧИСЛО СО ВСЕМИ ЕДИНИЦАМИ
;В К СТАРШИХ РАЗРЯДАХ
A2 EQU 00001000B                  ;ЕДИНИЦА МЛАДШЕГО РАЗРЯДА
A3 EQU 01000000B                  ;ЕДИНИЦА В РАЗРЯДЕ К
;
; СЧЕТЧИК ИСПОЛЬЗУЕТ N СТАРШИХ РАЗРЯДОВ ЩД МП
;ПРОГРАММА
BINOM: LDA ADR                    ;ЗАГРУЗКА ПРЕДЫДУЩЕГО СОСТОЯНИЯ
;БИНОМИАЛЬНОГО СЧЕТЧИКА
MVI B, 0                          ;СБРОС СЧЕТЧИКА ЕДИНИЦ; I = 0
MVI C, N                          ;ЗАГРУЗКА КОЛИЧЕСТВА РАЗРЯДОВ БИН.
;СЧЕТЧИКА
;
; СЧЕТ ЕДИНИЦ ПУТЕМ СДВИГА РАЗРЯДОВ
; В БИТ «С» РЕГИСТРА УСЛОВИЙ
LAB10: RLC                        ;СДВИГ
JNC LAB20                          ;БИТ «С» РАВЕН НУЛЮ?
INR B                              ;НЕТ ТОГДА УВЕЛИЧИВАЕМ ЧИСЛО ЕДИНИЦ
LAB20: DCR C                      ;ПЕРЕХОДИМ К СЛЕДУЮЩЕМУ РАЗРЯДУ.
JNZ LAB10                          ;СЧЕТ ОКОНЧЕН? НЕТ - ТОГДА ПОВТОРИМ
REPT 8—N                          ;ВОЗВРАТ БИН. СЧЕТЧИКА В ИСХОДНОЕ
RLC                                ;СОСТОЯНИЕ
ENDM
;
;
; СРАВНЕНИЕ КОЛ-ВА ЕДИНИЦ «1» С КОНТРОЛЬНЫМ ЧИСЛОМ «k»
MOV C, B                            ;НА ХРАНЕНИЕ
REPT K
DCR B
ENDM
JZ LAB30                          ;I=K? ДА - ПЕРЕХОДИМ К LAB30
JM LAB40                          ;I<K? ДА - ПЕРЕХОДИМ К LAB40
;НЕТ (I>K) - ОШИБОЧНОЕ СОСТОЯНИЕ.
;ВЫВОДИМ ПРИЗНАК ОШИБКИ В ПОРТ 00
MVI A, 11111111B                  ;ЗАГРУЖАЕМ ПРИЗНАК ОШИБКИ
OUT 00                             ;ВЫВОД В ПОРТ 00

```

```

MVI A, 0          ;СБРОС СЧЕТЧИКА
JMP LAB70        ;ПЕРЕХОД К ОКОНЧАНИЮ
;
;
;
;
;           СЛУЧАЙ I=K.
LAB30: CPI A1     ;ВСЕ ЕДИНИЦЫ В К СТАРШИХ РАЗРЯДАХ?
      JNZ LAB35  ;ЕСЛИ-НЕТ - ПЕРЕХОД
      MVI A,0    ;ВСЕ? ТОГДА СЧЕТЧИК ОБНУЛЯЕТСЯ
      JMP LAB70  ;ПЕРЕХОДИМ К ОКОНЧАНИЮ
;
;
LAB35: ADI A2     ;ПРИБАВЛЯЕМ ЕДИНИЦУ К МЛАДШЕМУ
      ;РАЗ РЯДУ
      JMP LAB70  ;ПЕРЕХОДИМ К ОКОНЧАНИЮ
;
;
;           СЛУЧАЙ I < K.
LAB40: INR C     ;АКТИВИЗИРУЕМ БИТ «Z» РЕГИСТРА УСЛОВИЙ
      DCR C
      MOV B, C   ;ВОССТАНАВЛИВАЕМ I В РГ. В
      JNZ LAB50 ;I=0? НЕТ - ТОГДА ПЕРЕХОДИМ
      ADI A3     ;ДА - ТОГДА ЗАНОСИМ ЕДИНИЦУ В РАЗРЯД К
      JMP LAB70  ;ПЕРЕХОДИМ К ОКОНЧАНИЮ
LAB50: RLC      ;СДВИГАЕМ СОДЕРЖИМОЕ СЧЕТЧИКА
      DCR C     ;НА I РАЗРЯДОВ ВЛЕВО
      JNZ LAB50
      ADI A3    ;ПРИБАВЛЯЕМ ОЧЕРЕДНУЮ ЕДИНИЦУ СПРАВА
LAB60: RRC     ;ВОЗВРАЩАЕМ СЧЕТЧИК В ИСХОДНОЕ
      DCR B     ;СОСТОЯНИЕ
      JNZ LAB60
LAB70: OUT 00   ;ВЫВОД СОСТОЯНИЯ СЧЕТЧИКА В ПОРТ 00
      STA ADP   ;ВЫГРУЗКА СЧЕТЧИКА В ЯЧЕЙКУ ОЗУ
      RET      ;ВОЗВРАТ

```

ГЛАВА 2 БИНОМИАЛЬНЫЕ СЧЕТЧИКИ

2.1 Биномиальный суммирующий помехоустойчивый счетчик

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко, И.Д. Пузько и Л.А. Стеценко

Заявитель - Сумский филиал Харьковского политехнического
института

А.с. СССР 1077054.

Заявлено 27.07.82. Опубликовано 28.02.84. Бюл. № 8.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве перестраиваемых помехоустойчивых счетчиков и распределителей импульсов.

Цель изобретения – возможность биномиального счета и повышение помехоустойчивости.

На рис. 1 приведен биномиальный пятиразрядный счетчик импульсов с $n = 5$ и контрольным числом $k = 4$; на рис. 2 - реализация одного из сумматоров.

Наличие числа единиц, превышающего k , на выходе в общем случае любого сумматора свидетельствует о том, что в результате суммирования произошла ошибка.

Счетчик импульсов работает следующим образом.

В исходном состоянии все триггеры счетчика стоят в "0", т.е. счетчик находится в нулевом состоянии 00000. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элемент ИЛИ 6.3 на вход элемента И 4.4. Так как с единичного выхода триггера 2.4 поступает нулевой сигнал на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние 01000, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элемент ИЛИ 6.2 дает разрешение элементу И 4.3 на установку в единичное

состояние триггера 2.3, т.е. счетчик по тактовому импульсу переходит в состояние 01100.

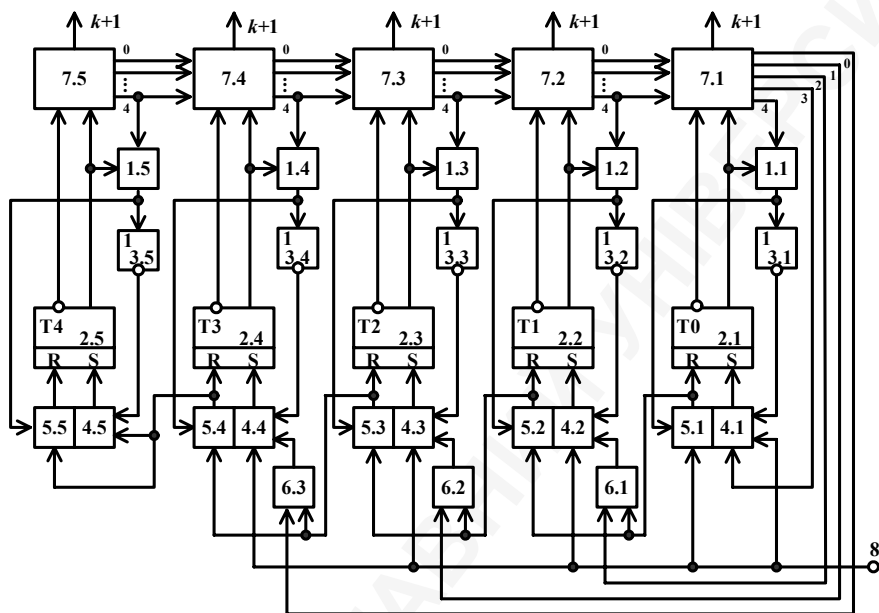


Рисунок 1 - Пятиразрядный двоичный биномиальный счетчик импульсов

Аналогично получены состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и входе элемента И 5.1 имеется "1", то следующий тактирующий сигнал устанавливает триггер 2.1 в "0" и с выхода элемента И 5.1 проходит на вход элемента 5.2 И, и сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает "0" и через элемент НЕ 3.5 разрешает сигналу сброса установить его в "1", т.е. получают состояние 10000. При этом на первом выходе сумматора 7.1 присутствует единичный сигнал. Этот сигнал через элементы ИЛИ 6.2 и И 4.3 устанавливает триггер 2.3 в "1", в результате счетчик находится в состоянии 10100. По следующим тактовым импульсам, по аналогии с

вышеописанным, происходит установка в "1" второго и первого разрядов счетчика. В результате получают следующие состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в "0" триггеров 2.1 - 2.3 и записывается "1" в триггер 2.4 - 11000. Затем процесс записи "1" в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на 4-м выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в "0" триггера 2.1 и дальнейшее его распространение через элементы И 5.2 - 5.5. В результате счетчик переходит в исходное (нулевое) состояние (00000).

В предлагаемой схеме единственным обнаруживаемым запрещенным состоянием является состояние 11111. В этом случае происходит переполнение сумматора 7.1, и на выходе "ошибки" сумматора 7.1 находится сигнал ошибки. Однако ошибкообнаруживающую способность счетчика можно повысить, изменив контрольную цифру k , т.е. число обратных связей с сумматора 7.1. Чем их меньше, тем выше ошибкообнаруживающая способность. Например, при $k = 2$ ошибочные состояния счетчика 01110; 10011; 11100 будут обнаружены. В этом случае на 5-м выходе сумматоров соответственно (7.2, 7.1), (7.1), (7.3, 7.2, 7.1) появляется сигнал ошибки.

Сумматор (рис.2) является матричным и содержит первую группу 9 из $(k + 1)$ элементов И 10, вторую группу 11 из $(k + 1)$ элементов И 12 и группу 13 из k элементов ИЛИ 14, первую группу 15 и вторую группу 16 входов, группу из $k + 2$ выходов - 0, 1, ..., k , $k + 1$.

Входы сумматора из группы 15 соединены соответственно с первыми входами элементов И 10 и с первыми входами элементов И 12, вторые входы соответствующей пары из элементов И 10 и И 12 соединены с соответствующими входами из второй группы 16, входы каждого из элементов ИЛИ 14 из группы 13 соединены с выходами соответствующих элементов И 10 и И 12 из групп 9 и 11.

Наличие единицы на выходе $k + 1$ сумматора свидетельствует о том, что в результате суммирования произошла ошибка (сумма единиц больше k).

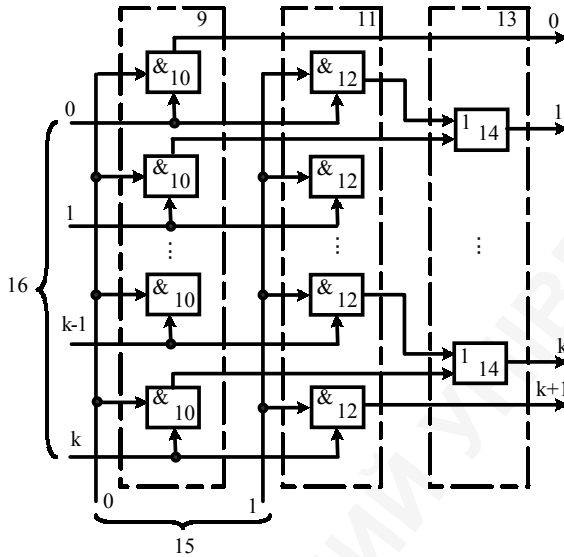


Рисунок 2 - Матричный сумматор

Все состояния рассматриваемого счетчика, начиная с нулевого – 00000 и заканчивая последним – 11110, приведены ниже в табл. 1.

Таблица 1 – Состояния биномиального счетчика

| Номер бином. числа | Разряд | | | | | Номер бином. числа | Разряд | | | | |
|--------------------------|--------|---|---|---|---|--------------------------|--------|---|---|---|---|
| | 5 | 4 | 3 | 2 | 1 | | 5 | 4 | 3 | 2 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 8 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 9 | 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 1 | 0 | 0 | 10 | 1 | 1 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 | 1 | 0 | 11 | 1 | 1 | 0 | 1 | 1 |
| 4 | 0 | 1 | 1 | 1 | 1 | 12 | 1 | 1 | 1 | 0 | 0 |
| 5 | 1 | 0 | 0 | 0 | 0 | 13 | 1 | 1 | 1 | 0 | 1 |
| 6 | 1 | 0 | 1 | 0 | 0 | 14 | 1 | 1 | 1 | 1 | 0 |
| 7 | 1 | 0 | 1 | 1 | 0 | | | | | | |

Таким образом, введение новых конструктивных признаков позволяет организовать биномиальный счет, что расширяет функциональные возможности предлагаемого устройства и повышает при этом его помехоустойчивость.

2.2 биномиальный суммирующий счетчик с повышенной глубиной контроля

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко и Г.В. Куно

Заявитель - **Сумский филиал Харьковского политехнического института**

А.с. СССР 1205302.

Заявлено 10.04.84. Опубликовано 15.01.86. Бюл. № 39.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, например, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Изобретение является усовершенствованием биномиального счетчика импульсов, описанного в авт. св. №1077054.

Цель изобретения - увеличение глубины контроля счетчика путем выявления запрещенных состояний, возникающих в результате переходов $1 \rightarrow 0$ и необнаруживаемых основным счетчиком.

Для общего случая в кодовой комбинации состояния счетчика не может содержаться больше k единиц и $n - k$ нулей перед младшей единицей. Поэтому схема счетчика должна содержать дополнительно $k - 1$ элементов И и $k - 2$ элементов ИЛИ. Это следует из того, что запрещенные комбинации образуют $k - 1$ группы, содержащие $1, 2, \dots, k - 1$ единицы, $k \geq 2$, перед младшей из которых содержится больше $n - k$ нулей. Группа, содержащая k единиц, является разрешенной, так как в этом случае максимальное количество нулей в комбинации равно $n - k$.

Признаком запрещенной комбинации для группы, содержащей одну единицу, является наличие единичного состояния одного из разрядов счетчика с первого по $k - 1$. В этом случае число нулей в комбинации перед младшей единицей будет больше $n - k$. Например, если единица будет стоять в $(k - 1)$ -м разряде, то количество нулей перед ней $- n - (k - 1) = n - k + 1$.

Для группы запрещенных комбинаций, содержащих две единицы, одна из которых находится в разрядах с первого по $k-2$, для случая, когда первая единица справа находится в $(k-2)$ -м разряде, количество нулей перед ней равно $n - (k-2) - 1 = n - k + 1$. Для других случаев, когда первая единица стоит правее, число нулей перед ней, очевидно, возрастет (см. табл. 1).

Таблица 1 – Запрещенные состояния биномиального счетчика
(вторая группа)

| Номер бином. числа | Разряд | | | | | Номер бином. числа | Разряд | | | | |
|--------------------------|--------|---|---|---|---|--------------------------|--------|---|---|---|---|
| | 5 | 4 | 3 | 2 | 1 | | 5 | 4 | 3 | 2 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 11 | 0 | 0 | 1 | 1 | 1 |
| 2 | 0 | 0 | 0 | 1 | 0 | 12 | 0 | 1 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 0 | 0 | 13 | 0 | 1 | 1 | 0 | 1 |
| 4 | 0 | 0 | 0 | 1 | 1 | 14 | 1 | 0 | 0 | 1 | 1 |
| 5 | 0 | 0 | 1 | 0 | 1 | 15 | 1 | 0 | 1 | 0 | 1 |
| 6 | 0 | 0 | 1 | 1 | 0 | 16 | 1 | 1 | 0 | 0 | 1 |
| 7 | 0 | 1 | 0 | 0 | 1 | | | | | | |
| 8 | 0 | 1 | 0 | 1 | 0 | | | | | | |
| 9 | 1 | 0 | 0 | 0 | 1 | | | | | | |
| 10 | 1 | 0 | 0 | 1 | 0 | | | | | | |

Соответственно для последней группы с запрещенными комбинациями и с $k-1$ единицами младшая из них должна находиться в первом разряде (см. табл. 1). Количество нулей перед ней будет равно $n - (k-1) = n - k + 1$. Если она будет находиться не в первом разряде, а, например, во втором, то тогда количество нулей перед ней будет равно $n - (k-1) - 1 = n - k$ и, следовательно, эта комбинация является разрешенной.

Разряды, в которых могут находиться единицы в запрещенных комбинациях, принадлежащих к одной группе, и перед которыми может быть более $n - k$ нулей, объединяются элементами ИЛИ. Число этих элементов будет $k-2$, так как одна группа запрещенных кодовых комбинаций, которая содержит в кодовых комбинациях $k-1$ единиц, имеет обязательно в младшем разряде одну единицу, перед которой имеется больше $n - k$ нулей. В результате для этой группы нет необходимости вводить элемент ИЛИ. Для выделения каждой

группы запрещенных кодовых комбинаций необходимо ввести элемент И, число которых равно числу этих групп $- k - 1$, так как если число единиц равно k , то число нулей обязательно будет равно $n - k$, т.е. разрешенное. На рис.1 приведен счетчик с $n = 5$ и $k = 4$.

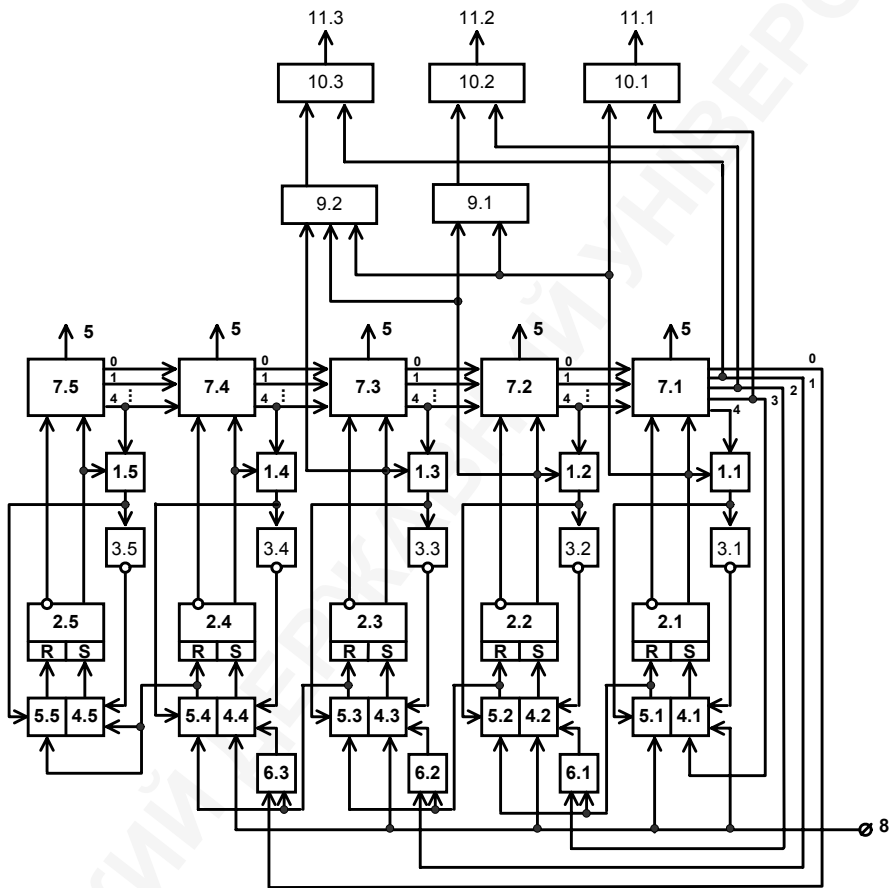


Рисунок 1 – Пятиразрядный счетчик импульсов с $k = 4$ и дополнительной защитой от помех

Счетчик работает следующим образом. В исходном состоянии все триггеры 2.1-2.5 счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии - 00000. На нулевом выходе сумматора 7.1

соответственно имеется единичный сигнал, который проходит через элемент ИЛИ 6.3 на вход элемента И 4.4. Так как с единичного выхода триггера 2.4 поступает нулевой сигнал на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние 01000, и на первом выходе сумматора 7.1 появляется единичный сигнал, который через элемент ИЛИ 6.2 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по следующему тактовому импульсу (в соответствии с вышеописанным) переходит в состояние 01100.

Аналогично будут получены состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и на входе элемента И 5.1 - единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента И 5.2, и сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает нуль и через элемент НЕ 3.5 разрешает сигналу сброса установить его в единицу, т.е. будет получено состояние 10000. При этом на первом выходе сумматора 7.1 будет единичный сигнал, который через элементы ИЛИ 6.2 и И 4.3 устанавливает триггер 2.3 в единицу, в результате чего счетчик будет в состоянии 10100. По следующим тактовым импульсам (по аналогии с вышеописанным) происходит заполнение второго и первого разрядов счетчика, в результате чего получим состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в нуль триггеров 2.1-2.3 и записывается единица в триггер 2.4-11000. Затем процесс записи единицы в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на четвертом выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в нуль триггера 2.1 и дальнейшее его распространение через элементы И 5.2-5.5, в результате чего счетчик переходит в исходное (нулевое) состояние - 00000.

При переходе счетчика в запрещенное состояние (11111) происходит переполнение сумматора 7.1, и на его выходе будет сигнал ошибки.

Эти запрещенные состояния относятся к их первой группе.

Вторая группа запрещенных состояний содержит больше $n - k$ нулей до последней младшей 1. Работа счётчика в этом случае рассмотрена ниже.

Если в результате однократных или многократных ошибок счетчик переходит в одно из запрещенных состояний, в кодовой комбинации которого содержится только одна единица, перед которой стоит число нулей больше $n - k = 1$ (см. табл.1), то сигнал с первого выхода сумматора 7.1 поступает на первый вход элемента И 10.3 и открывает его. Так как в запрещенной комбинации счетчика единица может находиться в первом, втором или третьем разрядах, то сигнал с единичного выхода триггера 2.1, 2.2 или 2.3 поступает соответственно на первый, второй или третий входы элемента ИЛИ 9.2 и с его выхода проходит через элемент И 10.3 на выходную шину 11.3.

Если счетчик переходит в одно из запрещенных состояний с двумя единицами (см. табл.1), младшая из которых находится в одном из первых двух разрядов счетчика (значит перед ней стоит число нулей больше $n - k = 1$), то сигналы с единичных выходов триггеров 2.1 и 2.2 или с одного из них, находящихся в единичном состоянии, поступают соответственно на входы 1, 2 или на один из них элемента ИЛИ 9.1. Сигнал с его выхода и единичный сигнал со второго выхода сумматора 7.1 первого разряда поступают на И 10.2, в результате чего на выходной шине 11.2 появляется единичный сигнал.

При переходе счетчика в одно из запрещенных состояний с тремя единицами, одна из которых находится в первом разряде счетчика, с единичного выхода триггера 2.1 поступает на второй вход элемента И 10.1, который открыт единичным сигналом с третьего выхода сумматора 7.1, и на выходную шину 11.1.

Запрещенные состояния биномиального счетчика с $n = 6$, $k = 4$, обнаруживаемые дополнительной схемой, состоящей из элементов ИЛИ 9.1, 9.2 и элементов И 10.1, 10.2, 10.3, приведены в табл. 1.

2.3 Биноминальный счетчик дешифрацией состояний

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А. А. Борисенко, Г. В. Куно, В. В. Матейченко и В. А. Алексеев

Заявитель - Сумский филиал Харьковского политехнического
института

А.с. СССР 1274153.

Заявлено 17.06.85. Опубликовано 30.11.86. Бюл. № 44.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации с дешифрацией состояний, и является усовершенствованием известного устройства по основному авт. св. № 1077054.

Указанный счетчик обладает повышенной помехоустойчивостью, но не обладает возможностью дешифрации своих состояний.

Целью изобретения является расширение функциональных возможностей счетчика путем экономичной дешифрации его состояний.

Поставленная цель достигается за счет введения новых конструктивных признаков, обеспечивающих дешифрацию состояний счетчика.

На рис. 1 в качестве примера приведен пятиразрядный счетчик импульсов с контрольным числом k , равным четырем, обладающий возможностью дешифрации своего состояния.

Для дешифрации состояний счетчика необходимо знать количество единичных разрядов в кодовых комбинациях и их расположение. Информация о количестве единиц содержится на выходах сумматора 7.1 первого разряда, а об их расположении - на прямых выходах триггеров счетчика.

В табл. 1 в качестве примера приведены кодовые комбинации счетчика для $n = 5$, $k = 4$ и соответствующие им номера выходов дешифратора, а в табл. 2 - эти же комбинации, сгруппированные по числу единиц.

Таблица 1 - Биномиальные числа с $n = 5, k = 4$

| Разряд | | | | | Номер числа | Разряд | | | | | Номер числа |
|--------|---|---|---|---|----------------|--------|---|---|---|---|----------------|
| 5 | 4 | 3 | 2 | 1 | | 5 | 4 | 3 | 2 | 1 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 8 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 9 |
| 0 | 1 | 1 | 0 | 0 | 2 | 1 | 1 | 0 | 1 | 0 | 10 |
| 0 | 1 | 1 | 1 | 0 | 3 | 1 | 1 | 0 | 1 | 1 | 11 |
| 0 | 1 | 1 | 1 | 1 | 4 | 1 | 1 | 1 | 0 | 0 | 12 |
| 1 | 0 | 0 | 0 | 0 | 5 | 1 | 1 | 1 | 0 | 1 | 13 |
| 1 | 0 | 1 | 0 | 0 | 6 | 1 | 1 | 1 | 1 | 0 | 14 |
| 1 | 0 | 1 | 1 | 0 | 7 | | | | | | |

Кодовые комбинации разбиваются на группы, содержащие равное количество единиц. Так, в группу с одной единицей войдут комбинации 01000, 10000, в группу с двумя единицами - 01100, 10100, 10100 и т.д. Нулевое состояние счетчика снимается с нулевого выхода сумматора 7.1 первого разряда и подается на выход.

Дешифрация состояний счетчика происходит следующим образом. В исходном состоянии в счетчике находится комбинация 00000 и на нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который поступает на выход устройства и, таким образом, дешифрируется нулевое состояние счетчика. При нахождении счетчика в состоянии 01000 единичный сигнал с первого выхода сумматора 7.1 поступает на первый вход элемента И 9.1, а единичный сигнал с прямого выхода триггера 2.4 поступает на другой вход этого же элемента. В результате появляется единичный сигнал на выходе 1 элемента И 9.1, который определяет первое состояние счетчика. Дешифрация состояния 10000 происходит аналогично. Сигнал при этом снимается с выхода 5 элемента И 9.2.

При нахождении счетчика в состоянии 01100 единичный сигнал с второго выхода сумматора 7.1 поступает на первый вход элемента И 10.1, на остальные два входа которого поступают единичные сигналы с прямых выходов триггеров 2.3-2.4. В результате появляется единичный сигнал на выходе 2 элемента И 10.1, который определяет второе состояние счетчика.

Аналогичным образом будут определены и остальные состояния счетчика.

Таблица 2 - Биномиальные числа с $n = 5, k = 4$, сгруппированные по числу единиц

| Разряд | | | | | Номер вых. дешифратора | Разряд | | | | | Номер вых. дешифратора |
|--------|---|---|---|---|------------------------|--------|---|---|---|---|------------------------|
| 5 | 4 | 3 | 2 | 1 | | 5 | 4 | 3 | 2 | 1 | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 3 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 7 |
| 1 | 0 | 0 | 0 | 0 | 5 | 1 | 1 | 0 | 1 | 0 | 10 |
| 0 | 1 | 1 | 0 | 0 | 2 | 1 | 1 | 1 | 0 | 0 | 12 |
| 1 | 0 | 1 | 0 | 0 | 6 | 0 | 1 | 1 | 1 | 1 | 4 |
| 1 | 1 | 0 | 0 | 0 | 9 | 1 | 0 | 1 | 1 | 1 | 8 |
| | | | | | | 1 | 1 | 0 | 1 | 1 | 11 |
| | | | | | | 1 | 1 | 1 | 0 | 1 | 13 |
| | | | | | | 1 | 1 | 1 | 1 | 0 | 14 |

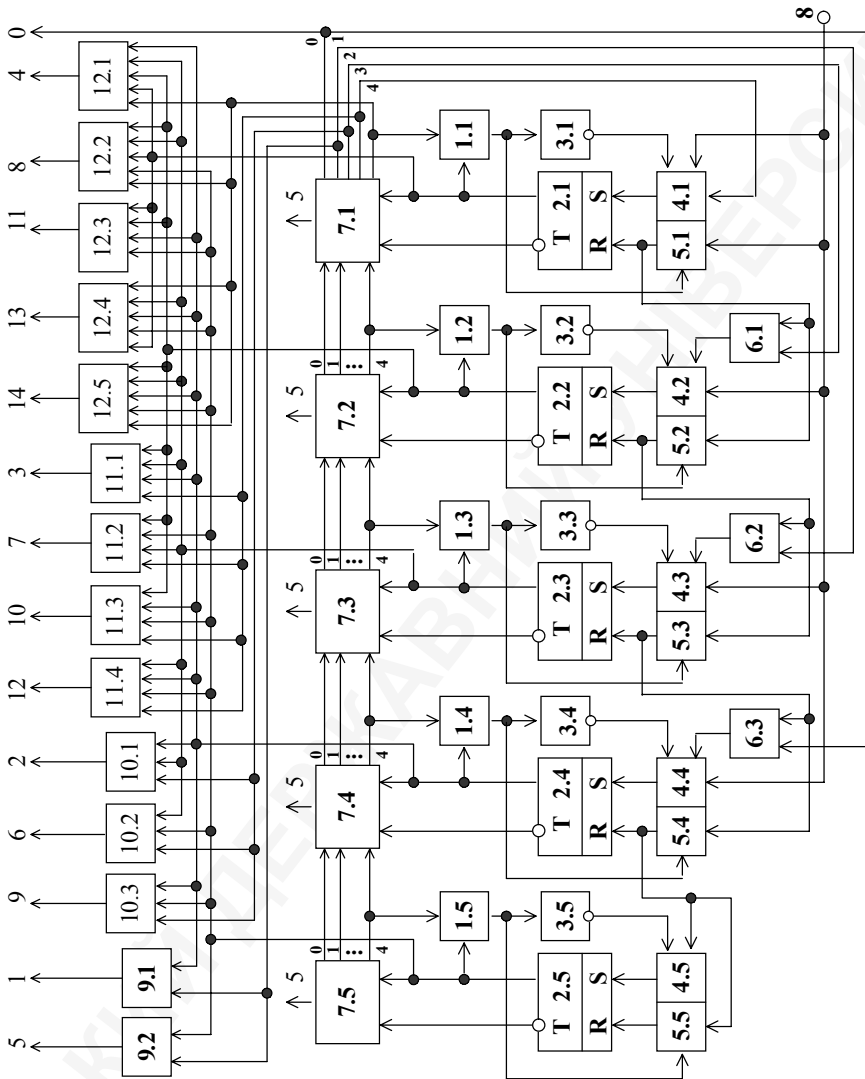


Рисунок 1 – Биномиальный счетчик с дешифрацией состояний

2.4 Биномиальный счетчик с помехоустойчивой дешифрацией состояний

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

*А.А. Борисенко, Г.В. Куно, В. А. Соловей, А.И. Новгородцев
и Г.В. Ольшанский*

Заявитель - Сумский филиал Харьковского политехнического
института

А.с. СССР 1370781.

Заявлено 15.08.86. Опубликовано 30.01.88. Бюл. № 4.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации с дешифрацией состояний.

Целью изобретения является возможность обнаружения ошибок при дешифрации состояний.

На рис. 1 приведен пятиразрядный счетчик импульсов с контрольным числом k , равным четырем. Локализация ошибок дешифрации происходит следующим образом. Если, например, счетчик находится в состоянии 01000, что соответствует сигналу "1" на выходе сумматора 7.1, то на выходе элемента И 9.1 появляется единичный сигнал, который через элемент ИЛИ 13.4 поступает на второй вход элемента неравнозначности 14.4. На первый вход этого элемента поступает единичный сигнал с первого выхода сумматора 7.1. Так как сигналы на входах этого элемента совпадают, то, следовательно, на его выходе присутствует нулевой сигнал. На выходах элементов неравнозначности 14.1-14.3 также имеется нулевой сигнал, так как на обоих входах этих элементов существуют нулевые сигналы. Если в результате сбоя или отказа на выходе элемента И 9.1 пропадет единичный сигнал, то на втором входе элемента неравнозначности 14.4 появляется нулевой сигнал. В результате несовпадения сигналов на первом и втором входах элемента неравнозначности 14.4 на его выходе возникнет единичный сигнал ошибки.

Если в результате сбоя или отказа произойдет возбуждение

выхода дешифратора из другой группы, например, выхода элемента И 10.1, то единичный сигнал с этого элемента поступит на второй вход элемента неравнозначности 14.3 через элемент ИЛИ 13.3. На первом входе элемента неравнозначности 14.4 в это время находится нуль, и на его выходе соответственно возникнет единичный сигнал ошибки, который одновременно указывает на группу выходных шин дешифратора, в которой произошла ошибка.

Аналогичным образом локализуются ошибки дешифрации и в других кодовых комбинациях. Совместный отказ или сбой выходов сумматора и дешифратора, который не будет обнаружен схемой неравнозначности, имеет малую вероятность.

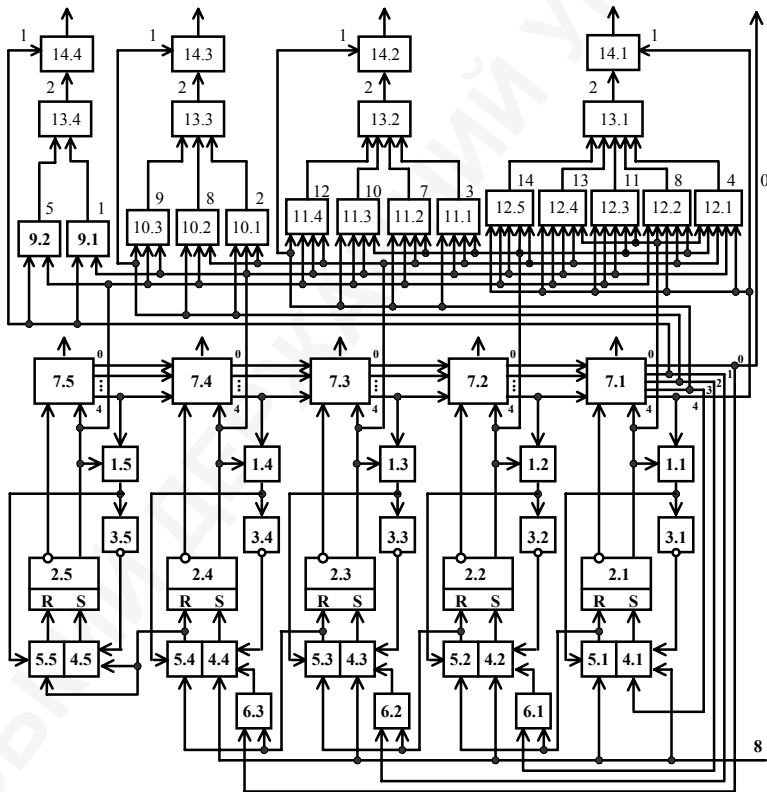


Рисунок 1 - Пятиразрядный счетчик импульсов с контрольным числом k , равным четырем

2.5 Биноминальный вычитающий помехоустойчивый счетчик

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко и Г.В. Куно

Заявитель - Сумский филиал Харьковского политехнического института

А.с. СССР № 1261112.

Заявлено 21.01.85. Опубликовано 30.09.86. Бюл. № 36.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Цель изобретения - расширение функциональных возможностей путем *вычитания* импульсов с произвольного состояния без дополнительных преобразований.

На рис. 1 приведен пятиразрядный счетчик импульсов с контролируемым числом k , равным четырем.

Особенностью примененного алгоритма вычитания является то, что для вычитания из биномиальных кодовых комбинаций с установленным k их не надо преобразовывать в комбинацию с другим $k = k'$. Реализация алгоритма вычитания происходит за счет выделения младшего единичного разряда в биномиальной кодовой комбинации, сброса его в нуль и записи в рядом стоящих младших разрядах единиц до общего их количества в счетчике, равного k (например, при $k = 4$, $n = 5$ после такта вычитания кодовая комбинация 11000 переходит в 10111). Если количество младших разрядов счетчика, стоящих перед сбрасыванием, меньше, чем количество записываемых единиц, то запись единиц не происходит (например, после такта вычитания кодовая комбинация 10100 переходит в 10000). Если счетчик находится в нулевом состоянии, то происходит запись единиц в k старших разрядах (т. е. для приведенного примера кодовая комбинация 00000 по такту вычитания переходит в кодовую комбинацию 11110). В табл. 1 приведены биномиальные кодовые комбинации для $k = 4$ и $n = 5$.

Задача поиска младшего единичного разряда осуществляется

двумя элементами И каждого разряда, на которые заведены прямые и инверсные выходы триггера данного разряда. Сигнал опроса последовательно, начиная с младшего разряда счетчика, доходит до единичного разряда и сбрасывает его в нуль. Одновременно сигнал сброса поступает на все элементы И введенных групп элементов И данного разряда. Сумматор сбрасываемого разряда определяет количество единичных разрядов в счетчике на момент сброса и в зависимости от результата разрешает сигналу сброса через соответствующий элемент И данного разряда установить соответствующее количество предыдущих разрядов счетчика в единичное состояние. Количество элементов И в каждой введенной группе определено таким образом, чтобы сигнал с младшего элемента И доводил количество единичных разрядов в счетчике до величины k .

Счетчик работает следующим образом.

В исходном состоянии на шинах 11.1-11.5 занесения кода находятся нулевые сигналы. В четырех старших разрядах счетчика триггеры находятся в единичном состоянии, т. е. в счетчике записана кодовая комбинация 11110. Тактовый сигнал с шины 10 поступает на вторые входы элементов 3.1 И и 4.1 И. Так как триггер 2.1 находится в нулевом состоянии, нулевой сигнал с его прямого выхода, поступая на первый вход элемента 3.1 И, закрывает его, а единичный сигнал с инверсного выхода триггера 2.1 поступает на первый вход элемента 4.1 И и разрешает тактовому сигналу прохождение на вторые входы элементов 3.2 И и 4.2 И. Так как триггер 2.2 находится в единичном состоянии, то элемент 4.2 И закрыт нулевым сигналом с инверсного выхода триггера 2.2, а элемент 3.2 И открыт по первому входу единичным сигналом с прямого выхода триггера 2.2. В результате тактовый сигнал проходит через элемент 3.2 И на вход установки в нуль триггера 2.2 и сбрасывает его в нулевое состояние. Одновременно сигнал сброса поступает на первый вход элемента 9.1 И, на второй вход которого поступает единичный сигнал с четвертого выхода сумматора 1.2, так как в счетчике находится четыре единичных разряда. Поэтому сигнал с выхода элемента 9.1 И поступает на вход элемента 5.1 ИЛИ и с его выхода - на вход установки в единицу триггера 2.1, и устанавливает его в единичное состояние, т. е. счетчик переходит в состояние 11101. В результате элемент 4.1 И закрыт нулевым сигналом с инверсного выхода триггера 2.1, а элемент 3.1 И открыт единичным сигналом с прямого выхода триггера 2.1, и при

поступлении очередного тактового сигнала с шины 10 на второй вход элемента 3.1 И триггер 2.1 переходит в нулевое состояние, и соответственно в счетчике записывается 11100. Следующий тактовый сигнал с шины 10 проходит через элементы 4.1 И и 4.2 И и поступает на второй вход элемента 3.3 И. Ввиду того, что триггер 2.3 находится в единичном состоянии, то единичный сигнал с его прямого выхода разрешает тактовому сигналу пройти через элемент 3.3 И и сбросить триггер 2.3 в нулевое состояние. Одновременно сигнал сброса поступает на первые входы элементов 9.2 И и 8.1 И, так как в счетчике находится три единичных разряда, то сигнал с третьего выхода сумматора 1.3 разрешает сигналу сброса пройти через элемент 8.1 И и через элементы 5.2 ИЛИ и 5.1 ИЛИ установить триггеры 2.2 и 2.1 в единичное состояние. Счетчик переходит в состояние 11011. Аналогично получают состояние 11010. При поступлении очередного тактового сигнала с шины 10 через элемент 4.1 И и на второй вход элемента 3.2 И происходит сброс триггера 2.2 в нулевое состояние. Однако установки триггера 2.1 в единичное состояние не происходит, так как в счетчике находится менее четырех единичных разрядов и на втором входе элемента 9.1 И присутствует нулевой сигнал, т. е. счетчик переходит в состояние 11000. С приходом следующего тактового сигнала с шины 10 через элементы 4.1 И, 4.2 И, 4.3 И и 3.4 И триггер 2.4 переходит в нулевое состояние, и одновременно через элемент 7.1 И сигнал сброса устанавливает триггеры 2.3 - 2.1 в единичное состояние через элементы 5.3 - 5.1 ИЛИ соответственно. Счетчик переходит в состояние 10111. Аналогично получают состояния счетчика 10110, 10100 и 10000. С приходом очередного тактового сигнала с шины 10 через элементы 4.1 - 4.4 И и 3.5 И триггер 2.5 переходит в нулевое состояние, и одновременно через элемент 6.1 И сигнал сброса устанавливает триггеры 2.4 - 2.1 в единичное состояние через элементы 5.4 - 5.1 ИЛИ соответственно. Счетчик переходит в состояние 01111. Аналогично получают состояния счетчика 01110, 01100, 01000 и 00000. При нахождении счетчика в состоянии 00000 сигнал с шины 10 проходит через элементы 4.1 - 4.5 И и устанавливает через элементы 5.5 - 5.2 ИЛИ в единичное состояние триггеры 2.5 - 2.2, т.е. счетчик переходит в исходное состояние 11110.

В случае необходимости любая кодовая комбинация может быть занесена в счетчик с шин 11.1 - 11.5 через элементы 5.1 - 5.5 ИЛИ соответственно. Вычитание из занесенной комбинации происходит

аналогично указанному. Одновременно в счетчике контролируется количество единичных разрядов, и если оно превышает величину k в результате сбоя, то вырабатывается сигнал ошибки на соответствующих выходах сумматоров 5.

Таким образом, предлагаемый счетчик позволяет производить операцию вычитания, начиная с любой кодовой комбинации, сохраняя при этом помехоустойчивость.

Таблица 1 - Биномиальные кодовые комбинации в убывающем порядке

| Пор. ном. | Состояние счетчика | Пор. ном. | Состояние счетчика | Пор. ном. | Состояние счетчика |
|-----------|--------------------|-----------|--------------------|-----------|--------------------|
| 1 | 11110 | 6 | 11000 | 11 | 01111 |
| 2 | 11101 | 7 | 10111 | 12 | 01110 |
| 3 | 11100 | 8 | 10110 | 12 | 01100 |
| 4 | 11011 | 9 | 10100 | 14 | 01000 |
| 5 | 11010 | 10 | 10000 | 15 | 00000 |

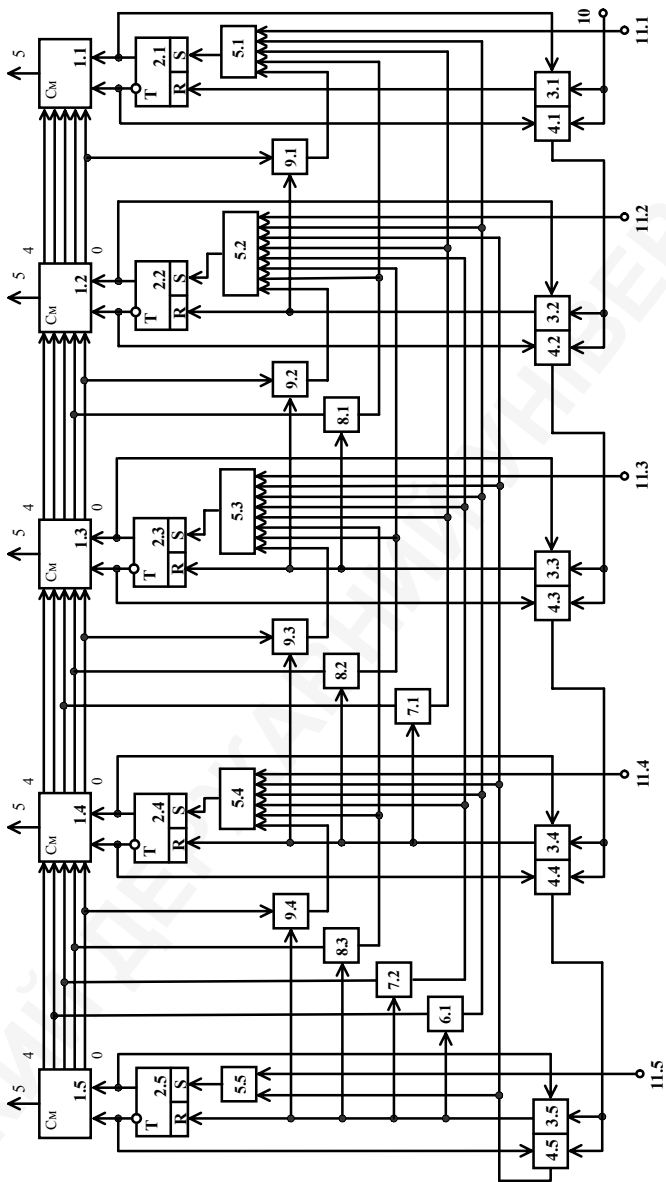


Рисунок 1 – Пятиразрядный вычитающий биномиальный счетчик с $k=4$

2.6 Вычитающий помехоустойчивый биномиальный счетчик с переключением каналов

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко, Г.В. Куно, С.И. Губарев и Ю.П. Билетченко

Заявитель - Сумский филиал Харьковского политехнического
института
А.с. СССР 1187263.

Заявлено 30.12.83. Опубликовано 23.10.85. Бюл. № 39.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Цель изобретения - расширение функциональных возможностей путем реализации операции вычитания.

На рис. 1 изображен пятиразрядный счетчик импульсов с контрольным числом $k = 4$, который может быть переключен на контрольное число $k = 2$ для выполнения операции *вычитания*.

В табл. 1 в качестве примера приведены состояния счетчика для его работы в режиме сложения с $k = 4$, а также получены состояния этого же счетчика при $k = 2$. Для получения состояний счетчика в режиме вычитания необходимо значения разрядов снимать с инверсных выходов счетчика, работающего в режиме сложения с $k = 2$. Затем в младшие разряды записывать нули, если в старших разрядах имеется $n - k + 1$ нулей или k единиц.

Счетчик импульсов работает следующим образом.

В исходном состоянии все триггеры счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии 00000, на шине 10 сложения присутствует сигнал, на шине 9 вычитания сигнал отсутствует. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элемент И 11.1 и элемент ИЛИ 6.3 на вход элемента И 4.4. Так как с четвертого выхода сумматора 7.4 (через элемент И 15.4), выхода элемента И 14.4 и единичного выхода триггера 2.4 поступают нулевые сигналы на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт

единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние, а счетчик - в 01000, соответственно на первом выходе сумматора первого разряда 7.1 появляется единичный сигнал, который через элемент И 11.2 и элемент ИЛИ 6.2 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по тактовому импульсу в соответствии с описанным переходит в состояние 01100.

Аналогично получаются состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и на входе элемента И 5.1 имеется единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента И 5.2, и также сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает нуль и через элемент НЕ 3.5 разрешает сигналу сброса установить его в единицу, т.е. получается состояние 10000. При этом на первом выходе сумматора 7.1 имеется единичный сигнал. Этот сигнал через элементы 11.2 И, 6.2 ИЛИ и 4.3 И устанавливает триггер 2.3 в единицу, в результате счетчик находится в состоянии 10100. По следующим тактовым импульсам, по аналогии с описанным, происходит заполнение второго и первого разрядов счетчика. В результате получаем следующие состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в нуль триггеров 2.1 - 2.3 и записывается единица в триггер 2.4 - 11000. Затем процесс записи единицы в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на 4-м выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в "0" триггера 2.1 и дальнейшее его распространение через элементы И 5.2-5.5. В результате счетчик переходит в исходное состояние 00000.

В исходном состоянии при работе счетчика в режиме вычитания все триггеры находятся в нуле - 00000, на шине 9 вычитания находится единичный сигнал, соответственно на выходных шинах 16.5 - 16.1 снимается кодовая комбинация 11110. Причем на шины 16.5 и 16.4 единичные сигналы поступают непосредственно с инверсных выходов соответствующих триггеров 2.5 и 2.4, а на шины 16.3 и 16.2 - с инверсных выходов соответствующих триггеров 2.3 и 2.2 через соответствующие элементы И 13.3 и И 13.2 (разрешение на

прохождение сигналов поступает с двух выходов сумматоров 7.4 - 7.3 на инверсные входы элементов И 13.3 и И 13.2). Так как счетчик находится в нулевом состоянии, то на нулевом выходе сумматора 7.2 находится единичный сигнал, который поступает на пятый инверсный вход элемента 13.1 и запрещает прохождение через него единичного сигнала с инверсного выхода триггера 2.1. В результате на шине 16.1 снимается нулевой сигнал. На нулевом выходе сумматора 7.1 также имеется единичный сигнал, который проходит через элементы 12.1 И и 6.1 ИЛИ на вход элемента И 4.2. Так как со второго выхода сумматора 7.2 (через элемент И 14.2), выхода элемента И 15.2 и единичного выхода триггера 2.2 поступают нулевые сигналы на элемент ИЛИ 1.2, то элемент И 5.2 закрыт нулевым сигналом, а элемент И 4.2 открыт единичным сигналом с элемента НЕ 3.2. Тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.2 в единичное состояние 00010, на выходных шинах 16.5 - 16.1 - 11101, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элементы 12.2 И и 6.4 ИЛИ дает разрешение на установку в единичное состояние триггера 2.1, т.е. счетчик по тактовому импульсу в соответствии с описанным переходит в состояние 00011, на выходных шинах 16.5-16.1 - 11100.

Так как при состоянии счетчика 00011 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента И 5.1 имеется единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента 5.2 И и также сбрасывает его в нуль. Так как триггер 2.3 находится в нуле, то элемент ИЛИ 1.3 выдает нуль и через элемент НЕ 3.3 разрешает сигналу сброса установить его в единицу, т.е. получено состояние 00100, на шинах 16.5 - 16.1 - 11011. При этом на первом выводе сумматора 7.1 имеется единичный сигнал. Этот сигнал через элементы 12.2 И, 6.4 ИЛИ и 4.1 И устанавливает триггер 2.1 в единицу, в результате счетчик находится в состоянии 00101, на шинах 16.5-16.1 - 11010. По следующему тактовому импульсу происходит сброс триггера 2.1 в нуль, и этим же сигналом производится установка триггера 2.2 в единицу, в результате получаем состояние счетчика 00110, на шинах 16.5 - 16.1 - 11000.

На втором выходе сумматора 7.1 появляется единичный сигнал, который через элементы 14.1 И и 1.1 ИЛИ разрешает тактовому сигналу пройти через элементы И 15.1, И 15.2 и И 15.3, сбрасывает триггеры 2.2 и 2.3 в нуль и установит триггер 2.4 в единицу. Получаем

состояние счетчика 01000, на шинах 16.5 - 16.1 -10111. Затем процесс записи единицы в младший разряд и дальнейший перенос ее в старшие разряды повторяется: 01001, 01010, 01100, 10000, 10001, 10010, 10100, 11000, на шинах 16.5 - 16.1 соответственно 10110, 10100, 10000, 01111, 01110, 01100, 01000, 00000. В состоянии счетчика 11000 на втором выходе сумматора 7.1 появляется единица, которая разрешает тактовому импульсу прохождение через элементы И 5.1-5.5 на вход установки в "0" триггеров 2.4 и 2.5. В результате счетчик переходит в исходное состояние 00000, на шинах 16.5-16.1 - 11110.

Таблица 1 – Состояния счетчика при сложении и вычитании

| Состояние счетчика | | |
|--------------------|---------|----------------------|
| Сложение | | Вычитание $k = 4$ |
| $k = 4$ | $k = 2$ | |
| 00000 | 00000 | 11110 |
| 01000 | 00010 | 11101 |
| 01100 | 00011 | 11100 |
| 01110 | 00100 | 11011 |
| 01111 | 00101 | 11010 |
| 10000 | 00110 | 11000 |
| 10100 | 01000 | 10111 |
| 10110 | 01001 | 10110 |
| 10111 | 01010 | 10100 |
| 11000 | 01100 | 10000 |
| 11010 | 10000 | 01111 |
| 11011 | 10001 | 01110 |
| 11100 | 10010 | 01100 |
| 11101 | 10100 | 01000 |
| 11110 | 11000 | 00000 |

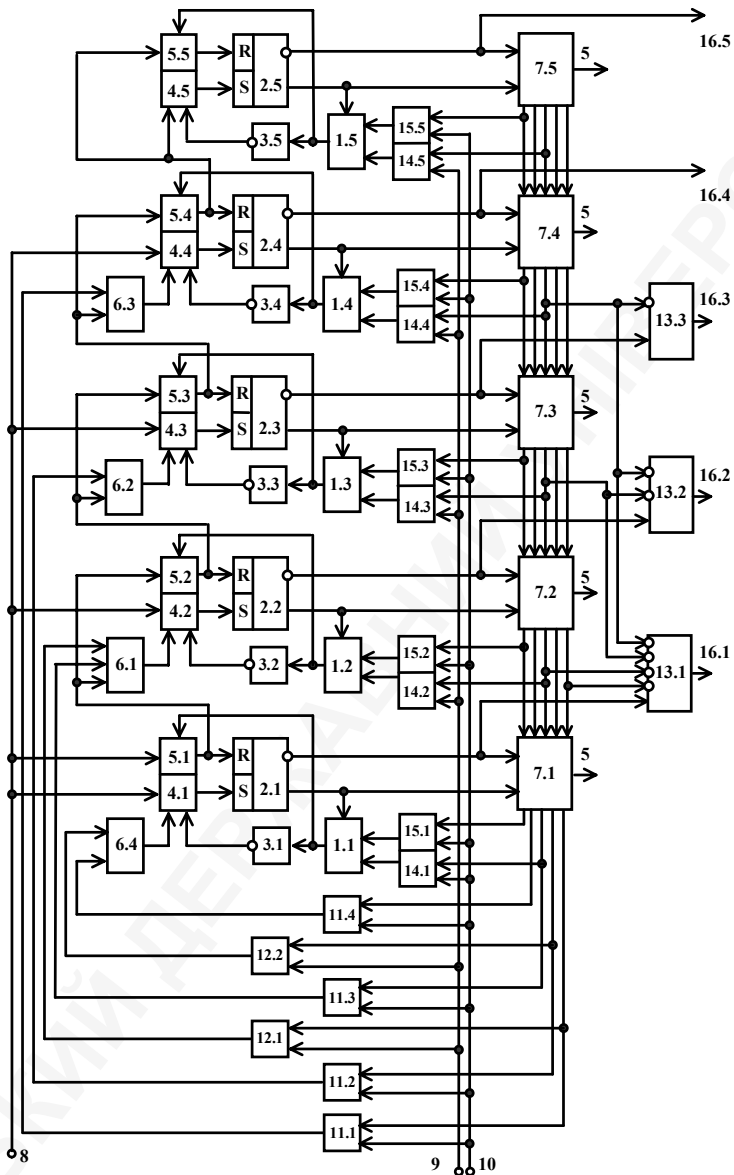


Рисунок 1 – Пятиразрядный вычитающий биномиальный счетчик с $k = 4$

2.7 Биномиальный быстродействующий суммирующий счетчик с коррекцией ошибок

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А.Борисенко, В.Г.Воронов, Г.С. Володченко и Г.В. Куно

Заявитель - Сумский филиал Харьковского политехнического института

А.с. СССР 1298906.

Заявлено 14.11.85. Опубликовано 23.03.87. Бюл. №11.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в счетчиках, распределителях импульсов с повышенным быстродействием и возможностью исправления ошибок.

Цель изобретения - повышение быстродействия и обеспечение коррекции ошибок.

Работу предлагаемого устройства рассмотрим на конкретном примере с количеством разрядов счетчика $n = 5$ и контрольным числом $k = 3$. На рис. 1 приведена схема данного счетчика.

Кодовые комбинации состояний биномиального счетчика импульсов и каскадов 6.1 - 6.3 приведены в табл. 1.

Таблица 1 – Биномиальные кодовые комбинации в каскадном виде

| Тактовый импульс | Кодовая комбинация счетчика импульсов | Кодовая комбинация в каскадах | Каскад |
|------------------|---------------------------------------|-------------------------------|-------------------|
| 0 | 00000 | 000 000 000 | 6.1 6.2 6.3 |
| 1 | 00100 | 100 000 000 | 6.1 6.2 6.3 |
| 2 | 00110 | 110 000 000 | 6.1 6.2 6.3 |
| 3 | 00111 | 111 000 000 | 6.1 6.2 6.3 |
| 4 | 01000 | 000 100 000 | 6.1 6.2 6.3 |

Продолжение таблицы 1

| | | | |
|----|-------|-----|-----|
| 5 | 01010 | 010 | 6.1 |
| | | 100 | 6.2 |
| | | 000 | 6.3 |
| 6 | 01011 | 011 | 6.1 |
| | | 100 | 6.2 |
| | | 000 | 6.3 |
| 7 | 01100 | 000 | 6.1 |
| | | 110 | 6.2 |
| | | 000 | 6.3 |
| 8 | 01101 | 001 | 6.1 |
| | | 110 | 6.2 |
| | | 000 | 6.3 |
| 9 | 01110 | 000 | 6.1 |
| | | 111 | 6.2 |
| | | 000 | 6.3 |
| 10 | 10000 | 000 | 6.1 |
| | | 000 | 6.2 |
| | | 100 | 6.3 |
| 11 | 10010 | 010 | 6.1 |
| | | 000 | 6.2 |
| | | 100 | 6.3 |
| 12 | 10011 | 011 | 6.1 |
| | | 000 | 6.2 |
| | | 100 | 6.3 |
| 13 | 10100 | 000 | 6.1 |
| | | 010 | 6.2 |
| | | 100 | 6.3 |
| 14 | 10101 | 001 | 6.1 |
| | | 010 | 6.2 |
| | | 100 | 6.3 |
| 15 | 10110 | 000 | 6.1 |
| | | 011 | 6.2 |
| | | 100 | 6.3 |
| 16 | 11000 | 000 | 6.1 |
| | | 000 | 6.2 |
| | | 110 | 6.3 |
| 17 | 11001 | 001 | 6.1 |
| | | 000 | 6.2 |
| | | 110 | 6.3 |
| 18 | 11010 | 000 | 6.1 |
| | | 001 | 6.2 |
| | | 110 | 6.3 |
| 19 | 11100 | 000 | 6.1 |
| | | 000 | 6.2 |
| | | 111 | 6.3 |

Как видно из начала табл. 1, заполнение разрядов кодовых комбинаций первого каскада 6.1 происходит последовательно, начиная со старшего разряда. Как только все его разряды будут заполнены единицами, происходит обнуление каскада 6.1 и сигнал переноса дает разрешение на изменение состояния старшего разряда второго каскада 6.2. Затем повторяется процесс заполнения первого каскада 6.1 единицами, начиная с предпоследнего разряда, так как единичные разряды каскадов блокируют занесение единиц в соответствующие разряды всех предыдущих каскадов. Заполнение всех последующих каскадов будет происходить по сигналу переноса с предыдущего каскада.

Формирование кодовых комбинаций счетчика импульсов будет происходить на основании кодовых комбинаций каскадов следующим образом. Первый и пятый разряды будут соответствовать первому разряду первого каскада 6.1 и старшему разряду третьего каскада 6.3 соответственно. Второй разряд будет сформирован из второго разряда первого каскада 6.1 и из первого разряда второго каскада 6.2, объединенных логической операцией ИЛИ. Третий разряд будет аналогично сформирован из третьего разряда первого каскада 6.1, второго разряда второго каскада 6.2 и первого разряда третьего каскада 6.3, а четвертый разряд будет сформирован из третьего разряда второго каскада 6.2 и второго разряда третьего каскада 6.3.

Если на выходе счетчика импульсов произойдет искажение кодовой комбинации из-за искажения кодовой комбинации в одном из каскадов в результате перехода одного или нескольких старших разрядов, стоящих перед любым младшим единичным разрядом, в противоположное состояние, то после прохождения одного или нескольких тактовых импульсов на выходе счетчика импульсов будет находиться кодовая комбинация, соответствующая количеству тактовых импульсов, пришедших с момента начала отсчета, т.е. в данном случае не будет происходить изменение количества тактовых импульсов, необходимых для перебора кодовых комбинаций, требуемого на данном шаге счета.

Счетчик работает следующим образом.

В исходном состоянии во всех каскадах 6.1 - 6.3 находятся кодовые комбинации "000". Соответственно на выходных шинах 3.1 - 3.5 будет находиться кодовая комбинация "00000". С приходом первого тактового импульса на входную шину 2 произойдет установка триггера 7.3 каскада 6.1 в единичное состояние через элемент И 8.3 каскада 6.1, который открыт единичным сигналом с инверсного выхода эле-

мента ИЛИ 10.3 и с инверсного выхода элемента И 9 этого же каскада. В результате в каскаде 6.1 будет записана кодовая комбинация "100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.1 поступит на вход элемента ИЛИ 5.2, в результате на выходе этого элемента также появится единичный сигнал, а на выходных шинах 3.1-3.5 появится соответственно кодовая комбинация "00100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.1 поступит также на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода даст разрешение следующему тактовому сигналу с шины 2 пройти через элемент И 8.2 этого же каскада на вход установки в единицу триггера 7.2 этого же каскада. В результате в каскаде 6.1 будет занесена кодовая комбинация "110". Единичный сигнал с прямого выхода триггера 7.2 каскада 6.1 поступит на вход элемента ИЛИ 5.1 и с его выхода - на выходную шину 3.2. На выходных шинах 3.1-3.5 счетчика будет находиться кодовая комбинация "00110". Одновременно единичный сигнал с прямого выхода триггера 7.2 каскада 6.1 поступит на вход элемента ИЛИ 10.2 этого же каскада и с его прямого выхода даст разрешение пройти очередному тактовому сигналу с шины 2 через элемент И 8.1 этого же каскада и установить триггер 7.1 этого же каскада в единичное состояние. Единичный сигнал с прямого выхода триггера 7.1 каскада 6.1 поступит на выходную шину 3.1, и на выходе счетчика импульсов будет находиться кодовая комбинация "00111". С приходом следующего тактового сигнала с входной шины 2 на вход элемента И 9 произойдет сброс триггеров 7.1 - 7.3 каскада 6.1 в нулевое состояние единичным сигналом с выхода элемента И 9 этого же каскада, который будет открыт единичным сигналом с прямого выхода элемента ИЛИ 10.1 этого же каскада. Одновременно единичный сигнал с прямого выхода триггера 7.1 каскада 6.1 поступит на вход элемента И 8.3 каскада 6.2 и даст разрешение на запись единичного сигнала в триггер 7.3 каскада 6.2. В результате в каскаде 6.1 будет кодовая комбинация "000", а в каскаде 6.2 - "100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.2 поступит на вход элемента ИЛИ 5.3 и с его выхода - на выходную шину 3.4. На выходе счетчика импульсов будет кодовая комбинация "01000".

Одновременно единичный сигнал с прямого выхода триггера 7.3 каскада 6.2 поступит на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода - на вход элемента ИЛИ 10.3 каскада 6.1, и запретит прохождение входного сигнала через элемент И 8.3, инверсный выход элемента ИЛИ 10.3 и элемента И 8.3 этого же каскада, а еди-

ничный сигнал с прямого выхода этого элемента даст разрешение на прохождение входного сигнала через элемент И 8.2, на установку триггера 7.2 этого же каскада в единичное состояние. В результате прохождения тактового импульса в каскаде 6.1 будет находиться кодовая комбинация "010", а в каскаде 6.2 - "100". На выходе счетчика импульсов - "01010".

Аналогичным образом, описанным ранее при дополнении первого каскада в 1 произойдет заполнение каскада 6.1 до первого разряда включительно, т.е. в каскаде 6.1 будет записана кодовая комбинация "011", а на выходе счетчика импульсов - "01011". С приходом очередного тактового сигнала произойдет сброс каскада 6.1 - "000" и одновременно запись в триггер 7.2 каскада 6.2 единицы. И так далее. После заполнения каскада 6.2 единицами по очередному тактовому сигналу с входной шины 2 произойдет сброс каскада 6.2 - "000" и одновременно запись в старший разряд каскада 6.3 единицы. В этом случае в каскаде 6.3 будет записана кодовая комбинация "100", в каскаде 6.2 - "000", в каскаде 6.1 - "000", а на выходе счетчика импульсов - "10000". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.3 поступит на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода на вход элемента ИЛИ 10.3 каскада 6.2, и запретит очередному тактовому сигналу пройти на вход установки триггера 7.3 этого же каскада в единичное состояние, одновременно с прямого выхода элемента ИЛИ 10.3 этого же каскада единичный сигнал поступит на вход элемента ИЛИ 10.3 каскада 6.1 и запретит прохождение очередного тактового сигнала через элемент И 8.3 этого же каскада, и разрешит через элемент И 8.2 этого же каскада установку триггера 7.2 этого же каскада в единичное состояние. В результате в каскаде 6.1 запишется кодовая комбинация "010", а на выходе импульсов - "10010" и т.д.

После записи в каскаде 6.1 кодовой комбинации "000", в каскаде 6.2 - "000", а в каскаде 6.3 - "111" на выходе счетчика импульсов будет сформирована последняя кодовая комбинация - "11100". С приходом очередного тактового сигнала с шины 2 на элемент И 9 каскада 6.3 произойдет сброс этого каскада в состояние "000", т.е. все каскады перейдут в исходное состояние "000", а на выходе счетчика импульсов также будет исходная кодовая комбинация "00000".

В качестве примера рассмотрим восстановление информации после искажения кодовых комбинаций из таблицы 1. Если кодовая комбинация на выходе счетчика импульсов "00110" изменится после

сбоя на "00010" в результате перехода "1"→"0" в третьем разряде первого каскада 6.1, т.е. комбинация "110" изменится на "010", то после прихода очередного тактового импульса на вход счетчика импульсов в первом каскаде 6.1 третий и первый разряды перейдут в единичное состояние, т.е. появится кодовая комбинация "111". На выходе счетчика импульсов будет кодовая комбинация "00111", которая соответствует очередной кодовой комбинации счетчика импульсов.

Если кодовая комбинация на выходе счетчика импульсов "11000", соответствующая шестнадцатому тактовому импульсу, изменится на "01000" в результате перехода "1"→"0" в третьем разряде третьего каскада 6.3 (кодовая комбинация "110" изменится на "010"), то после прихода первого тактового импульса в первом каскаде 6.1 будет записана кодовая комбинация "101", по второму тактовому импульсу - "000", а во втором каскаде 6.2 - "101". С приходом третьего тактового импульса в каскадах 6.1 и 6.2 будут записаны кодовые комбинации "000 и 000", а в каскаде 6.3 - "111". В результате на выходе счетчика импульсов за три такта появится правильная кодовая комбинация "11100", соответствующая девятнадцатому тактовому импульсу, что и должно быть при безошибочной работе счетчика.

Аналогично будет происходить восстановление информации в случае ошибочных переходов "0"→"1" .

Если тринадцатая кодовая комбинация на выходе счетчика импульсом "10100" изменится на "11100" из-за искажения кодовой комбинации "010" во втором каскаде 6.2 на "110", то после первого тактового импульса в первом каскаде 6.1 будет записана кодовая комбинация "001", после второго - "000", а во втором каскаде 6.2 - "111". С приходом третьего тактового импульса в каскадах 6.1 - 6.3 будут записаны соответственно кодовые комбинации "000", "000", "110". На выходе счетчика импульсов будет сформирована правильная кодовая комбинация "11000", соответствующая шестнадцатому тактовому импульсу.

Наличие сумматора 1 на выходе счетчика импульсов позволит постоянно производить подсчет единичных разрядов в кодовых комбинациях счетчика импульсов, и в случае превышения количества единиц заданной величины k возникнет сигнал ошибки, что дополнительно повышает помехоустойчивость счетчика.

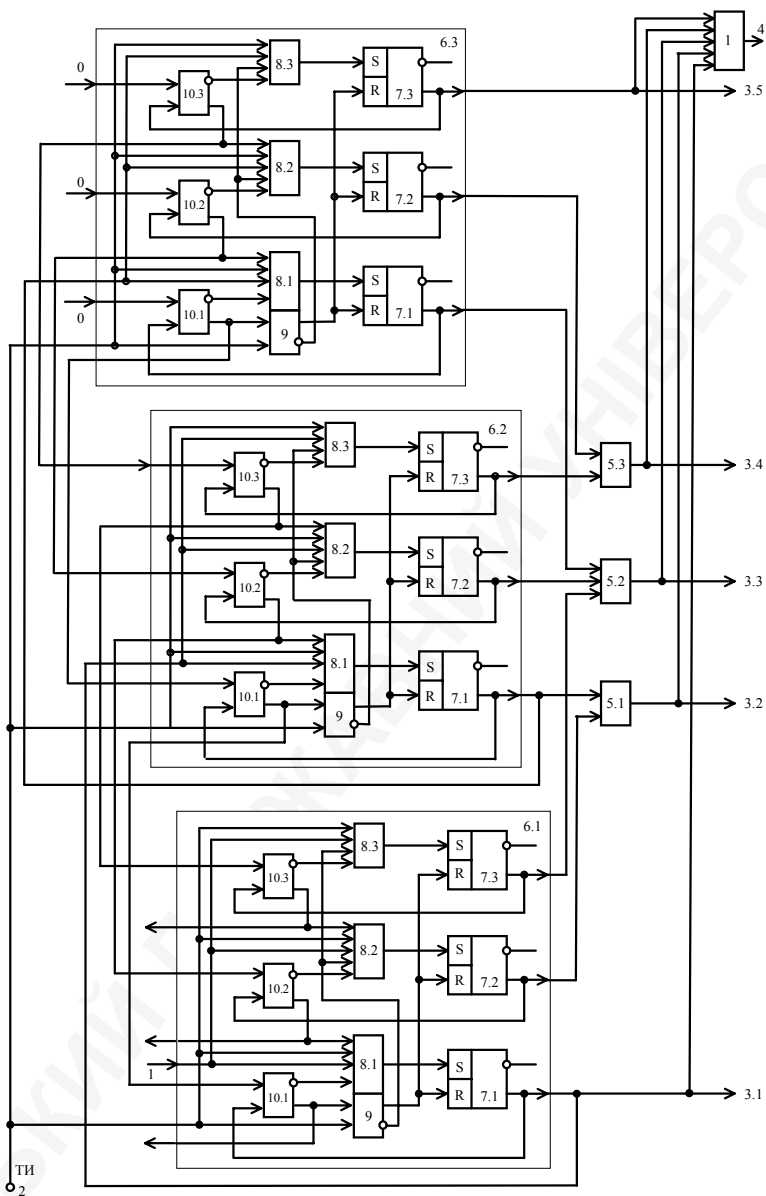


Рисунок 1 – Быстродействующий отказоустойчивый биномиальный счетчик

2.8 Биноминальный быстродействующий помехоустойчивый вычитающий счетчик

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко, Г.В. Куно

Заявитель - Сумский филиал Харьковского политехнического

института

А.с. СССР 1422404.

Заявлено 26.11.86. Опубликовано 07.09.88. Бюл. № 33.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве счетчиков, распределителей импульсов и устройств кодирования информации с повышенным быстродействием и возможностью обнаружения ошибок.

Целью изобретения является получение помехоустойчивого вычитания при сохранении высокого быстродействия за счет введения новых конструктивных признаков.

На рис. 1 приведен пятиразрядный счетчик с контрольным числом $k = 3$, обладающий повышенным быстродействием и способностью помехоустойчивого вычитания импульсов.

Введенные элементы и новые связи обеспечивают работу счетчика в режиме вычитания за счет последовательного поиска в одноименных разрядах всех каскадов, начиная с младшего разряда, единичного разряда, сброса его в нулевое состояние и одновременной установки в единичное состояние одноименного и младших разрядов предыдущего каскада.

Обеспечение помехоустойчивости в режиме вычитания достигается за счет наличия сумматора на выходе счетчика импульсов, который позволяет постоянно производить подсчет единичных разрядов в кодовых комбинациях счетчика? и в случае превышения количества единиц заданной величины k возникает сигнал ошибки.

Работу предлагаемого счетчика рассмотрим на конкретном примере с количеством разрядов счетчика $n = 5$ и с контрольным числом $k = 3$. Кодовые комбинации состояния счетчика импульсов и каскадов приведены в табл. 1.

Таблица 1

| Пор. ном. | Кодовая комбинация счетчика | Каскад | |
|-----------|-----------------------------|--------------------|-----------|
| | | Кодовая комбинация | Пор. ном. |
| 1 | 11100 | 000 | 1 |
| | | 000 | 2 |
| | | 111 | 3 |
| 2 | 11010 | 000 | 1 |
| | | 001 | 2 |
| | | 110 | 3 |
| 3 | 11001 | 001 | 1 |
| | | 000 | 2 |
| | | 110 | 3 |
| 4 | 11000 | 000 | 1 |
| | | 000 | 2 |
| | | 110 | 3 |
| 5 | 10110 | 000 | 1 |
| | | 011 | 2 |
| | | 100 | 3 |
| 6 | 10101 | 001 | 1 |
| | | 010 | 2 |
| | | 100 | 3 |
| 7 | 10100 | 000 | 1 |
| | | 010 | 2 |
| | | 100 | 3 |
| 8 | 10011 | 011 | 1 |
| | | 000 | 2 |
| | | 100 | 3 |
| 9 | 10010 | 010 | 1 |
| | | 000 | 2 |
| | | 100 | 3 |
| 10 | 10000 | 000 | 1 |
| | | 000 | 2 |
| | | 100 | 3 |
| 11 | 01110 | 000 | 1 |
| | | 111 | 2 |
| | | 000 | 3 |
| 12 | 01101 | 001 | 1 |
| | | 110 | 2 |
| | | 000 | 3 |
| 13 | 01100 | 000 | 1 |
| | | 110 | 2 |
| | | 000 | 3 |

Продолжение таблицы 1

| Пор. ном. | Кодовая комбинация счетчика | Каскад | |
|-----------|-----------------------------|--------------------|-----------|
| | | Кодовая комбинация | Пор. ном. |
| 14 | 01011 | 011 | 1 |
| | | 100 | 2 |
| | | 000 | 3 |
| 15 | 01010 | 010 | 1 |
| | | 100 | 2 |
| | | 000 | 3 |
| 16 | 01000 | 000 | 1 |
| | | 100 | 2 |
| | | 000 | 3 |
| 17 | 00111 | 111 | 1 |
| | | 000 | 2 |
| | | 000 | 3 |
| 18 | 00110 | 110 | 1 |
| | | 000 | 2 |
| | | 000 | 3 |
| 19 | 00100 | 100 | 1 |
| | | 000 | 2 |
| | | 000 | 3 |
| 20 | 00000 | 000 | 1 |
| | | 000 | 2 |
| | | 000 | 3 |

Как видно из таблицы, в одноименных разрядах всех каскадов может находиться не более одной единицы. При переходе от одной комбинации счетчика к другой происходит переход единицы, находящейся в младшем разряде любого каскада, в нуль и одновременно переход нуля в одноименном разряде предыдущего каскада в единицу, например, переход от комбинации № 1 к комбинации № 2. Если младшая единица находится не в первом разряде, то происходит одновременный переход в единицу всех младших разрядов предыдущего каскада.

Счетчик работает следующим образом.

В исходном состоянии в каскадах 6.1-6.2 находятся кодовые комбинации 000, а в каскаде 6.3-111. Соответственно на выходных шинах 3.1-3.5 находится кодовая комбинация 11100. С приходом первого тактового импульса на входную шину 2 происходит сброс триггера 7.1 каскада 6.3 через первый элемент И 8.1 этого же каскада. Одновременно этот сигнал через элемент ИЛИ 9.1 каскада 6.2

устанавливает триггер 7.1 этого же каскада в единичное состояние. В результате во втором каскаде будет комбинация 001, в третьем - 110, а на выходных шинах 3.1-3.5 - 11010. Следующий тактовый сигнал поступает через элемент И 8.1 каскада 6.2 на вход R-триггера 7.1 этого же каскада, сбрасывает его в нулевое состояние и одновременно через элемент ИЛИ 9.1 каскада 6.1 устанавливает триггер 7.1 этого же каскада в единичное состояние. В первом каскаде получают 001, во втором - 000, в третьем - 110, а на выходе счетчика - 11001. С приходом очередного тактового импульса происходит сброс триггера 7.1 каскада 6.1 в нулевое состояние. На выходе счетчика - 11000. Следующий тактовый импульс сбрасывает триггер 7.2 каскада 6.3 в нулевое состояние и одновременно через элементы ИЛИ 9.1-9.2 каскада 6.2 устанавливает в единичное состояние триггеры 7.1-7.2 этого же каскада. В каскаде 6.1 будет 000, в каскаде 6.2 - 011, в каскаде 6.3 - 100. На выходе счетчика - 10110 и так далее. При поступлении тактового импульса на счетчик, который находился в состоянии 10000, происходит сброс триггера 7.3 каскада 6.3 в нулевое состояние и одновременно установка через элементы ИЛИ 9.1-9.2 триггеров 7.1-7.3 каскада 6.2 в единичное состояние. В результате в каскаде 6.1 -000, в каскаде 6.2 - 111, в каскаде 6.3 - 000, а на выходе счетчика - 01110 и так далее. При обнулении счетчика, когда на его выходах комбинация 00000, а во всех каскадах также нулевые комбинации 000, с приходом тактового импульса с входной шины 2 на третий вход второго элемента И 10.3 каскада 6.3 происходит установка в единичное состояние триггеров 7.1-7.3 каскада 6.3 через элементы ИЛИ 9.1-9.2 данного каскада. В результате в каскаде 6.3 будет комбинация 111, в каскаде 6.2 - 000, в каскаде 6.1 - 000, а на выходных шинах счетчика 3.1-3.5 - 11100, т.е. счетчик переходит в исходное состояние.

В случае появления на выходных шинах 3.1-3.5 счетчика импульсов кодовой комбинации с количеством единичных разрядов большим, чем $k = 3$, в сумматоре 1 формируется сигнал ошибки, который поступает на шину 14 сигнала ошибки.

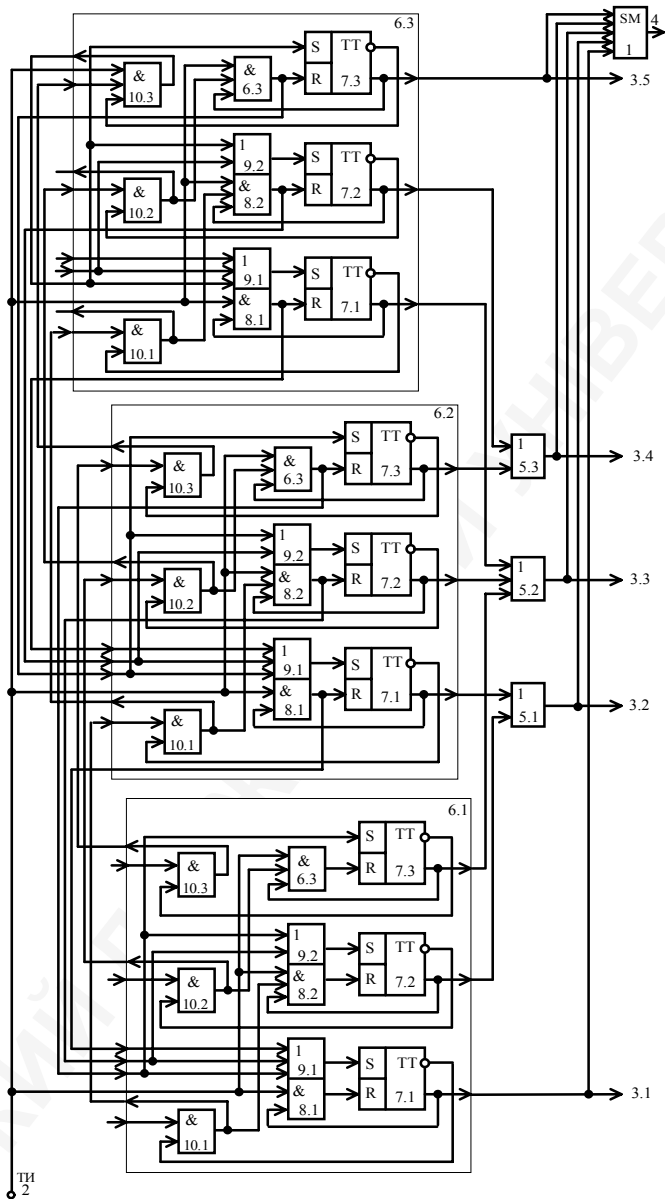


Рисунок 1 – Биномиальный быстродействующий помехоустойчивый вычитающий счетчик

2.9 Биномиальный реверсивный счетчик

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко, Г.В. Куно, В.В. Матейченко и В.Г. Куно

Заявитель - Сумский филиал Харьковского политехнического института

А.с. СССР 1325688.

Заявлено 02.01.86. Опубликовано 23.07.87. Бюл. № 27.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Целью изобретения является расширение функциональных возможностей путем реверса биномиального счета.

Поставленная цель достигается за счет введения новых конструктивных признаков, обеспечивающих переход из режима сложения в режим вычитания (и наоборот) с произвольного состояния счетчика.

Счетчик импульсов работает следующим образом.

В исходном состоянии все триггеры счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии 00000, на шине 10 сложения присутствует сигнал, на шине 9 вычитания сигнал отсутствует. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элементы И 11.1 и ИЛИ 6.4 на вход элемента И 4.4, так как с четвертого выхода сумматора 7.4 (через элемент И 13.4), выхода элемента И 14.4 и единичного выхода триггера 2.4 поступают нулевые сигналы на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. На шине 25 импульсного сигнала переключения режима работы сигнал отсутствует, поэтому элемент И 27 разрешения на перезапись закрыт, а элемент И 26 блокировки тактового сигнала открыт. Тактовый сигнал, поступающий на входную шину 8, проходит через элемент И 26 и устанавливает триггер 2.4 в единичное состояние через элементы И 4.4 и ИЛИ 17.3. В счетчике будет состояние 01000, соответственно на первом выходе сумматора первого разряда 7.1 появляется единичный сигнал, который через элементы И 11.2 и ИЛИ 6.3 дает разрешение на установку в единичное

состояние триггера 2.3, т.е. счетчик по тактовому импульсу в соответствии с вышеописанным переходит в состояние 01100.

Аналогично получены все состояния счетчика.

В исходном состоянии при работе счетчика в режиме вычитания все триггеры находятся в нуле - 00000, на шине 9 вычитания присутствует единичный сигнал, на шине 10 сложения сигнал отсутствует, соответственно на выходных шинах 16.5-16.1 снимается кодовая комбинация 11110. Причем на шины 16.5 и 16.4 единичные сигналы поступают непосредственно с инверсных выходов соответствующих триггеров 2.5, 2.4, на шины 16.3 и 16.2 единичные сигналы поступают с инверсных выходов соответствующих триггеров 2.3 и 2.2 через соответствующие элементы И 15.3 и И 15.2 (разрешение на прохождение сигналов поступает с вторых выходов сумматоров 7.4 и 7.3 на инверсные входы элементов И 15.3 и И 15.2). Так как счетчик находится в нулевом состоянии, то на нулевом выходе сумматора 7.2 находится единичный сигнал, который поступает на инверсный вход элемента И 15.1 и запрещает прохождение через него единичного сигнала с инверсного выхода триггера 2.1. В результате на шине 16.1 снимается нулевой сигнал. На нулевом выходе сумматора 7.1 также имеется единичный сигнал, который проходит через элементы И 12.1 и ИЛИ 6.2 на вход элемента И 4.2. Так как с второго выхода сумматора 7.2 (через элемент И 14.2), выхода элемента И 13.2 и единичного выхода триггера 2.2 поступают нулевые сигналы на элемент ИЛИ 1.2, то элемент И 5.2 закрыт нулевым сигналом, а элемент И 4.2 открыт единичным сигналом с элемента НЕ 3.2. Тактовый сигнал с входной шины 8 через элемент И 26 устанавливает триггер 2.2 в единичное состояние 00010, на выходных шинах 16.5-16.1 - 11101, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элементы И 12.2 и ИЛИ 6.1 дает разрешение на установку в единичное состояние триггера 2.1, т.е. счетчик по тактовому импульсу в соответствии с вышеописанным переходит в состояние 00011, на выходных шинах 16.5-16.1 - 11100.

Аналогично получены все состояния счетчика.

При переходе счетчика от одного режима работы к другому, на шину 25 импульсного сигнала переключения режима работы поступает единичный сигнал, который подается на инверсный вход элемента И 26 и блокирует прохождение очередного тактового сигнала с шины 8 через элемент И 26,

одновременно дает разрешение на прохождение этого тактового сигнала через элемент И 27 на входы элементов И 22.1 - 22.4 и И 23.1 - 23.4 и открывает их для установки соответствующих триггеров 2.2 - 2.5 в нулевое или в единичное состояние в зависимости от предыдущего состояния счетчика. Например, если счетчик находится в состоянии 01100 и приходит сигнал переключения режима работы, то на выходе элемента И 19.1 будет нулевой сигнал, так как на второй вход этого элемента приходит нулевой сигнал с прямого выхода триггера 2.1. На выходе элемента И 20.1 также будет нулевой сигнал, так как на прямой вход этого элемента поступает нулевой сигнал с прямого выхода триггера 2.2. В результате единичный сигнал с инверсного выхода элемента ИЛИ 21.1 через элементы И 23.1 и ИЛИ 18.1 подтверждает нулевое состояние триггера 2.2. Нулевые сигналы с прямых выходов триггеров 2.1 и 2.2 поступают на инверсные входы элемента И 20.2 и открывают его, в результате единичный сигнал с прямого выхода триггера 2.3 проходит через элементы И 20.2, ИЛИ 21.2, И 22.2 и ИЛИ 17.2 и подтверждает единичное состояние триггера 2.3. Единичный сигнал с прямого выхода триггера 2.3 поступает на инверсный вход элемента И 20.3 и закрывает его, в результате на выходе этого элемента будет нулевой сигнал. На выходе элемента И 19.3 также будет нулевой сигнал, так как на первый вход этого элемента поступает нулевой сигнал с инверсного выхода триггера 2.4, в результате единичный сигнал и с инверсного выхода элемента ИЛИ 21.3 поступает через элементы И 23.3 и ИЛИ 18.3 на вход установки в "0" триггера 2.4 и сбрасывает его в нулевое состояние. Единичный сигнал с прямого выхода триггера 2.4 проходит через элемент ИЛИ 24.3 на второй вход элемента И 19.4, на первый вход которого поступает единица с инверсного выхода триггера 2.5, в результате единичный сигнал с элемента И 19.4 через элементы ИЛИ 21.4, И 22.4, ИЛИ 17.4 поступает на триггер 2.5 и устанавливает его в единичное состояние. В счетчик записана кодовая комбинация 10100. До прихода следующего тактового сигнала на входную шину 8 единичный сигнал снимается с шины 25, закрывает элемент И

27 и открывает элемент И 26. С приходом очередного тактового сигнала происходит обычный счет, начиная с кодовой комбинации 10100.

Аналогичным образом при переходе от одного режима работы к другому происходят преобразование остальных кодовых комбинаций и запись их в счетчик.

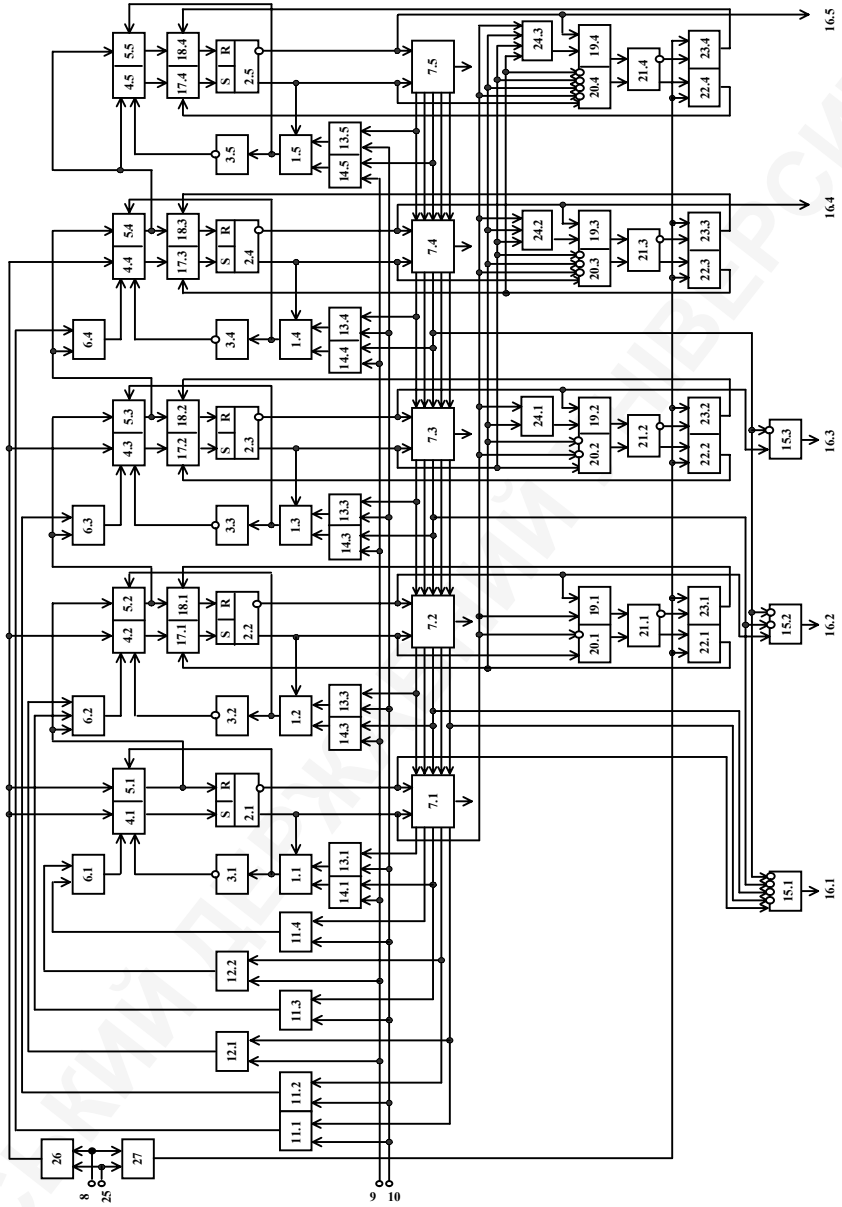


Рисунок 1 – Биномиальный реверсивный счетчик

ГЛАВА 3 СЧЕТЧИКИ РАВНОВЕСНЫХ КОДОВ

3.1 Устройство перебора кодовых комбинаций с постоянным весом на основе биномиального счетчика

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А. Борисенко и Г.В. Куно

Заявитель - Сумский филиал Харьковского политехнического
института

А.с. СССР 1150761.

Заявлено 05.10.83. Опубликовано 15.04.85. Бюл. № 14.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Цель изобретения - расширение функциональных возможностей счетчика путем формирования им кодов с постоянным весом.

На рисунке 1 приведен пятиразрядный счетчик импульсов с контрольным числом $k = 4$, работающий в коде с постоянным весом.

В таблице 1 приведены состояния счетчика в биномиальной системе счисления и соответствующие комбинации в коде с постоянным весом.

Комбинация кода с постоянным весом формируется, начиная с дополнительного разряда, стоящего в ее начале. В этот разряд записывается единица, если в соответствующей биномиальной кодовой комбинации содержится менее k единиц. Далее записываются единицы во все последующие разряды до тех пор, пока их общее число не станет равным k . Если в биномиальной кодовой комбинации уже имеется k единиц, то дополнительный разряд остается в нуле.

Кодовые комбинации с постоянным весом формируются следующим образом (см. табл. 1).

Когда счетчик находится в нулевом состоянии, на нулевом выходе сумматора первого разряда 7.1 находится единичный сигнал. Он поступает на нулевые входы элементов ИЛИ 9.1-9.4.

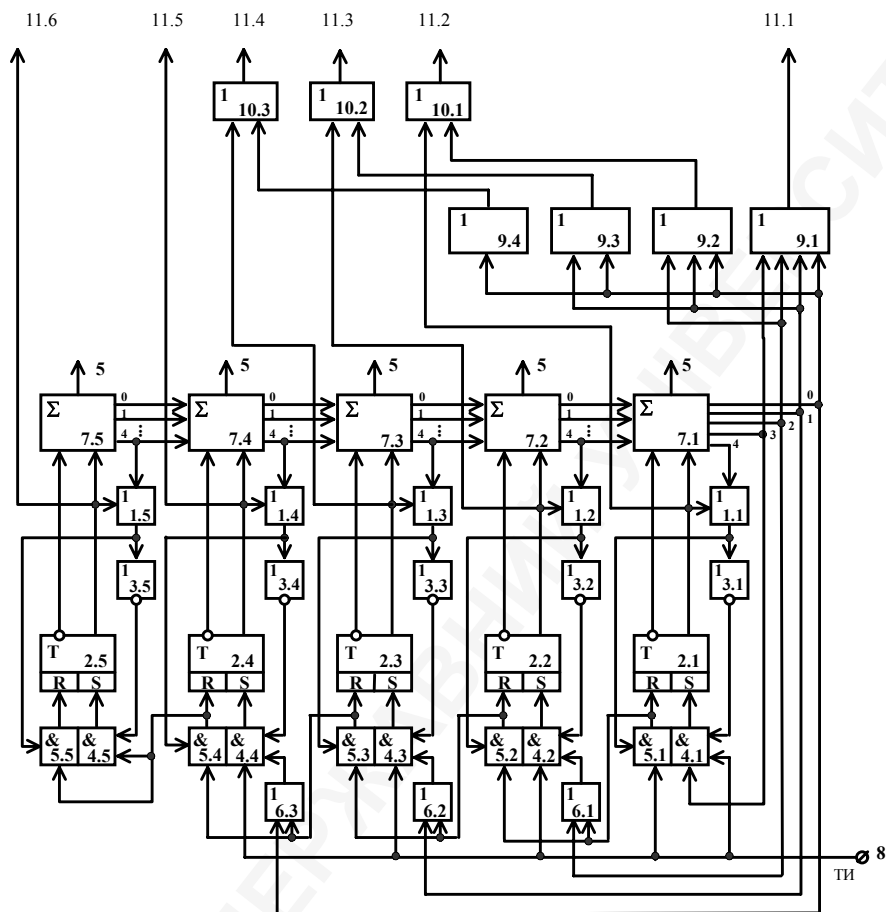


Рисунок 1 – Устройство перебора кодовых комбинаций с постоянным весом

В результате на выходах этих элементов также появляются единичные сигналы, которые с выходов элементов ИЛИ 9.2-9.4 поступают соответственно на выход элементов ИЛИ 10.1 – 10.3 через их вторые входы. В итоге на выходных шинах 11.1-11.6 получаем кодовую комбинацию с постоянным весом - 001111, поступающую соответственно с выхода элемента ИЛИ 9.1, выходов элементов ИЛИ 10.1-10.3 и прямых выходов триггеров 2.4 - 2.5 счетчика.

Таблица 1 – Соответствие биномиальных состояний равновесным

| Пор. ном. | Состояние счетчика | |
|-----------|----------------------------------|---------------------------|
| | в биномиальной системе счисления | в коде с постоянным весом |
| 0 | 00000 | 001111 |
| 1 | 01000 | 010111 |
| 2 | 01100 | 011011 |
| 3 | 01110 | 011101 |
| 4 | 01111 | 011110 |
| 5 | 10000 | 100111 |
| 6 | 10100 | 101011 |
| 7 | 10110 | 101101 |
| 8 | 10111 | 101110 |
| 9 | 11000 | 110011 |
| 10 | 11010 | 110101 |
| 11 | 11011 | 110110 |
| 12 | 11100 | 111001 |
| 13 | 11101 | 111010 |
| 14 | 11110 | 111100 |

Если счетчик находится в состоянии 01000, то на первом выходе сумматора 7.1 появляется единичный сигнал, который поступает на первые входы элементов ИЛИ 9.1-9.3 (элемент ИЛИ 9.4 первого входа не имеет). Вследствие этого на выходах этих элементов также появляется единичный сигнал, так как на нулевом входе элемента ИЛИ 9.4 отсутствует сигнал, то и на его выходе сигнал также отсутствует. В результате на выходных шинах 11.1 - 11.3, 11.5 получены единицы, а остальные разряды, 11.4, 11.6, находятся в нуле, т.е. получена комбинация кода 010111.

Если счетчик находится в состоянии 01100, то на втором выходе сумматора 7.1 появляется единичный сигнал, который поступает на вторые входы элементов ИЛИ 9.1 - 9.2. Вследствие этого на выходах этих элементов также появляется единичный сигнал, а на выходах элементов ИЛИ 9.3 - 9.4 сигнала не будет. В результате единичные сигналы будут на выходных шинах 11.1 - 11.2, 11.4 - 11.5, а на остальных будут нулевые сигналы, т.е. получают комбинацию кода 011011.

В состоянии 01110 счетчика на третьем выходе сумматора 7.1 появляется единичный сигнал, который поступает на третий вход элемента ИЛИ 9.1. В результате на выходных шинах 11.1 - 11.6 получают комбинацию кода 011101.

В состоянии счетчика 01111 на входы элементов 9.1 - 9.4 не поступают единичные сигналы, и кодовая комбинация 011110 на выходе сформирована единичными сигналами с триггера 2.4 и 2.1 - 2.3 счетчика.

Аналогичным образом будут сформированы и все остальные комбинации кода с постоянным весом: 100111, 101011, 101101, 101110, 110011, 110101, 110110, 111001, 111010, 111100.

Для уменьшения времени установления кодов с постоянным весом достаточно заменить последовательное соединение элементов ИЛИ, например, элементов ИЛИ 9.2, ИЛИ 10.1, одним элементом ИЛИ с большим числом входов.

Таким образом, в предлагаемом устройстве введенные новые конструктивные признаки обеспечивают более широкие функциональные возможности за счет формирования кодовых комбинаций с постоянным весом, сохраняя при этом высокую помехоустойчивость.

3.2 Устройство перебора элементов всех подмножеств множества-степени

Изобретение: СЧЕТЧИК ИМПУЛЬСОВ

А.А.Борисенко, Г.В.Куно, Е.Л.Онанченко, В.Н.Кузнецов и
и В.Е.Мельников

Заявитель - Сумский филиал Харьковского политехнического

института

А.с. СССР 1497744.

Заявлено 25.11.87. Опубликовано 30.07.89. Бюл. № 8.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах дискретной обработки информации, в частности, в качестве счетчиков, распределителей импульсов и устройств кодирования информации с возможностью обнаружения ошибок.

Цель изобретения - расширение функциональных возможностей - достигается за счет введения новых конструктивных признаков, обеспечивающих увеличение модуля счета вследствие последовательного перебора всех групп кодов, имеющих одинаковое количество единиц k , при сохранении возможности обнаружения ошибки.

На рис. 1 приведен в качестве примера пятиразрядный счетчик импульсов. Введенные элементы и новые связи обеспечивают перебор 2^p двоичных состояний следующим образом.

Диапазон или количество состояний обычного двоичного счетчика равен 2^p , где p - разрядность этого счетчика. Диапазон счетчика импульсов - прототипа описывается выражением C_p^k , где $p = n + 1$; n - разрядность этого счетчика. Согласно известному выражению $2^p = C_p^0 + C_p^1 + \dots + C_p^k + \dots + C_p^p$. Следовательно, для того, чтобы перебрать все 2^p двоичные кодовые комбинации с помощью помехоустойчивого n -разрядного биномиального счетчика импульсов, необходимо в процессе счета менять значение величины k этого счетчика от единицы до n , т.е. осуществить последовательный перебор всех кодовых комбинаций с одним, двумя и так далее единичными разрядами $(C_p^1, C_p^2, \dots, C_p^n)$.

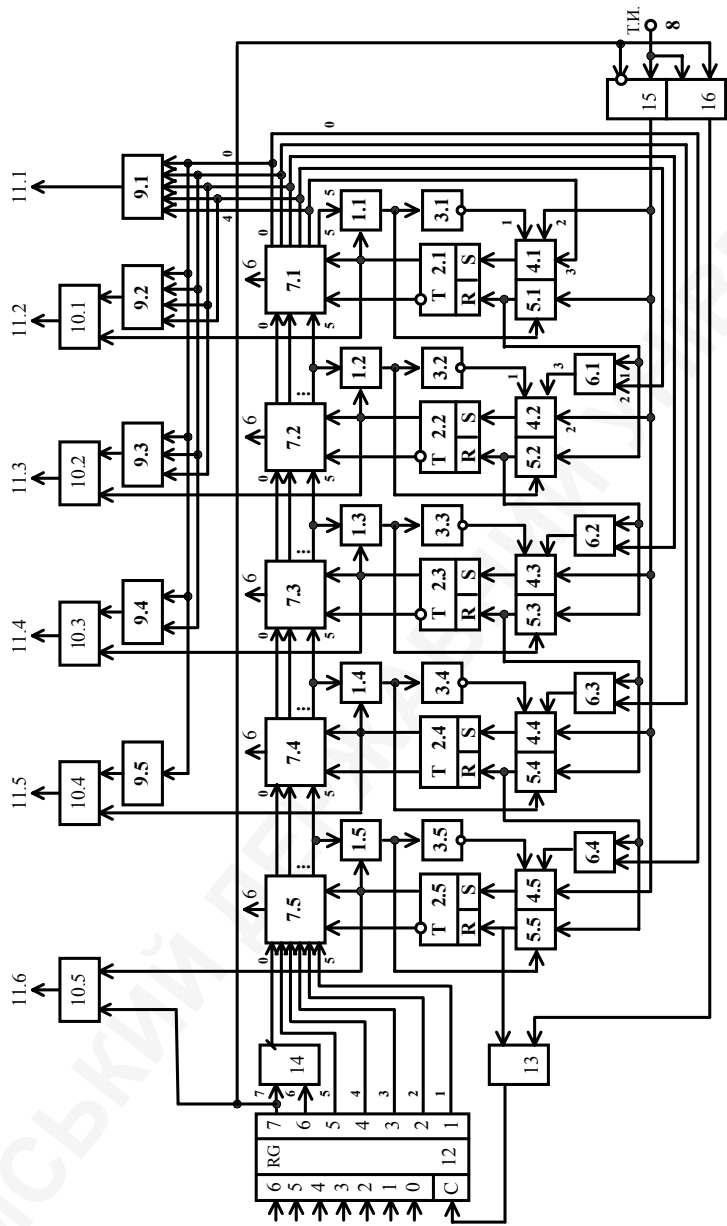


Рисунок 1- Структурная схема счетчика

Перестройка биномиального счетчика на различные значения величины k осуществляется с помощью кольцевого распределителя импульсов 12, единичные сигналы с выходов разрядов которого с второго по шестой задают величину k для счетчика импульсов. С помощью выходов первого и седьмого разрядов распределителя импульсов 12 формируются 2 комбинации - только с нулевыми и только с единичными разрядами. Помехоустойчивость работы счетчика достигается за счет подсчета количества единичных разрядов в счетчике, и при превышении этим количеством величины k вырабатывается сигнал ошибки.

Работу предлагаемого устройства рассмотрим на конкретном примере с количеством разрядов счетчика $n = 5$. В таблице 1 приведены состояния выходов седьмого - первого разрядов распределителя импульсов 12, триггеров 2.5 - 2.1 счетчика и выходных шин 11.6 - 11.1 в зависимости от номера входного импульса на шине 8 при отсчете от исходного состояния.

Как видно из таблицы 1, в исходном состоянии в кольцевом распределителе импульсов 12 в первом разряде находится единица, в счетчике импульсов и на выходных шинах - нули. При состояниях счетчика импульсов с 1-го по 6-е (C_6^1) кольцевой распределитель импульсов 12 содержит "1" во втором разряде и настраивает счетчик импульсов на работу с $k = 1$. При этом счетчик импульсов производит перебор кодовых комбинаций с $k = 1$, а на выходных шинах вырабатываются взвешенные кодовые комбинации с количеством единиц, равным единице. При нахождении счетчика импульсов в состояниях с 7-го по 21-е (C_6^2) в кольцевом распределителе импульсов единичный сигнал будет находиться в третьем разряде. Счетчик импульсов перебирает биномиальные кодовые комбинации с $k = 2$, а на выходных шинах появляются кодовые комбинации с постоянным весом, равным двум. В состояниях счетчика импульсов с 22-го по 41-е (C_6^3) он работает в режиме с $k = 3$ и так далее. В 63-м состоянии счетчика на выходе формируется последняя кодовая комбинация с шестью единицами.

Таблица 1 – Состояния биномиального счетчика и комбинации подмножеств множества-степени

| Пор. ном. | Состояние разрядов | | | |
|-----------|--------------------------|---------|----------------------------------|--------------|
| | распределителя импульсов | | биномиального счетчика импульсов | выходных шин |
| | 7654321 | | 54321 | 654321 |
| 0 | 1 | 0000001 | 00000 | 000000 |
| 1 | 1 | 0000010 | 00000 | 000001 |
| 2 | 2 | 0000010 | 00001 | 000010 |
| 3 | 3 | 0000010 | 00010 | 000100 |
| 4 | 4 | 0000010 | 00100 | 001000 |
| 5 | 5 | 0000010 | 01000 | 010000 |
| 6 | 6 | 0000010 | 10000 | 100000 |
| 7 | 1 | 0000100 | 00000 | 000011 |
| 8 | 2 | 0000100 | 00010 | 000101 |
| 9 | 3 | 0000100 | 00011 | 000110 |
| 10 | 4 | 0000100 | 00100 | 001001 |
| 11 | 5 | 0000100 | 00101 | 001010 |
| 12 | 6 | 0000100 | 00110 | 001100 |
| 13 | 7 | 0000100 | 01000 | 010001 |
| 14 | 8 | 0000100 | 01001 | 010010 |
| 15 | 9 | 0000100 | 01010 | 010100 |
| 16 | 10 | 0000100 | 01100 | 011000 |
| 17 | 11 | 0000100 | 10000 | 100001 |
| 18 | 12 | 0000100 | 10001 | 100010 |
| 19 | 13 | 0000100 | 10010 | 100100 |
| 20 | 14 | 0000100 | 10100 | 101000 |
| 21 | 15 | 0000100 | 11000 | 110000 |
| 22 | 1 | 0001000 | 00000 | 000111 |
| 23 | 2 | 0001000 | 00100 | 001011 |
| 24 | 3 | 0001000 | 00110 | 001101 |
| 25 | 4 | 0001000 | 00111 | 001110 |
| 26 | 5 | 0001000 | 01000 | 010011 |
| 27 | 6 | 0001000 | 01010 | 010101 |
| 28 | 7 | 0001000 | 01011 | 010110 |
| 29 | 8 | 0001000 | 01100 | 011001 |
| 30 | 9 | 0001000 | 01101 | 011010 |
| 31 | 10 | 0001000 | 01110 | 011100 |

Продолжение таблицы 1

| Пор. ном. | Состояние разрядов | | | |
|-----------|--------------------------|---------|----------------------------------|--------------|
| | распределителя импульсов | | биномиального счетчика импульсов | выходных шин |
| | 7654321 | | 54321 | 654321 |
| 32 | 11 | 0001000 | 10000 | 100011 |
| 33 | 12 | 0001000 | 10010 | 100101 |
| 34 | 13 | 0001000 | 10011 | 100110 |
| 35 | 14 | 0001000 | 10100 | 101001 |
| 36 | 15 | 0001000 | 10101 | 101010 |
| 37 | 16 | 0001000 | 10110 | 101100 |
| 38 | 17 | 0001000 | 11000 | 110001 |
| 39 | 18 | 0001000 | 11001 | 110010 |
| 40 | 19 | 0001000 | 11010 | 110100 |
| 41 | 20 | 0001000 | 11100 | 111000 |
| 42 | 1 | 0010000 | 00000 | 001111 |
| 43 | 2 | 0010000 | 01000 | 010111 |
| 44 | 3 | 0010000 | 01100 | 011011 |
| 45 | 4 | 0010000 | 01110 | 011101 |
| 46 | 5 | 0010000 | 01111 | 011110 |
| 47 | 6 | 0010000 | 10000 | 100111 |
| 48 | 7 | 0010000 | 10100 | 101011 |
| 49 | 8 | 0010000 | 10110 | 101101 |
| 50 | 9 | 0010000 | 10111 | 101110 |
| 51 | 10 | 0010000 | 11000 | 110011 |
| 52 | 11 | 0010000 | 11010 | 110101 |
| 53 | 12 | 0010000 | 11011 | 110110 |
| 54 | 13 | 0010000 | 11100 | 111001 |
| 55 | 14 | 0010000 | 11101 | 111010 |
| 56 | 15 | 0010000 | 11110 | 111100 |
| 57 | 1 | 0100000 | 00000 | 011111 |
| 58 | 2 | 0100000 | 10000 | 101111 |
| 59 | 3 | 0100000 | 11000 | 110111 |
| 60 | 4 | 0100000 | 11100 | 111011 |
| 61 | 5 | 0100000 | 11110 | 111101 |
| 62 | 6 | 0100000 | 11111 | 111110 |
| 63 | 1 | 1000000 | 00000 | 111111 |

Счетчик импульсов работает следующим образом.

В исходном состоянии в первом разряде кольцевого распределителя импульсов 12 находится единица, которая поступает на пятый вход сумматора 7.5 (цепи начальной установки распределителя 12 и триггеров 2.1 - 2.5 на чертеже не показаны). Так как в счетчике находится нулевая кодовая комбинация, то на пятом выходе сумматора 7.1 также появляется единичный сигнал. На выходных шинах 11.1 - 11.6 формируется нулевая кодовая комбинация 000000, так как на нулевом - четвертом выходах сумматора 7.1 находятся нулевые сигналы, на прямых выходах триггеров 2.1 - 2.5 - также нулевые сигналы. С приходом первого тактового импульса на входную шину 8 единичный сигнал проходит через элемент И 15, который через инверсный вход открыт нулевым сигналом с седьмого разряда кольцевого распределителя импульсов 12, на элемент И 5.1, который, в свою очередь, открыт единичным сигналом с пятого выхода сумматора 7.1 через элемент ИЛИ 1.1. В результате единичный сигнал проходит через элемент И 5.1, а также последовательно через элементы И 5.2 - 5.5, которые открыты единичными сигналами с пятых выходов сумматоров 7.2 - 7.5 через элементы ИЛИ 1.2 - 1.5 соответственно. Единичный сигнал с выхода элемента И 5.5 поступает на тактовый вход кольцевого распределителя 12 импульсов через элемент ИЛИ 13, в результате чего первый разряд распределителя переходит в нулевое состояние, а второй - в единичное. Единичный сигнал с выхода второго разряда распределителя 12 поступает на четвертый вход сумматора 7.5, и так как в счетчике все триггеры находятся в "0", то и на четвертом выходе сумматора 7.1 появляется сигнал "1". Этот сигнал поступает на четвертый вход элемента ИЛИ 9.1, и на выходных шинах 11.1-11.6 формируется комбинация 000001.

Сигнал "1" с четвертого выхода сумматора 7.1 поступает также на третий вход элемента И 4.1, на первый вход которого также поступает сигнал "1" с инвертора 3.1. В результате очередной тактовый сигнал поступает с входной шины 8 через элемент И 15 на второй вход элемента И 4.1 и устанавливает триггер 2.1 в состояние "1". Сигнал "1" с прямого выхода триггера 2.1 через элемент ИЛИ 10.1 поступает на выходную шину 11.2. В результате на выходных шинах формируется кодовая комбинация 000010.

Так как на четвертом входе сумматора 7.5 находится сигнал "1", то и на четвертом входе сумматора 7.1 также находится сигнал "1", который совместно с сигналом "1" с прямого выхода триггера 2.1

вырабатывает сигнал "1" на пятом выходе сумматора 7.1. При поступлении очередного тактового сигнала на элемент И15 триггер 2.1 переводится в нулевое состояние единичным сигналом с выхода элемента ИЛИ 1.1 через элемент И 5.1. Сигнал "1" с выхода элемента И 5.1 поступает также на третий вход элемента И 4.2 через первый вход элемента ИЛИ 6.1. Единичный сигнал с выхода элемента НЕ 3.2 поступает на первый вход элемента И 4.2, и триггер 2.2 переходит в состояние "1" по этому же такту. На выходных шинах формируется кодовая комбинация 000100. Таким же образом получают все кодовые комбинации с одним единичным разрядом.

При нахождении счётчика импульсов в состоянии 10000, а выходных шин – 100000 и на четвертом входе сумматора 7.5 единицы, очередной тактовый сигнал проходит через элементы И 5.1-5.5, сбрасывает триггер 2.5 в нулевое состояние и устанавливает третий разряд распределителя импульсов 12 в состояние "1". Сигнал "1" с выхода третьего разряда распределителя импульсов 12 поступает на третий вход сумматора 7.5, а с третьего выхода сумматора 7.1 - на входы элементов ИЛИ 9.1-9.2. В результате на выходных шинах 11.1-11.6 появляется кодовая комбинация 000011.

С приходом очередного тактового сигнала триггер 2.2 переходит в состояние "1" и поэтому "1" появляется на 4-м выходе сумматора 7.1. При этом на выходных шинах формируется кодовая комбинация 000101. Аналогичным образом на выходных шинах формируются все кодовые комбинации с двумя единичными разрядами. По окончании перебора кодовых комбинаций с двумя единичными разрядами распределитель импульсов 12 переходит в очередное состояние и задает режим работы счетчику импульсов с $k = 3$. В результате на выходных шинах последовательно перебираются кодовые комбинации с тремя единичными разрядами. Затем аналогично перебираются комбинации с четырьмя и пятью единицами.

При нахождении счетчика в 62-м состоянии, когда на выходных шинах сформирована кодовая комбинация 111110, а счетчик находится в состоянии 11111, очередной тактовый сигнал сбрасывает триггеры 2.1 - 2.5 в "0" и устанавливает в состояние "1" седьмой разряд распределителя импульсов 12, единичный сигнал с выхода которого поступает через элемент ИЛИ 14 на нулевой вход сумматора 7.5 и через сумматоры 7.5 - 7.1 - на нулевой выход сумматора 7.1. Этот сигнал через элементы ИЛИ 9.1 - 9.5 поступает на выходные шины

11.1 - 11.5, а на выходную шину 11.6 также поступает единичный сигнал с седьмого разряда распределителя импульсов 12 через элемент ИЛИ 10.5. На выходных шинах формируется последняя кодовая комбинация 111111. Очередной тактовый сигнал с шины 8 поступает на элемент И 1.6, который открыт единичным сигналом с седьмого разряда распределителя импульсов 12, и через элемент ИЛИ 13 устанавливает распределитель импульсов 12 в исходное состояние (0000001); на выходе счетчика - 000000.

Обнаружение ошибок при работе счетчика импульсов происходит при ошибочных переходах разрядов счетчика типа $0 \rightarrow 1$, когда количество единичных разрядов в счетчике превысит заданную величину k . Например, если счетчик находится во втором состоянии (кодовая комбинация - 00001, а на выходных шинах - 000010) и произошел ошибочный переход в единичное состояние триггера 2.3, то в счетчике будет комбинация 00101, т.е. количество единичных разрядов превысит $k = 1$. Так как во 2-м состоянии единичный сигнал с первого разряда распределителя импульсов поступает на четвертый вход сумматора 7.5, то с учетом "1" с триггера 2.3 на пятом выходе сумматора 7.3 появится единичный сигнал. Этот сигнал поступает на пятый вход сумматора 7.1, на первую группу входов которого поступает единичный сигнал с прямого выхода триггера 2.1, в результате единичный сигнал появляется на шестом выходе сумматора 7.1, что и является сигналом ошибочного состояния счетчика импульсов.

Аналогично, если при нахождении счетчика импульсов в 41-м состоянии и соответственно нахождении "1" в распределителе 12 в 4-м разряде (комбинация 11100, а на выходных шинах - 111000) произойдет ошибочный переход одного из разрядов из $0 \rightarrow 1$, например, триггера 2.2, то на шестых выходах сумматоров 7.2 и 7.1 появится сигнал ошибки.

Устанавливая в единичное состояние один из разрядов кольцевого распределителя импульсов с помощью поразрядных входов распределителя 12, можно осуществить помехоустойчивый перебор кодовых комбинаций счетчика импульсов, начиная с любого заданного числа k .

ГЛАВА 4 БИНОМИАЛЬНЫЕ ПРЕОБРАЗОВАТЕЛИ КОДОВ

4.1 Преобразователь равновесного кода в двоичный

Изобретение: ПРЕОБРАЗОВАТЕЛЬ КОДОВ

А.А.Борисенко, Г.В.Куно и В.А.Соловей

Заявитель - Сумский филиал Харьковского политехнического института

А.с. 1444956.

Заявлено 20.07.87. Опубликовано 15.12.86. Бюл. № 46.

Изобретение относится к вычислительной технике и может быть использовано в устройствах и системах обработки дискретной информации.

Цель изобретения – нумерация равновесных кодовых комбинаций.

На рис. 1 дана структурная схема преобразователя; на рис. 2 - выполнение блока считывания; на рис. 3 - пример реализации блока преобразования равновесного кода в биномиальный для случая $n = 5$, $k = 4$. Алгоритм преобразования состоит в переходе от равновесного кода в биномиальный и от него к номеру в двоичной системе счисления.

Двоичная биномиальная кодовая комбинация (число) из n разрядов содержит не более k , $n \geq k > 0$, единиц и не более $n - k$ нулей в старших разрядах перед младшей единицей.

Особенностью биномиальных чисел является то, что вес каждого их разряда равен сочетанию $C_n^{k'}$ для данного разряда, где $k' = k - q$ - контрольное число данного разряда, а $n' = 1, 2, \dots, n$ - его номер, q - количество старших разрядов чисел биномиального кода, в которых содержатся единицы. При определении номера биномиальной кодовой комбинации вычисление числа сочетаний $C_n^{k'}$ происходит только для тех разрядов, в которых содержатся единицы. Их сумма образует двоичный номер этой комбинации.

Алгоритм работы преобразователя равновесного кода в двоичный выглядит так. Равновесный код преобразуется в биномиальный, и

затем для каждого разряда биномиального числа вычисляется количество единиц q , расположенных в старших по отношению к нему разрядах. Затем для каждого значащего разряда полученного биномиального числа вычисляются контрольные числа $k' = k - q$ и с их помощью соответствующие числа сочетаний $C_n^{k'}$. Полученные величины $C_n^{k'}$ суммируются. Результат представляет собой двоичный номер преобразуемой равновесной кодовой комбинации.

Для выполнения операции перевода равновесной кодовой комбинации в биномиальное число определяется содержание младшего разряда, равное 1 или 0. Если младший разряд равен 1, то все единицы до первого 0, которые идут после него в сторону старших разрядов, инвертируются, а младший единичный разряд исходной равновесной комбинации из рассмотрения исключается.

Если в младшем разряде равновесной комбинации находится 0, то ее младший разряд отбрасывается, и тем самым биномиальное число будет получено.

Процедура преобразования пояснена на нескольких равновесных кодовых комбинациях с постоянным весом в табл. 1.

Таблица 1- Преобразование равновесных кодовых комбинаций в двоичные числа с $k = 3$ и $n = 5$

| Код с постоян. весом | Биномиальный код | q | | | | | $k - q$ | | | | | $C_n^{k'}$ | | | | | $\Sigma C_n^{k'}$ в двоичном виде |
|----------------------|------------------|-----|---|---|---|---|---------|---|---|---|---|------------|---|---|---|---|--------------------------------------|
| | | 5 | 4 | 3 | 2 | 1 | 5 | 4 | 3 | 2 | 1 | 5 | 4 | 3 | 2 | 1 | |
| 010011 | 01000 | 0 | 0 | 1 | 1 | 1 | 3 | 3 | 2 | 2 | 2 | - | 4 | - | - | - | 0100 |
| 010110 | 01011 | 0 | 0 | 1 | 1 | 2 | 3 | 3 | 2 | 2 | 1 | - | 4 | - | 1 | 1 | 0110 |
| 011100 | 01110 | 0 | 0 | 1 | 2 | 3 | 3 | 3 | 2 | 1 | 0 | - | 4 | 3 | 2 | - | 1001 |

Преобразователь равновесного кода в двоичный код (рис.1) содержит блок преобразования равновесного кода в биномиальный 1 (ПК1), первую и вторую группы сумматоров 2 и 3, группу блоков считывания 4, дешифратор числа единиц 5, шифратор 6, накапливающий сумматор 7.

На рис. 1 обозначены входы преобразователя 8, входы 9 числа единиц q , входы 10 для параметра k , тактовый и установочный в "0" входы 11, 12, выходы 13 преобразователя и выход 14 числа единиц q .

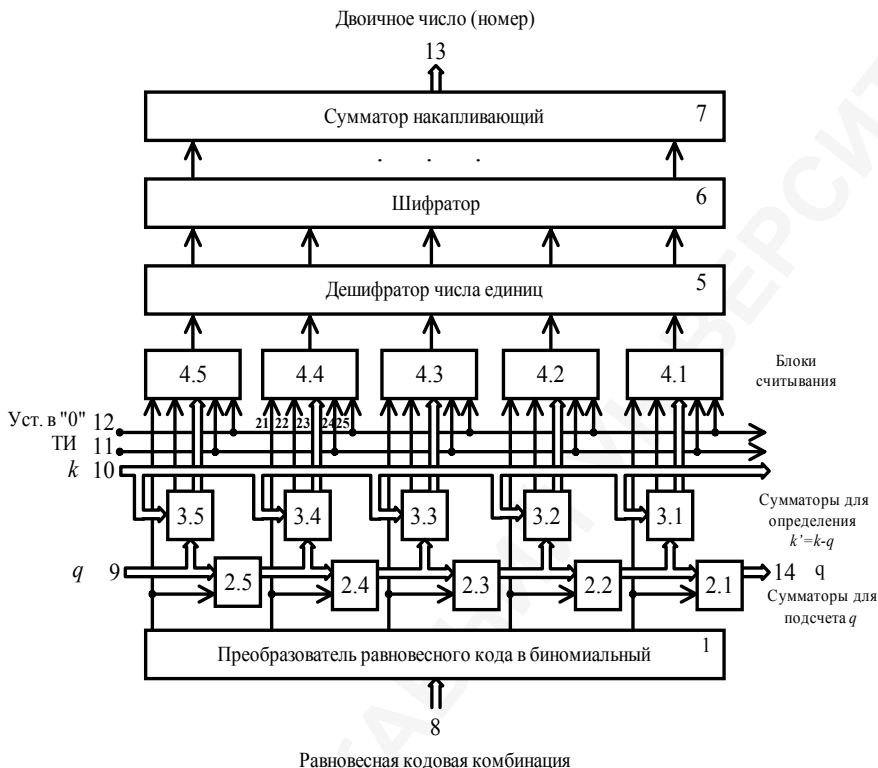


Рисунок 1 – Структурна схема преобразования

На входы 8 поступают равновесные кодовые комбинации, а с выходов 13 снимаются соответствующие им двоичные числа (номера).

Входы 9 числа единиц q , входы 10 параметра k и выходы 14 числа единиц q будут задействованы в случае, когда слева и справа от рассматриваемого преобразователя будут стоять аналогичные преобразователи, что позволяет наращивать разрядность исходного преобразователя.

Сумматоры 2.1 - 2.5 подсчитывают количество единиц q в старших разрядах. Сумматоры 3.1-3.5 подсчитывают величину контрольного числа $k' = k - q$ для своих разрядов.

Работу преобразователя рассмотрим для входной кодовой комбинации с постоянным весом 011100, которой соответствует биномиальная кодовая комбинация 01110. Процедура преобразования

выполняется для 2-го, 3-го и 4-го разрядов, поскольку значения 1-го и 5-го разрядов равны нулю. В этом случае в преобразователе равновесного кода в биномиальный значащими разрядами будут 2-й, 3-й и 4-й разряды и соответственно с них будут сниматься единицы, которые поступят на соответствующие сумматоры 2.2 - 2.4, затем 3.2 - 3.4 и блоки считывания 4.2 - 4.4, разрешая их работу.

Сумматоры 2.2 - 2.4 подсчитывают количество единиц q в старших разрядах. Сумматоры 3.2 - 3.4 подсчитывают контрольное число $k' = k - q$ для своих разрядов.

Поскольку в данном случае величина q , поступающая на вход 9, и значение 5-го разряда преобразователя кодов ПК1 равны 0, то на выходе сумматора 2.5 появится нулевой сигнал, который поступит на сумматоры 2.4 и 3.4. На другой вход сумматора 2.4 при этом поступит 1, а сумматора 3.4 - число $k = 3$. Поэтому на вторых выходах сумматора 3.4 появляется контрольное число четвертого разряда $k - q = 3 - 0 = 3$. На первом выходе сумматора 3.4 в это время присутствует нулевой сигнал. Единичный сигнал появляется в нем только в случае $k' = k - q = n'$.

Блок считывания 4.4 (рис. 2) принимает тактовый импульс на входе 24, который поступает на элемент "Запрет" 17 (Зп 17). В это время элемент И 18 закрыт нулевым сигналом по входу 22 с первого выхода сумматора 3.4, и одновременно с его помощью открывается элемент Зп 17. При этом через вход 21 подан единичный сигнал с четвертого разряда преобразователя равновесного кода в биномиальный (ПК1) на элемент Зп 17. Также на него подан сигнал 1 с триггера Т16 после установки его в "0" по входу 25 блока считывания. В результате на выходе Зп 17 появится 1, что позволяет через вход 23 контрольное число с выходов сумматора 3.4 записать в биномиальный счетчик 19, настраивая его на коэффициент пересчета, равный значению биномиального коэффициента $C_n^{k'} = C_n^{k-q}$, то есть $C_4^3 = 4$.

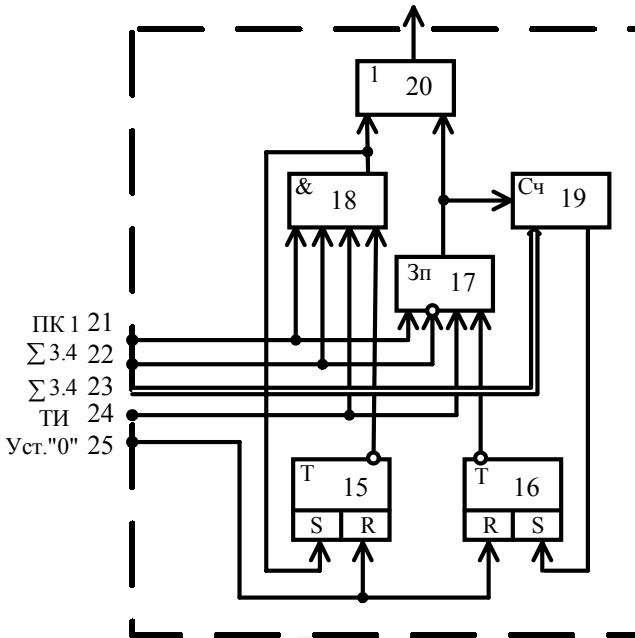


Рисунок 2 – Блок считывания

Таким образом, тактовые импульсы с входа 11 преобразователя через вход 24 блока считывания 4.4 проходят через его элемент 3п 17 на счетный вход счетчика 19 и затем через элемент ИЛИ 20 на выход блока считывания 4.4. С этого выхода сигнал поступает на соответствующий вход дешифратора числа единиц.

После прохождения четвертого тактового импульса на выходе счетчика 19 появляется сигнал переноса, который устанавливает триггер 16 в единичное состояние. На инверсном выходе триггера 16 появится нулевой сигнал, запрещающий дальнейшее прохождение тактовых импульсов через элемент 3п 17.

В случае $k' = n'$ сигнал с первого выхода сумматора 3.4 будет равен 1. При этом закроется элемент 3п 17 и соответственно тактовые импульсы ТИ не поступят на вход биномиального счетчика Сч 19, в то же время откроется элемент И 18 и тактовый сигнал ТИ пойдет через схему И 18 и затем ИЛИ 20 на выход блока считывания. Очевидно сигнал с И 18 установит триггер Т 15 в 1, и тем самым схема И 18 для следующих тактовых импульсов будет закрыта.

Аналогично будет происходить передача тактовых импульсов для третьего и второго разрядов с той разницей, что для третьего разряда $k - q = 3 - 1 = 2$ и соответственно $C_3^2 = 3$, а для второго $k - q = 3 - 2 = 1$, а $C_2^1 = 2$.

Сигналы на входах дешифратора 5 появляются во всех единичных разрядах параллельно по тактовым импульсам и только в тех разрядах, где в полученном после преобразования биномиальном числе имеются единицы. При этом в четвертом разряде единицы появятся 4 раза, в третьем – 3 раза, во втором – 2 раза. Это значит, что на первом и втором тактах будет получено на входе дешифратора по три единицы, затем на третьем такте - две единицы с сумматоров 4.4 и 4.3, и, наконец, на четвертом - только одна, поступающая с сумматора 4.4. Каждый из этих наборов единиц дешифратором 5 преобразуется в сигнал на одном из своих выходов. Очевидно, что максимальное число единиц на входе дешифратора 5 будет равно 5.

Дешифратор устроен таким образом, что номер его выхода соответствует числу единиц поступающих на его вход. Тогда шифратор 6 на своих выходах формирует двоичные номера, равные номерам возбужденных выходов дешифратора 5.

Эти номера поступают в накапливающий сумматор 7, где складывается с номерами, полученными на предыдущих тактах. В результате будет получено двоичное число, соответствующее кодовой комбинации с постоянным весом на входах преобразователя ПК 1. В рассматриваемом случае это будет число 1001.

Таким образом, преобразователь равновесного кода в двоичный за счет поразрядного распараллеливания работы обеспечивает рост своего быстродействия.

4.2 Преобразователь двоичного кода в равновесный

Изобретение: ПРЕОБРАЗОВАТЕЛЬ КОДОВ

А.А. Борисенко, В.А. Соловей и В.М. Мирошниченко

Заявитель - Сумский филиал Харьковского политехнического института

А.с. 1547071.

Заявлено 06.06.88. Опубликовано 28.02.90. Бюл. № 8.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах дискретной обработки и передачи информации в качестве устройства кодирования-декодирования информации, использующего равновесные коды.

Цель изобретения - повышение быстродействия преобразователя.

На рис. 1 представлена структурная схема преобразователя кодов; на рис. 2 - схема блока синхронизации преобразователя.

Преобразователь кодов (рис. 1) содержит регистр текущей выборки 1, первый - третий счетчики 2 - 4, формирователь кодов 5, блок синхронизации 6, сумматор 7, блок сравнения 8, первый и второй регистры числа 9 и 10, первый - шестой входы 11 - 16 и первый - третий выходы 17 - 19.

Блок синхронизации 6 (рис. 2) содержит триггер 20, элемент ИЛИ-НЕ 21, элемент ИЛИ 22, первый - четвертый входы 23 - 26 и первый - четвертый выходы 27 - 30 блока синхронизации.

Процедура преобразования двоичного кода в код с постоянным весом использует в качестве промежуточных биномиальный код. Биномиальное двоичное число характеризуется наличием или k единиц, или $n - k$ нулей. Диапазон представления биномиальных чисел $P = C_n^k$. Например, для $n = 7$ и $k = 4$ числа 001110, 001111, 1111 являются биномиальными.

Перевод исходного двоичного числа в биномиальное использует принцип поразрядного взвешивания. Вес каждого разряда биномиального числа определяется величиной сочетания $C_{n-1-i}^{k-q_i}$, где q_i - число единиц в предшествующих разрядах; $i = 0, 1, 2, \dots, n - 1$. Сочетания фор-

мируются формирователем 5, который при подаче на одну группу входов значения n , а на другую значения k формирует на выходе значение C_n^k . В качестве такого формирователя может быть использовано ПЗУ. Для подсчета числа разрядов $n-1-i$, числа единиц и числа нулей $(k-q_i)$, $(n-k)$ используются вычитающие двоичные счетчики 2, 3 и 4.

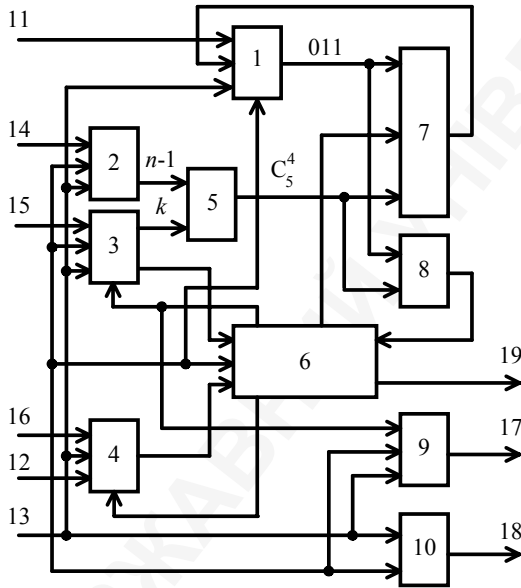


Рисунок 1 – Структурная схема преобразователя

Сравнивают переводимое двоичное число с весом текущего разряда. Определяют разность между этими числами. С этой целью применяют сумматор 7. При положительном значении разности или при равенстве ее нулю присваивают разряду значение "1", при отрицательном - значение "0". Эту функцию выполняет блок 8 сравнения, который сравнивает кодовые комбинации на двух группах входов и выдает сигналы "Больше", "Равно" или "Меньше". В качестве блока 8 может быть использован цифровой компаратор.

Определяют остаток полученной разности, который при положительном ее значении равен абсолютной величине этой разности, а при отрицательном - исходному значению переводимого числа, и сравнивают с весом следующего разряда. Эту процедуру выполняют

до тех пор, пока кодовая комбинация не станет удовлетворять условиям биномиального числа, т.е. будет получено или k единиц, или $n - k$ нулей.

Для получения кода с постоянным весом к биномиальному коду справа дописывают нули, если в нем содержится k единиц, или единицы, если в нем содержится $(n - k)$ нулей, до тех пор, пока разрядность кода не станет равной n . Выходные кодовые комбинации накапливаются в регистрах 9-го и 10-го чисел, представляющих собой сдвиговые регистры.

Подробно работу преобразователя рассмотрим на примере перевода двоичного числа 011 в шестиразрядную ($n = 6$) комбинацию с постоянным весом, т.е. с постоянным числом единиц $k = 4$.

После сигнала установки в "0" по входу 13 преобразователя выполняются следующие операции. По входу 11 в регистр 1 текущей выборки записывается входная кодовая комбинация 011; по входу 14 преобразователя в счетчик 2 - число $n - 1$, в данном случае $6 - 1 = 5$; по входу 15 в счетчик 3 - число $k = 4$; по входу 16 в счетчик 4 - число $2(n - k)$. Обнуляются также регистры 9-го и 10-го чисел.

С выхода регистра 1 текущей выборки входной двоичный код поступает на первый вход сумматора 7 и второй вход блока 8. С выхода счетчиков 2 и 3 текущие значения $n - 1 = 5$ и $k = 4$ поступают на входы формирователя 5. При этом на выходе формирователя 5 появляется значение сочетания $C_5^4 = 5$, которое поступает на второй вход сумматора 7 и первый вход блока 8. Так как на втором входе блока 8 находится исходное число 3, а на первом входе - число 5, блок 8 формирует сигнал "Меньше" ($3 < 5$), который поступает на соответствующий вход блока 6 синхронизации, т.е. на информационный вход триггера 20. Отрицательный фронт синхросигнала записывает сигнал "Меньше" в триггер 20 и открывает элемент ИЛИ-НЕ 21. Таким образом, сигнал с инверсного выхода триггера 20 через элемент ИЛИ-НЕ 21 поступает на третий (управляющий) вход сумматора 7 в виде команды "Транзит", что соответствует транзитной передаче двоичного кода с первого входа сумматора 7 на выход без изменения. Одновременно сигнал с инверсного выхода триггера 20 формирует "0" в первом разряде регистра числа 9 и запрещает выборку со счетчика 3. Сигнал с прямого выхода триггера 20 разрешает выборку со счетчика 4.

Положительным фронтом синхросигнала на входе 12 преобразователя в регистр 1 текущей выборки с выхода сумматора 7 записывается двоичный код числа 3, т.е. 011. В регистр числа 9 за-

писывается ранее сформированный сигнал "0". Одновременно уменьшается на 1 содержимое счетчика 2, т.е. $5 - 1 = 4$, и счетчика 4, т.е. $2 - 1 = 1$. Содержимое счетчика 3 остается без изменения, т.е. равно 4. На этом завершается первый этап сравнения (взвешивания) входного двоичного кода и веса старшего разряда биномиального числа. Вес разряда числа больше величины входного кода, и в регистре числа 9 сформирован первый нуль.

Теперь на первый вход формирователя 5 со счетчика 2 поступает уменьшенное значение $(n - 1)$, равное 4, а состояние другого входа от счетчика 3 не изменяется, т.е. $k = 4$. Таким образом, на выходе формирователя 5 появляется число $C_4^4 = 1$. С выхода регистра 1 текущей выборки на первый вход сумматора 7 и на второй вход блока 8 поступает число 3, а с выхода формирователя 5 на второй вход сумматора 7 и первый вход блока 8 - число 1. При этом блок 8 выдает на первый вход блока 6 синхронизации, т.е. на информационный вход триггера 20, сигнал "Больше или равно" ($3 > 1$).

Отрицательный фронт синхросигнала по входу 12 преобразователя записывает сигнал "Больше или равно" в триггер 20 и открывает элемент ИЛИ-НЕ 21. Таким образом, сигнал с инверсного выхода триггера 20 поступает на третий (управляющий) вход сумматора 7 в виде команды "Вычитание", т.е. на выходе сумматора 7 имеется разность двоичного кода числа 3 с первого входа и числа 1 с второго входа, т.е. $3 - 1 = 2$. Одновременно этот сигнал формирует "1" на входе регистра 9-го числа и разрешает выборку со счетчика 3. Сигнал с прямого выхода триггера 20 запрещает выборку с вычитающего счетчика 4.

Положительным фронтом синхросигнала на входе 12 преобразователя в регистр 1 текущей выборки с выхода сумматора 7 записывается число 2. В регистр 9 числа записывается ранее сформированная 1. Одновременно уменьшается на 1 содержимое счетчика 2, т.е. $4 - 1 = 3$, и счетчика 3, т.е. $4 - 1 = 3$. Содержимое счетчика 4 остается без изменения, т.е. равно 1. На этом завершается второй этап сравнения (взвешивания) входного двоичного кода и веса следующего разряда биномиального числа. Вес разряда числа меньше, и в регистре 9-го числа второй сформирована единица.

Табл. 1 характеризует состояние элементов преобразователя. Как видно из таблицы, произойдет две операции "вычитание" и одна операция "транзит" сумматора 7, пока не обнулится один из счетчиков 3 и 4. В указанном выше примере обнулился счетчик $n - k$, т.е.

счетчик 4. Это значит, что процесс преобразования двоичного кода числа 3 в биномиальный код с разрядностью $n = 6$ и числом единиц $k = 4$ завершился.

Таблица 1

| Вычитающий счетчик | | | Формирователь 5 сочетаний | Регистр 1 текущей выборки | Результат сравнения в логическом блоке 8 | Операция сумматора 7 | Результаты операции на выходе сумматора 7 | Информация в регистре 9-го числа |
|--------------------|---|---|---------------------------|---------------------------|--|----------------------|---|----------------------------------|
| 2 | 3 | 4 | | | | | | |
| 5 | 4 | 2 | 5 | 3 | Меньше | Транзит | 3 | 0 |
| 4 | 4 | 1 | 1 | 3 | Больше или равно | Вычитание | 2 | 1 |
| 3 | 3 | 1 | 1 | 2 | -//- | -//- | 1 | 1 |
| 2 | 2 | 1 | 1 | 1 | -//- | -//- | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | -//- | -//- | 0 | 0 |
| 0 | 1 | 0 | - | - | Меньше | Транзит | 0 | 0 |
| - | 0 | 0 | - | - | - | - | - | 1 |

Чтобы биномиальный код преобразовать в равномерный, необходимо дописать недостающие единицы, пока не исчерпается счетчик единиц k .

После того как содержимое счетчика 4 стало равным нулю, с выхода переноса счетчика 4 поступает сигнал на третий вход блока 6 синхронизации, т.е. на асинхронный сбросовый вход триггера 20 и вход элемента ИЛИ 22. Триггер 20 устанавливается в "0". При этом сигнал с инверсного выхода триггера 20 разрешает выборку счетчика 3, а сигнал с прямого выхода триггера 20 запрещает выборку счетчика 4, т.е. счетчик 4 самоблокируется на нулевом содержимом. Таким образом, по каждому синхронизирующему импульсу по входу 12 преобразователя будет уменьшать свое содержимое счетчик 3, и в регистр 9-го числа будут последовательно заноситься единицы до тех пор, пока счетчик 3 не обнулится. Как только содержимое счетчика 3 станет равным нулю, с его выхода переноса сигнал поступит на второй вход блока 6 синхронизации, т.е. на другой вход элемента ИЛИ 22. Сигналы переноса со счетчиков 3 и 4 откроют элемент ИЛИ 22 и сигнал с его выхода поступит на шестой выход блока 6 синхронизации, т.е. на выход 19 преобразователя, свидетельствуя о конце работы преобразователя. При этом в регистре 9-го числа будет числовая комбинация 011101. В регистре 10-го числа будет шесть единиц

111111 по числу тактов преобразователя, так как на его вход постоянно заведена единица. Это маска значимости, т.е. только 6 разрядов выходного кода действительны. Маска значимости соответствует числу разрядов выходного кода.

Таким образом, число тактов работы преобразователя, определяющее его быстродействие, не зависит от веса разрядов исходного двоичного числа и определяется числом разрядов кода с постоянным весом n . За счет поразрядного взвешивания повышается быстродействие преобразователя.

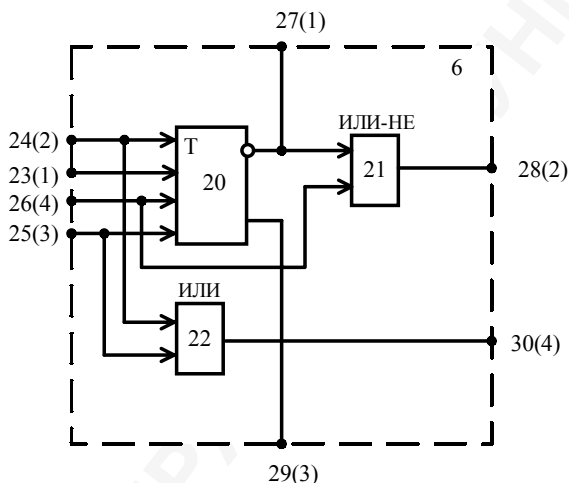


Рисунок 2 – Блок синхронизации

4.3 Биномиальное устройство сжатия информации

Изобретение: ПРЕОБРАЗОВАТЕЛЬ КОДОВ
А.А. Борисенко, Г.В. Куно и В.А. Соловей

Заявитель - Сумский филиал Харьковского политехнического института

А.с. 1425846.

Заявлено 24.02.87. Опубликовано 23.09.88. Бюл. № 35.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах обработки и передачи информации. На рис. 1 приведена блок-схема преобразователя кодов.

Целью изобретения является расширение функциональных возможностей преобразователя за счет сжатия информации.

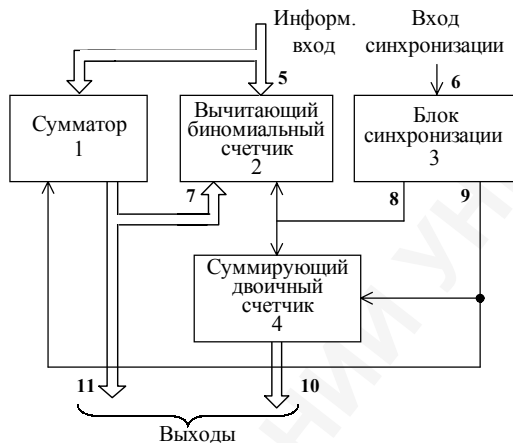


Рисунок 1 – Блок – схема биномиального устройства сжатия информации

В основе работы преобразователя кодов лежит следующее.

Если для n -разрядного двоичного числа будет известно количество k содержащихся в нем единиц, то это число можно рассматривать как биномиальное с параметрами n и k .

Биномиальное двоичное число - это число, содержащее или n нулей, или k единиц, или до $n - k$ нулей в старших разрядах перед младшей единицей.

Количество n -разрядных биномиальных чисел $N = C_{n+1}^k$ всегда меньше количества возможных n -разрядных двоичных чисел $N_1 = 2^n$, т.е. $C_{n+1}^k < 2^n$. Поэтому это число можно выразить меньшим количеством разрядов, чем n , и соответственно произвести сжатие информации. Так, например, если взять двоичное 16-разрядное число 0000 0000 0011 0000 и произвести в нем подсчет единиц, то оно после этого может рассматриваться как биномиальное число с $n = 16$ и $k = 2$ и быть выражено количеством разрядов $n_1 = \log_2 C_{n+1}^k = \log_2 C_{17}^2 =$

$= \log_2 \frac{17!}{2! \cdot 15!} = 8$. Однако, кроме n_1 , необходимо хранить информацию о количестве единиц в сжимаемом числе, которое определяется количеством разрядов $n_2 = \log_2 n$ и для рассматриваемого примера равно $n_2 = \log_2 16 = 4$. Таким образом, общая длина числа после сжатия будет равна $n_{об} = 8 + 4 = 12$, а коэффициент сжатия $K_{сж} = \frac{16}{12} = 1,33$ раза. Из рассмотренного следует, что чем больше длина сжимаемого двоичного числа и чем меньше число k , тем эффективность сжатия выше.

На основании изложенного рассматриваемый преобразователь кодов имеет сумматор 1 для подсчета количества единиц в двоичном числе и вычитающий счетчик 2, перебирающий последовательно все биномиальные двоичные комбинации, начиная со сжимаемого двоичного числа. В качестве такого счетчика взят биномиальный счетчик, достоинством которого является возможность перестраиваться на различные k (k - контрольное число) электрическими сигналами с входов 7 без введения специального коммутатора (А.с. СССР 1497794). Это важно, так как число k для сжимаемых двоичных комбинаций переменное, следовательно, и контрольное число биномиального счетчика k также должно быть переменное и равное количеству единиц, содержащихся в преобразуемом двоичном числе. С этой целью биномиальный счетчик 2 настраивается на величину k через выход сумматора 1.

В качестве сумматора 1 можно использовать сумматоры числа единиц в двоичной комбинации любого типа, например матричные.

Блок синхронизации 3 обеспечивает прохождение на свой первый выход тактовых импульсов с входа 6 в отсутствие нулевого кода на выходах счетчика 2, а при появлении этого нулевого кода - снятие тактовых импульсов с выхода 8 и формирование на выходе 9 одиночного импульса.

Преобразователь кодов работает следующим образом.

С входов 5 преобразователя двоичная кодовая комбинация записывается в вычитающий счетчик 2 и параллельно поступает на входы сумматора 1, где подсчитывается количество единиц в этой комбинации, которое в виде двоичного числа поступает на информационные входы 7 биномиального счетчика 2 и выходы 9 преобразователя. По тактовым импульсам с выхода 8 преобразователя блок 3 начинает по единицам вычитание содержимого биномиального счетчика 2 с одновременным подсчетом числа шагов вычитания в суммирующем счет-

чике 4. Когда содержимое счетчика 2 становится равным нулю, прекращается процесс вычитания и с выхода 9 блока 3 подается сигнал установки в нуль на установочные входы суммирующего счетчика 4 и сумматора 1. Одновременно преобразованная кодовая комбинация считывается с выходов 10 и 11 преобразователя кодов.

Проиллюстрируем работу преобразователя кодов таблицей 1 состояний биномиального 2 и суммирующего 4 счетчиков для приведенного примера с $n = 16$ и $k = 2$ (число 0000 0000 0011 0000).

С каждой единицей, вычитаемой из содержимого биномиального счетчика 2, к содержимому суммирующего счетчика 4 прибавляется единица, т.е. суммирующий счетчик 4 осуществляет нумерацию последовательно сменяемых состояний биномиального счетчика 2. Последнее 20-е состояние 0010100 суммирующего счетчика 4, соответствующее нулевому содержимому биномиального счетчика 2, будучи взятым вместе с содержимым сумматором 1 0010, представляет собой выходную кодовую комбинацию преобразователя.

Как видно из табл. 1, длина выходной кодовой комбинации (12 разрядов) меньше длины входной комбинации (16 разрядов), т.е. имеет место сжатие информации.

Таким образом, предлагаемый преобразователь кодов по сравнению с известным позволяет уменьшить длину выходной кодовой комбинации, т.е. осуществить сжатие информации.

Таблица 1 – Состояния вычитающего биномиального и суммирующего двоичного счетчиков

| Пор. ном. | Содержимое биномиального счетчика | Содержимое суммирующего счетчика |
|-----------|-----------------------------------|----------------------------------|
| 0 | 0000000000110000 | 00000000 |
| 1 | 0000000000101000 | 00000001 |
| 2 | 0000000000100100 | 00000010 |
| 3 | 0000000000100010 | 00000011 |
| 4 | 0000000000100001 | 00000100 |
| 5 | 0000000000100000 | 00000101 |
| 6 | 0000000000011000 | 00000110 |
| 7 | 0000000000010100 | 00000111 |
| 8 | 0000000000010010 | 00001000 |
| 9 | 0000000000010001 | 00001001 |
| 10 | 0000000000010000 | 00001010 |
| 11 | 0000000000001100 | 00001011 |
| 12 | 0000000000001010 | 00001100 |
| 13 | 0000000000001001 | 00001101 |
| 14 | 0000000000001000 | 00001110 |
| 15 | 0000000000000110 | 00001111 |
| 16 | 0000000000000101 | 00100000 |
| 17 | 0000000000000100 | 00010001 |
| 18 | 0000000000000011 | 00010010 |
| 19 | 0000000000000010 | 00010011 |
| 20 | 0000000000000000 | 00010100 |

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. *Борисенко А. А.* Система счисления с биномиальным основанием и двоичным алфавитом. - Деп. рук. №909-82 ВИНТИ, 19.09.82.- с. 6.
2. *Борисенко А. А., Губарев С. И., Куно Г. В.* Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел // АСУ и приборы автоматики, 1985. - Вып. 74.
3. *Борисенко А. А., Губарев С. И., Куно Г. В.* Биномиальные системы счисления с двоичным алфавитом // АСУ и приборы автоматики, 1985. - Вып. 76.
4. *Борисенко А. А., Пузько Н. Д., Куно Г. В.* Биномиальные двоичные счетчики // Информ. листок. № 84 - 132. - X., 1984.
5. *Березюк Н. Г., Андрущенко А. Г., Мощицкий С.С.* Кодирование информации. - X.: Вища шк. Изд-во при Харьк. ун-те, 1978.
6. *Дж. Мартин.* Системный анализ передачи данных. - М., 1975. - Т.1.
7. *Кузьмин И. В., Кедрус В. А.* Основы теории информации и кодирования. - К.: Вища шк. Головное изд-во, 1977. - 279 с.
8. *Оберман Р. М.* Счет и счетчики. - М., 1984. - 173 с.
9. *Поспелов Д. Н.* Арифметические основы вычислительных машин дискретного действия. - М.: Высш. шк., 1970. - 308 с.
10. *Стахов А. П.* Фибоначиевы двоичные позиционные системы счисления: Кодирование и передача дискретных сообщений в системах связи. - М.: Наука, 1976. - 179 с.
11. *Стахов А. П.* Коды золотой пропорции. - М.: Радио и связь, 1084. - 150 с.
12. *Стоян Ю. Г., Соколовский В. З.* Решение некоторых многоэкстремальных задач методом сужающихся окрестностей. - К.: Наук. думка, 1980. - 205 с.
13. *Тутевич В. Н.* Телемеханика. - М. 1985. - 200 с.
14. *Цымбал В. П.* Теория информации и кодирование. - К.: Вища шк. Головное изд-во, 1977. - 287 с.
15. А. с. 1077054 СССР МКИ³ОЗК 23/00. Счетчик импульсов / А. А. Борисенко, И. Д. Пузько, Л. А. Стеценко (СССР). - № 3479062 / 18 - 21; Заявлено 27.07.82 // Открытия. Изобретения. 1984, № 8. - С. 197.

АНОТАЦІЯ

У роботі проведені оригінальні дослідження автором у сфері біноміальних систем числення і біноміальної лічби, які мають теоретичне і практичне значення при розробленні різних алгоритмів кодування і надійних інформаційних пристроїв.

THE SUMMARY

The paper, proposed by author describes original results of your research work in the field of binomial number systems and binomial counting, which have some interesting and useful properties. The given results can be of practical benefit when developing different coding algorithms and reliable information devices.