

621.38(042.4)

Б 17

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И
НАУКИ УКРАИНЫ
СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

В.Т. БАРАВОЙ

КОНСПЕКТ ЛЕКЦИЙ
по курсу

«ЭЛЕКТРОНИКА И МИКРОСХЕМОТЕХНИКА»

Раздел «ЦИФРОВАЯ ТЕХНИКА»

для студентов и аспирантов
физико-технических
специальностей

Утверждено на заседании кафедры
«Компьютеризованные системы
управления» как конспект лекций по
дисциплине «Электроника и микросхемо-
техника».

Протокол № 4 от 10.04.2001 г.

Сумы Изд-во СумГУ 2001

Сумський державний
університет
БІБЛІОТЕКА

Б 17/1

СОДЕРЖАНИЕ

Предисловие	4
Вводная лекция.....	5
Раздел 1 Электронная память цифровых устройств	
Лекция 1 Цифровые логические элементы.....	21
Лекция 2 Триггеры.....	52
Лекция 3 Построение триггеров различных типов.....	74
Лекция 4 Регистры.....	98
Лекция 5 Цифровые счётчики импульсов.....	123
Лекция 6 Оперативные и постоянные запоминающие устройства.....	146
Раздел 2 Комбинационные устройства	
Лекция 7 Преобразователи кодов, шифраторы, дешифраторы.....	179
Лекция 8 Мультиплексоры, демультимплексоры, комбинационные устройства сдвига.....	205
Лекция 9 Комбинационные сумматоры.....	226
Перечень сокращений.....	248
Список литературы.....	249

ПРЕДИСЛОВИЕ

Данный конспект лекций «Цифровая техника» соответствует рабочей программе по дисциплине «Электроника и микросхемотехника», представляет собой вторую часть дисциплины и состоит из десяти лекций. Первая часть конспекта лекций называется «Аналоговая техника» и имеет объём двенадцать лекций.

Курс лекций написан для студентов физико-технических специальностей дневной формы обучения. Объём каждой лекции рассчитан на два академических часа, каждую лекцию можно изучать независимо от предыдущей, лекции объединены в два раздела: первый раздел – «Электронная память цифровых устройств», второй – «Комбинационные устройства».

Лекции содержат тщательно подобранный материал, имеют большое количество иллюстраций, электрических и логических схем, таблиц состояний, примеров построения различных цифровых устройств. Даны параметры микросхем, их обозначения.

При изучении данного курса читатель должен обладать знаниями по алгебре логики, комбинаторике, основам электроники, математике.

Для углубленного изучения отдельных разделов приводится список литературы. В конце отдельных лекций дан дополнительный материал, который расширяет восприятие изученной темы.

Подробное описание цифровых устройств позволит читателю детально ознакомиться с микропроцессорной техникой, осмыслить физические процессы, происходящие при функционировании ЭВМ.

ВВОДНАЯ ЛЕКЦИЯ

- 1 Основные понятия, классификация интегральных микросхем (ИМС), их условные обозначения.
- 2 Параметры, характеристики ИМС.

1 Базой для изготовления цифровых логических схем являются транзисторы. Нет необходимости изготавливать транзисторы в виде отдельного прибора с внешними выводами, т.е. выпускать их в дискретном исполнении. Более надёжными и компактными получаются устройства, где на одной полупроводниковой пластине формируется много транзисторов, диодов и резисторов, а переключки между ними получают путём металлизации **методом вакуумного напыления** металлических проводников через маску нужной конфигурации.

Устройства такого типа, заключённые в герметичный корпус с внешними выводами, называются интегральными микросхемами.

Материалом для интегральных схем служит кремний, подвергнутый очистке. Монокристалл кремния разрезают на очень тонкие пластины, которые шлифуются и полируются. На 1мм^2 такой пластины получают десятки тысяч транзисторных структур. Некоторые большие интегральные схемы на кристаллах размерами $5 \times 6\text{мм}^2$ содержат более $20 \cdot 10^6$ транзисторов и представляют собой целые ЭВМ.

Интенсивно ведётся поиск принципиально новых способов построения интегральных схем, позволяющих создавать на одной подложке «многоэтажные» структуры.

Перспективы дальнейшего совершенствования интегральных схем связывают с целым рядом интересных физических явлений, новых материалов и технологий. Дадим основные понятия ИМС.

Интегральные микросхемы (ИМС) – микроэлектронные изделия, выполняющие определенную функцию преобразования, обработки сигнала и накопления информации и **имеющие** высокую плотность упаковки электрически соединённых элементов и кристаллов.

В зависимости от **технологии изготовления** ИМС могут быть полупроводниковыми, плёночными, гибридными.

Полупроводниковые ИМС – микросхемы, все элементы и межэлементные соединения которых выполнены в объёме и на поверхности полупроводника.

Плёночные ИМС – микросхемы, все элементы и межэлементные соединения которых выполнены только в виде плёнок проводящих и диэлектрических материалов.

Гибридные ИМС – микросхемы, содержащие кроме элементов, простые и сложные компоненты (например, кристаллы полупроводниковых микросхем). Одним из видов гибридных микросхем являются многокристальные микросхемы.

ИМС, как правило, состоят из корпуса, подложки, платы, пластины, кристалла.

Корпус – часть конструкции ИМС, предназначенная для защиты микросхемы от внешних воздейст-

вий и для соединения с внешними электрическими цепями посредством выводов.

Подложка - заготовка из диэлектрического материала, предназначенная для нанесения на неё элементов плёночных и гибридных микросхем межэлементных и межкомпонентных соединений, а также контактных площадок.

Плата - часть подложки гибридной ИМС, на поверхности которой нанесены плёночные элементы микросхемы, межэлементные и межкомпонентные соединения и контактные площадки.

Пластина - это полупроводниковая заготовка, предназначенная для изготовления полупроводниковых ИМС.

Кристалл - часть пластины, в объёме и на поверхности которой сформированы элементы полупроводниковой микросхемы, межэлементные соединения и контактные площадки.

Цифровые микросхемы представляют собой электронные устройства, позволяющие строить практически все узлы и блоки ЭВМ, в которых обрабатываемая информация представлена в виде двоичных чисел. В основе цифровых микросхем, выпускаемых многомиллионными сериями, находятся простейшие комбинационные цифровые элементы.

По способу кодирования цифровых сигналов элементы цифровой схемотехники подразделяются на потенциальные, импульсные и импульсно-потенциальные.

В **потенциальных** элементах двоичные переменные кодируются соответствующей величиной электрического потенциала (или тока). В зависимости от способа присвоения значений «0» или «1» различным уровням электрического потенциала вводятся понятия положительной и отрицательной логики. **Положительной** называют логику, в которой уровень «1» представлен более высоким потенциалом, чем уровень 0. В случае **отрицательной** логики «1» кодируется низким уровнем сигнала, а «0» – высоким.

В **импульсных устройствах** двоично кодированный сигнал имеет значение «1» при наличии импульса или «0», если импульс в цепи отсутствует.

В **импульсно-потенциальных элементах** сигналы представляются как импульсами, так и потенциалами, которые, как правило, используются для разрешения либо запрещения передачи импульса в некоторую цепь. **Импульсным** считается сигнал с длительностью **меньшей** длительности такта, а **потенциальным** – **большой** длительности такта.

Наиболее широкое применение получили потенциальные логические элементы (ЛЭ). Для них характерно наличие связи по постоянному току между входами и выходами схем. Схематическая реализация потенциальных цифровых микросхем осуществляется на основе ЛЭ И, ИЛИ, НЕ и их комбинаций И-НЕ, ИЛИ-НЕ, а также **ИСКЛЮЧАЮЩЕЕ ИЛИ**.

По **назначению** элементы цифровой микротехники можно разделить на усилительные, формирующие, логические комбинационные, элементы па-

мяти и последовательностные функциональные узлы, элементы потенциальной развязки, индикаторные элементы.

Усилительные элементы применяются для восстановления уровней цифровых сигналов, претерпевающих неизбежные изменения в процессе обработки информации, а также для согласования выхода какого-либо устройства с низкоомной нагрузкой или линией связи.

Формирующие элементы предназначены для:

- преобразования амплитудно-временных параметров сигналов;
- увеличения или уменьшения длительности фронта нарастания или спада сигнала;
- увеличения или уменьшения длительности импульса;
- привязки нулевого и единичного уровней цифрового сигнала к заданному уровню и т.д.

Логические комбинационные элементы выполняют для реальных физических сигналов функции преобразования алгебры логики без запоминания информации.

В качестве элементов памяти используются **триггеры** с двумя и более устойчивыми состояниями. На основе запоминающих элементов строятся **последовательностные функциональные узлы**, оперирующие многоразрядными числами (триггеры, регистры, счётчики).

Элементы потенциальной развязки предназначены для реализации информационной связи между различными цифровыми устройствами.

Индикаторные элементы обеспечивают визуализацию цифровых сигналов при вводе и выводе информации.

Всё многообразие цифровой микросхемотехники можно условно разделить на элементы, функциональные узлы, устройства и системы.

Элементы - электронные схемы, реализующие простейшие функции алгебры логики И, ИЛИ, НЕ. К ним относятся схемы формирователей уровней сигналов, инверсии, умножения цифровых сигналов и т.д. Элементы строятся на основе элементарных ИМС.

Функциональные узлы выполняют функции генерирования, формирования формы импульсов по амплитуде и длительности, преобразования формы импульсных сигналов. К функциональным узлам относятся схемы, укорачивающие или расширяющие импульсы, автоколебательные генераторы прямоугольных импульсов, различные виды запоминающих ячеек и т.д. Функциональные узлы строятся на основе ИМС и дискретных компонентов радиоэлектронной аппаратуры.

Устройства цифровой микросхемотехники выполняют преобразования над многоразрядными числами (счёт, арифметические действия, шифрация, дешифрация, преобразование кодов, запоминание, считывание из памяти, отображение информации и т.д.). Устройства цифровой микросхемотехники состоят из комбинаций функциональных узлов и элементов. Это регистры, счётчики, сумматоры, преобразователи кодов, оперативные запоминающие устройства ЭВМ,

мультиплексоры, демультимплексоры, цифровые компараторы, цифро-аналоговые и аналого-цифровые преобразователи.

Цифровые устройства объединяются в системы, наиболее типичными представителями которых являются ЭВМ. Классификация микросхем по функциональному назначению приведена в табл. 1.

По принятой системе обозначение микросхемы должно состоять из четырёх элементов. Первый элемент — цифра, соответствующая конструктивно-технологической группе. Указанным группам микросхем в системе условных обозначений присвоены следующие цифры: 1,5 -7 — полупроводниковые, 2,4,8- гибридные, 3- прочие микросхемы. Второй элемент (две-три цифры)- порядковый номер разработчика. Таким образом, первые два элемента определяют полный номер серии микросхемы. Третий элемент- две буквы, соответствующие подгруппе и виду микросхемы. Четвёртый элемент — условный номер разработки микросхемы в данной серии по функциональному признаку. Система обозначений микросхем приведена на рис. 1.

Приведём пример условного обозначения полупроводниковой микросхемы — схемы синхронизации микропроцессора с порядковым номером серии 800 и порядковым номером разработки микросхемы в данной серии по функциональному признаку 1. Полное обозначение микросхемы 1800ВВ1.

Пример условного обозначения полупроводниковой микросхемы ЛЭ И-НЕ с порядковым номером серии 33 и номером разработки микросхемы в данной

Таблица 1- Классификация микросхем по функциональному назначению

Подразни и вид микросхем	Обозначение
Формирователи:	
- адресных токов (формирователи напряжения или токов);	АА
- импульсов прямоугольной формы (жадущие мульти-вibrаторы, блокинг-генераторы и др.);	АГ
- разрядных токов (формирователи напряжения или токов);	АР
- прочие;	АП
- импульсов специальной формы.	АФ
Схемы задержки:	
- пассивные;	БМ
- прочие;	БП
- активные.	БР
Схемы числительных средств:	
- сопряжения с магистралью синхронизации;	ВА
- управления входом/выходом (схемы интерфейса);	ВВ
- контроллера;	ВГ
- микроЭВМ;	ВЕ
- специализированные преобразователи	ВЖ
комбинированные	ВИ
микромикропроцессоры	ВК
управления прерыванием;	ВМ
- прочие;	ВН
- функциональные расширители (в том числе расши-	ВП
рители разрядности данных);	ВР
- микропроцессорные схемы управления памятью	ВС
микропрограммного управления;	ВГ
- функциональные преобразователи информации	ВД
(арифметические, тригонометрические, логарифмиче-ские, быстрого преобразования Фурье и др.);	ВЖ
- микрокалькуляторы.	ВХ
Генераторы:	
- прямоугольных сигналов (в том числе автоколеба-тельные мультивibrаторы, блокинг-генераторы и др.);	ГГ
- линейно изменяющихся сигналов;	ГЛ
- шума;	ГМ
- прочие;	ГН
- гармонических сигналов;	ГС
- сигналов специальной формы.	ГФ
Детекторы:	
- амплитудные;	ДА
- импульсные;	ДВ
- прочие;	ДП
- частотные;	ДС
- фазовые.	ДФ

Продолжение таблицы 1

Подгруппа и вид микросхем	Обозначение
Схемы источников вторичного электропитания:	
- выпрямители;	ЕВ
- стабилизаторы напряжения;	ЕК
- импульсные преобразователи;	ЕМ
- стабилизаторы напряжения непрерывные;	ЕН
- прочие;	ЕН
- схемы источников вторичного электропитания;	ЕС
- стабилизаторы тока	ЕТ
управления импульсными стабилизаторами напряжения.	ЕУ
Схемы цифровых устройств:	
- арифметическо-логические;	НА
- шифраторы;	НВ
- дешифраторы;	НД
- счетчики	НЕ
комбинированные;	НК
- подсумматоры;	НЛ
- сумматоры;	НМ
- прочие;	НП
- регистры.	НР
Коммутаторы и ключи:	
- напряжения;	КН
- прочие;	КП
- тока.	КТ
Логические элементы:	
- И—НЕ;	ЛБ
- И—НЕ/ИЛИ—НЕ;	ЛД
- расширители;	ЛЕ
• ИЛИ—НЕ;	ЛН
• И;	ЛК
• И—ИЛИ—НЕ/И—ИЛИ;	ЛЛ
• ИЛИ;	ЛМ
• ИЛИ—НЕ/ИЛИ;	ЛН
• НЕ;	ЛП
- прочие	ЛР
- И—ИЛИ—НЕ;	ЛС
- И—ИЛИ.	
Модуляторы:	
- амплитудные;	МА
- импульсные;	МИ
- прочие;	МП
- частотные;	МС
- фазовые.	МФ
Набор элементов:	
- диодов;	НД
- конденсаторов;	НЕ
- комбинированные;	НК
- прочие;	НП

Продолжение таблицы 1

Подраздел и вид микросхем	Обозначение
- резисторов;	НР
- транзисторов;	НТ
- функциональные (в том числе матрицы резисторов типа R=2R).	НФ
Преобразователи:	
- цифро-аналоговые;	НА
- аналого-цифровые;	НВ
- длительности;	НД
- умножители частоты аналоговые;	НЕ
- делители частоты аналоговые;	НК
- синтезаторы частоты;	НЛ
- мощности;	НМ
- напряжения (тока);	НН
- прочие;	НП
- код-код;	НР
- частоты (в том числе перемножители аналоговых сигналов);	НС
- уровни (согласователи);	НУ
- делители частоты цифровые.	НЦ
Схемы запоминающих устройств:	
- ассоциативные	РА
матрицы востановления ЗУ;	РВ
- ПЗУ (масочные)	РЕ
матрицы оперативных ЗУ;	РМ
- прочие;	РП
- ПЗУ с возможностью многократного программирования;	РР
- ПЗУ с возможностью однократного программирования;	РТ
- ОЗУ;	РУ
- ПЗУ с ультрафиолетовым стиранием и электрической записью информации;	РФ
- ЗУ на цилиндрических магнитных доменах (ЦМД).	РЦ
Схемы сравнения:	
- амплитудные (уровни сигналов);	СК
- по напряжению (компараторы);	СХ
- по времени;	СВ
- прочие;	СП
- частотные.	СС
Триггеры:	
- типа JK (универсальные);	ТВ
- динамические;	ТД
- комбинированные (типа DT, RST и др.);	ТК
- Шмита;	ТЛ
- типа D (с задержкой);	ТМ
- прочие;	ТП
- типа RS (с раздельным запуском);	ТР
- типа T (счетные).	ТТ

Продолжение таблицы 1

Подгруппа и вид микросхем	Обозначение
Усилители:	УВ
— высокой частоты ;	УД
— операционные	УЕ
повторители	УП
импульсных сигналов ;	УК
— широкополосные (в том числе видеоусилители)	УЛ
считывания и воспроизведения	УМ
показаний	УН
низкой частоты ;	УП
— прочие ;	УР
— промежуточной частоты ;	УС
— дифференциальные ;	УТ
— постоянного тока .	
Фильтры:	
— верхних частот ;	ФВ
— полосовые ;	ФЕ
— нижних частот ;	ФП
— прочие ;	ФН
— режекторные ,	ФР
Многофункциональные схемы:	
— аналоговые ,	ХА
— комбинированные ;	ХК
— цифровые ;	ХЛ
— цифровые матрицы ;	ХМ
— аналоговые матрицы ;	ХН
— комбинированные (аналоговые и цифровые)	ХТ
матрицы ;	
— прочие .	ХП
Фотоувеличительные схемы с зарядовой связью:	
— линейные ;	ЦЛ
— матричные ;	ЦМ
— прочие .	ЦП

серии по функциональному признаку I. Полное обозначение микросхемы 133ЛА1.

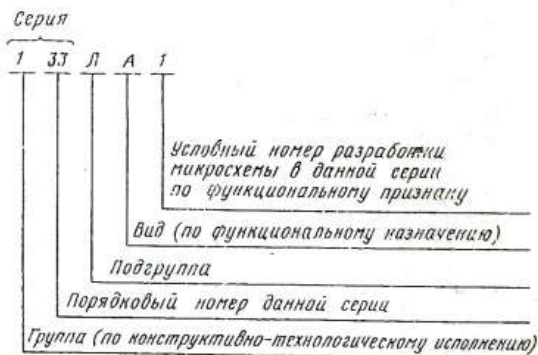
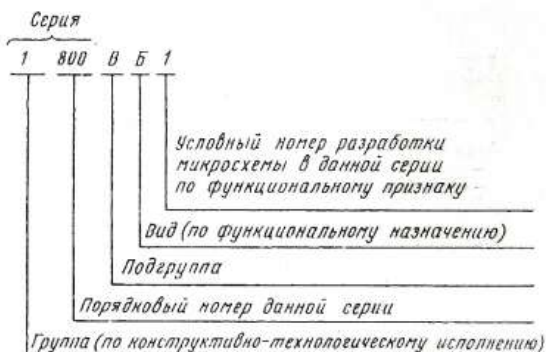


Рисунок 1 – Система обозначений ИМС

Основные электрические параметры базовых элементов определяют характеристики практически всех микросхем, входящих в состав конкретной серии

и определяют возможность совместной работы микросхем разных серий в составе аппаратуры.

Параметры цифровых элементов делятся на **эксплуатационные, экономические и технические**. Эксплуатационные параметры отражают качество элементов: длительность безотказной работы, удобство установки и демонтажа, ремонтпригодность, габариты, масса и т.д. Экономические параметры характеризуют стоимость элемента, энергоёмкость, содержание дорогостоящих и редких металлов.

На начальном этапе проектирования разработчик ориентируется в основном на технические параметры серийных или разрабатываемых элементов, так как именно технические параметры элементов определяют реализуемость проектируемого устройства.

Технические параметры делятся на статические и динамические. **Статические параметры** характеризуют свойства и режимы работы элемента во всех предусмотренных техническими условиями состояниях. Основные статические параметры приведены в табл. 2.

Динамические параметры представляют собой ограничения, накладываемые на длительности переходных процессов в цифровых элементах, и предельные частоты функционирования. Основные динамические параметры элементов на примере инвертирующего ЛЭ приведены в табл. 3.

Характеристики так же, как и параметры, подразделяются на статические и динамические. К основным статическим характеристикам элемента относятся **входная вольт-амперная характеристика (ВАХ)** и

Таблица 2- Основные статические параметры элементов

Входное напряжение логического «0»	$U_{вх}^0$, В
Входное напряжение логической «1»	$U_{вх}^1$, В
Выходное напряжение «0»	$U_{вых}^0$, В
Выходное напряжение «1»	$U_{вых}^1$, В
Логический перепад: $\Delta U_{л} = U^1 - U^0$	$\Delta U_{л}$, В
Пороговое напряжение логического элемента (ЛЭ)	$U_{пор}$, В
Напряжение инжектора (для ЭСЛ)	$U_{инж}$, В
Статическая помехоустойчивость «0» — максимально допустимая амплитуда положительной (для положительной логики) помехи на уровне U^0	$U_{ш}^0$, В
Статическая помехоустойчивость «1» — максимально допустимая амплитуда отрицательной (для положительной логики) помехи на уровне U^1	$U_{ш}^1$, В
Статическая помехоустойчивость	
$U_{ш, ср} = \min(U_{ш, ср}^0, U_{ш, ср}^1)$	$U_{ш, ср}$, В
Ошибочное напряжение	$U_{ош}$, В
Ток потребления от источника отрицательного и положительного напряжения	$I_{пот}^-, I_{пот}^+$, мА
Входной ток «0»	$I_{вх}^0$, мА
Входной ток «1»	$I_{вх}^1$, мА
Выходной ток «0»	$I_{вых}^0$, мА
Выходной ток «1»	$I_{вых}^1$, мА
Мощность потребления в состоянии «0»	$P_{пот}^0$, мВт
Мощность потребления в состоянии «1»	$P_{пот}^1$, мВт
Средняя мощность потребления	
$P_{пот, ср} = 0,5 \times 0,5 (P_{пот}^0 + P_{пот}^1)$	$P_{пот, ср}$, мВт
Входное сопротивление ЛЭ при $U_{вх} = U^0$	$R_{вх}^0$, КОм
Входное сопротивление ЛЭ при $U_{вх} = U^1$	$R_{вх}^1$, КОм
Выходное сопротивление ЛЭ при $U_{вых} = U^0$	$R_{вых}^0$, КОм
Выходное сопротивление ЛЭ при $U_{вых} = U^1$	$R_{вых}^1$, КОм
Коэффициент разветвления на выходе ЛЭ — максимально допустимое количество подключаемых к выходу аналогичных ЛЭ	$K_{раз}$
Коэффициент объединения на входе ЛЭ — максимально допустимое количество аналогичных входов ЛЭ	$K_{об}$
Сопротивление гальванической развязки	$R_{сг}$, МОм

выходная ВАХ. Входная ВАХ — зависимость тока (напряжения) i -го входа элемента от напряжения (тока) на этом же i — м входе, а также от напряжений (токов) на остальных выводах при заданных величинах внешних воздействий.

Таблица 3- Основные динамические параметры элементов

Длительность фронта переключений сигнала из состояния «0» в состояние «1»	t_{Φ}^{01} , с
Длительность фронта переключения сигнала из состояния «1» в состояние «0»	t_{Φ}^{10} , с
Длительность задержки выключения ЛЭ, измеряемая от уровня $0,1\Delta U_{\text{вх}}$ до уровня $0,9\Delta U_{\text{вых}}$	$t_{\text{эд}}^{01}$, с
Длительность задержки включения ЛЭ, измеряемая от уровня $0,9\Delta U_{\text{вх}}$ до уровня $0,1\Delta U_{\text{вых}}$	$t_{\text{эд}}^{10}$, с
Длительность задержки распространения сигнала при выключении логического элемента, измеренная от уровня $0,5\Delta U_{\text{вх}}$ отрицательного перепада до уровня $0,5\Delta U_{\text{вых}}$ положительного перепада	$t_{\text{эд}}^{01}$, р, с
Длительность задержки распространения сигнала при включении логического элемента, измеренная от уровня $0,5\Delta U_{\text{вх}}$ положительного перепада до уровня $0,5\Delta U_{\text{вых}}$ отрицательного перепада	$t_{\text{эд}}^{10}$, р, с
Среднее время задержки распространения сигнала $t_{\text{эд.р. ср}} = 0,5 (t_{\text{эд.р}}^{01} + t_{\text{эд.р}}^{10})$	$t_{\text{эд.р. ср}}$, с
Длительность импульса на уровне $0,5\Delta U_{\text{д}}$	$t_{\text{и}}$, с
Максимальная рабочая частота, на которой в наилучших условиях гарантируется работоспособность элемента . . .	f_{max} , Гц
Предельно допустимая емкость нагрузки	$C_{\text{н}}$, Ф
Предельно допустимая индуктивность нагрузки	$L_{\text{н}}$, Гн

Выходная ВАХ — зависимость тока (напряжения) от напряжения (тока) на j — м выходе элемента, а также от напряжений (токов) на остальных выводах при заданных величинах внешних воздействий. Гра-

фически ВАХ представляют собой семейство одномерных характеристик.

Производными от выходных ВАХ являются **передаточные характеристики** - зависимость выходного напряжения (тока) от входного напряжения (тока) при фиксированных напряжениях (токах) на остальных выводах.

Динамические характеристики цифровых элементов делятся на два типа и представляют собой зависимость динамических параметров элементов от электрических режимов и внешних факторов, а также зависимость некоторых статических параметров от рабочей частоты или временного интервала.

К первому типу динамических характеристик относятся: зависимость длительности задержки распространения сигнала от параметров нагрузки; зависимость длительности задержки распространения сигнала от температуры и других внешних факторов; зависимость длительности фронта импульса на выходе элемента от параметров входного сигнала.

Ко второму типу характеристик относятся, например: зависимость мощности потребления от частоты переключения элемента; зависимость допустимой амплитуды импульсной помехи от её длительности.

Техническая реализация цифровых схем, в которых сигналы представлены дискретно квантованными уровнями напряжения (тока), основана на использовании электронных коммутаторов напряжения (тока), называемых **электронными ключами**.

Раздел 1 Электронная память цифровых устройств

Лекция 1 Цифровые логические элементы

- 1 Алгебра логики: аксиомы, законы, тождества.
- 2 Реализация логических элементов на транзисторах.
- 3 Интегральные микросхемы, технологии исполнения.

Алгебра логики - это математический аппарат анализа и синтеза цифровых устройств, который изучает связь между переменными, принимающими только два значения: логического нуля и логической единицы.

Символами 0 и 1 обозначаются состояния, и ими нельзя пользоваться как арифметическими величинами.

Символами 0 и 1 представляются как входные сигналы цифровых устройств, так и их выходные функции.

Эти коренные отличия цифрового представления информации требуют иного математического аппарата (табл.1.1). По существующим правилам производятся преобразования логических переменных, упрощаются выражения для логических функций и, что самое важное, более простыми способами строятся схемы логических цифровых устройств, которые являются основой для микропроцессоров и ЭВМ.

В цифровой технике используются схемы, имеющие два состояния, обозначаемые нулём и единицей или словами ДА и НЕТ. Когда требуется обработать или запомнить какие-то числа, то они представляются в виде определённых комбинаций единиц и нулей.

Таблица 1.1-Математический аппарат алгебры логики

Аксиомы		Законы	Тождества
ИЛИ	И	$x+y=y+x$	$x\bar{y}+x\bar{y}=x(y+\bar{y})=x$
$x+0=x$	$x\ 0=0$	$xy=yx$	$x+xy=x(1+y)=x$
$x+1=1$	$x\ 1=x$	$x+(y+z)=(x+y)+z$	$x(x+y)=xx+xy=x$
$x+x=x$	$x\ x=x$	$x(yz)=(xy)z$	$x(\bar{x}+y)=x\bar{x}+xy=xy$
$x+\bar{x}=1$	$x\ \bar{x}=0$	$x(y+z)=(xy)+xz$	$(x+y)(\bar{x}+z)=x+z$
$\overline{\bar{x}}=x$	$\overline{\bar{x}}=x$	$\overline{x+y}=\bar{x}\bar{y}; \overline{xy}=\bar{x}+\bar{y}$	$x\bar{y}+y=x\bar{y}+y(1+x)=x+y$

Можно задать вопрос: почему в цифровых схемах всегда используются только нули и единицы? Ответ простой: это связано с тем, что вход и выход логической схемы могут находиться только в двух состояниях. Одно состояние такой схемы (табл.1.2) характеризуется напряжением 0 В, а другое- напряжением 5 В (**положительная логика**). Другая комбинация напряжений может состоять из 0 и -5В (**отрицательная логика**), т.е. при положительной логике высокому уровню напряжения ставят в соответствие 1, при отрицательной логике- 0.

Таблица 1.2-Положительная и отрицательная логика

Вид логики	Полярность напряжения источника питания	
	положительная	отрицательная
Положительная		
Отрицательная		

Мы придерживаемся правил положительной логики, т.е. принимаем уровень напряжения +5 В за 1 и нулевой уровень напряжения – за 0. Кроме того, мы говорим, что разомкнутое состояние переключателя соответствует нулю, а замкнутое состояние – единице.

Для реализации логических операций применяют соответствующие **логические элементы** (ЛЭ). Система ЛЭ, позволяющая строить на их базе логические функции любой сложности, называется **базисом**. Базис образуют ЛЭ ИЛИ, И, НЕ. Кроме того, на практике широко применяют ЛЭ, реализующие простейшие функции двух переменных ИЛИ-НЕ, И-НЕ и некоторые другие, например, **ИСКЛЮЧАЮЩЕЕ ИЛИ**.

В цифровой технике при создании базовых ЛЭ И, ИЛИ, И-НЕ, ИЛИ-НЕ, НЕ используются биполярные и полевые транзисторы. Перечисленные полупроводниковые элементы являются бесконтактными переключателями, имеющими большую надёжность и срок службы, чем механические переключатели. Кроме того, транзисторы являются усилителями, т.е. могут переключать большие токи при небольших затратах энергии на управление.

Из цифровых транзисторных схем легко компоновать более сложные логические схемы. Получаемые в этом случае интегральные схемы (ИС) могут содержать до нескольких миллионов транзисторов на одной кремниевой пластине (чипе) площадью в несколько квадратных миллиметров. В этих случаях говорят о цифровых схемах типа МИС (малые ИС),

СИС (средние ИС), БИС (большие ИС) и СБИС (сверхбольшие ИС).

Логические биполярные микросхемы чаще выполняют на транзисторах типа п-р-п с напряжением питания $E_k > 0$. Этим объясняется, что используемые здесь сигналы имеют положительную полярность. Уровню высокого положительного потенциала («1») на выходе соответствует закрытое состояние транзистора, а уровню низкого потенциала («0») — его открытое состояние. С этой точки зрения, в частности, и следует понимать действие сигнала на входе ЛЭ, имеющего непосредственную связь с другими элементами в конкретной схеме. Для упрощения уровень низкого потенциала сигнала полагаем равным нулю, а процесс перехода транзистора из одного состояния в другое — достаточно быстрым.

Логический элемент ИЛИ. Данный ЛЭ имеет несколько входов и один общий выход, он выполняет операцию логического сложения (дизъюнкции):

$$F = x_1 + x_2 + x_3 + \dots + x_n,$$

где F — функция; $x_1, x_2, x_3, \dots, x_n$ — аргументы (переменные, двоичные сигналы на входах).

Моделью двухвходового ЛЭ ИЛИ может служить схема (рис. 1.1 а). Значение функции $F=1$ на выходе создаётся передачей входного сигнала вследствие отпираания соответствующего диода. К диодам, для которых входной сигнал равен нулю, прикладывается обратное напряжение, и они находятся в закрытом состоянии. В дальнейшем переключатель называем ключ.

Проследим, как отреагирует схема (рис. 1.1 б), если замкнуть контакты ключей x_1 или x_2 , или оба ключа одновременно. В результате источник питания через один или несколько ключей присоединится к выходу схемы и вольтметр покажет напряжение +5 В, которое соответствует логической единице. И только в том случае, когда контакты ключей x_1 и x_2 будут разомкнуты, вольтметр покажет на выходе 0 В, т.е. напряжение, соответствующее логическому нулю.

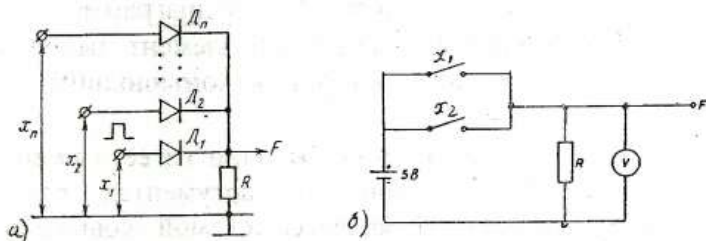


Рисунок 1.1- Схема реализации ЛЭ ИЛИ на диодах (а) и на ключах (б)

Условное обозначение ЛЭ ИЛИ, его таблица истинности и временные диаграммы представлены на рис. 1.2 а,б,в соответственно. Таблицу истинности можно выразить словами: функция F равна 1, если x_1 или x_2 , или несколько названных переменных одновременно равны 1; функция F равна 0, когда все её аргументы равны нулю.

Если число входов ЛЭ превышает количество входных сигналов, то неиспользуемые входы заземляют. Тем самым исключается возможность про-

хождения помех через ЛЭ ИЛИ от наводок по неиспользованным входам.

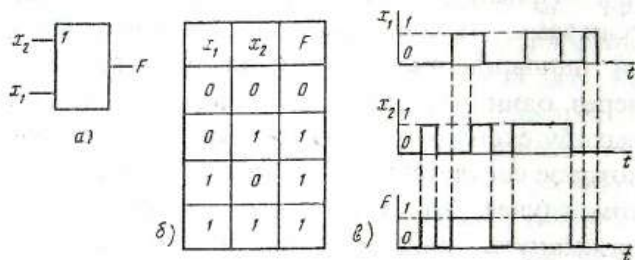


Рисунок 1.2- Условное обозначение ЛЭ ИЛИ (а), его таблица истинности (б) и временные диаграммы (в) **Логический элемент И**. Данный элемент выполняет операцию логического умножения (конъюнкции).

$$F = x_1 \cdot x_2 \cdot \dots \cdot x_n$$

Функция $F = 0$, когда хотя бы один из её элементов равен нулю и $F=1$ при всех аргументах, равных единице. Элемент И является схемой совпадения: сигнал «1» на выходе появляется при совпадении сигналов «1» на всех входах.

Проследим за напряжением на выходе схемы (рис.1.3), т.е. в точке F. Из схемы следует, что вольтметр покажет напряжение +5 В только после того, как будут замкнуты контакты ключей x_1 , x_2 , или, другими словами, единица появится на выходе только тогда, когда ключи x_1 и x_2 находятся в замкнутом состоянии.

С другой стороны, показания вольтметра будут равны 0 В только после того, как будут разомкнуты контакты ключей или x_1 , или x_2 , или, другими словами;

ноль появится на выходе схемы только тогда, когда или x_1 , или x_2 , или оба эти ключа одновременно находятся в разомкнутом состоянии.

Простейшая схема ЛЭ И на диодах приведена на рис. 1.3.б. Отличие её от схемы ЛЭ ИЛИ (рис. 1.1 а) заключается в изменении полярности включения диодов и в наличии резистора R_1 , подключённого к шине «+» источника питания.

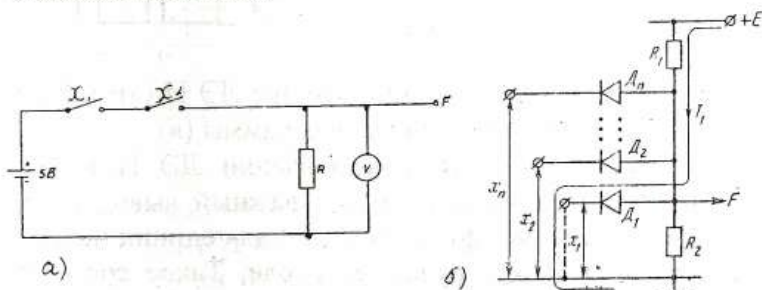


Рисунок 1.3- Схема реализации ЛЭ И на ключах (а) и на диодах (б)

Работа схемы При всех входных сигналах, равных 1, на катодах диодов имеется положительный потенциал относительно общей точки и все диоды закрыты. На выходе схемы создаётся напряжение $ER_2 / (R_1 + R_2)$, определяющее $F=1$. При нулевом значении сигнала хотя бы на одном из входов соответствующий диод будет проводить ток и шунтировать резистор R_2 , выполняющий роль нагрузки. Напряжение на выходе при этом определяется падением напряжения на открытом диоде и близко к нулю ($F=0$). Условное обозначение на схемах, таблица

истинности и временные диаграммы ЛЭ И показаны на рис. 1.4 а,б,в соответственно.

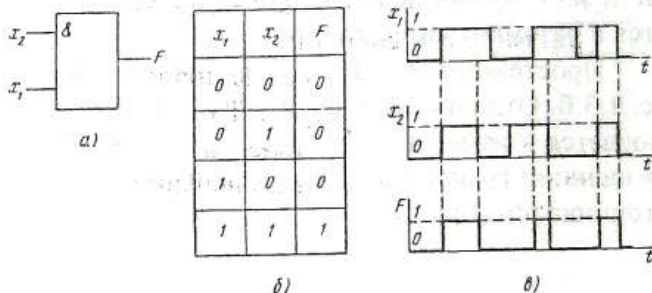


Рисунок 1.4- Условное обозначение ЛЭ И (а), таблица истинности (б) и временные диаграммы (в)

Сравнивая схемы реализации ЛЭ И и ИЛИ (рис.1.1 и 1.3), можно сделать важный вывод о том, что они реализуют функцию ИЛИ для единиц на входе и функцию И для нулей на входе. Такое состояние подтверждает теорема де Моргана:

$$1) \quad \overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2},$$

т.е. инверсия суммы переменных есть произведение их инверсий;

$$2) \quad \overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2},$$

т.е. инверсия произведения переменных есть сумма их инверсий. Справедливость этого подтверждает табл. 1.3.

Таблица 1.3-Инверсии и инверсные преобразования

x	y	\bar{x}	\bar{y}	$x+y$	$x \cdot y$	$\overline{x+y}$	$\overline{x \cdot y}$	$\overline{x+y}$	$\overline{x \cdot y}$
0	0	1	1	0	0	1	1	1	1
0	1	1	0	1	0	0	1	1	1
1	0	0	1	1	0	0	0	1	1
1	1	0	0	1	1	0	0	0	0

Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ.
 Этот ЛЭ является основой многих других логических схем, например, таких, как схема контроля чётности, компаратора (схема сравнения) и др. Покажем таблицу состояний (табл. 1.4) ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ.

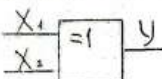
Таблица 1.4 - ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ

X ₁	X ₂	У	$\bar{У}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Как следует из таблицы, функция У равна 1, если хотя бы один из входов X₁ или X₂ равен 1, но не оба вместе. Если оба входа X₁ и X₂ равны 1 или 0, то результатом будет 0. Инверсная функция У называется **функцией равнозначности**.

Посредством табл. 1.4 представляется возможным построить **полусумматор**. Действительно, функция У образуется как арифметическая сумма переменных X₁ и X₂, однако, перенос в старший разряд не формируется. Если бы этот перенос образовался, то схему можно было бы назвать **полным сумматором**.

Функция, реализующая ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ, записывается: $(X_1 \oplus X_2)$, название функции - «сумма по модулю 2», читается: «или X₁ или X₂». Полная булева формула: $У = X_1 \oplus X_2 = \bar{X}_1 X_2 + X_1 \bar{X}_2$.

Обозначение ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ 

Логический элемент НЕ имеет один вход и один выход (рис.1.5, а) и выполняет операцию инверсии (отрицания). Его называют **инвертором**, при этом реализуется функция $F = \bar{x}$. Работу схемы ЛЭ НЕ иллюстрируют таблица истинности и временные диаграммы (рис.1.5, б, в). Из таблицы истинности видно, что сигналу $x = 0$ на входе соответствует функция $F = 1$ и, наоборот, при $x = 1$ функция $F = 0$.

Логический элемент НЕ представляет собой **электронный ключ** (рис.1.6 а), построенный на биполярном транзисторе (БТ). Электронный ключ усиливает и формирует сигнал по напряжению и мощности. Транзистор включён по схеме с общим эмиттером. При $x = 0$ ($U_{вх} = 0$) транзистор закрыт, напряжение $U_{кз} = E_{к} - I_{к} R_{к}$, т.е. $F = 1$. При $x = 1$ ($U_{вх} = U_{макс}$) транзистор открыт, напряжение $U_{кз} \approx 0$, т.е. $F = 0$.

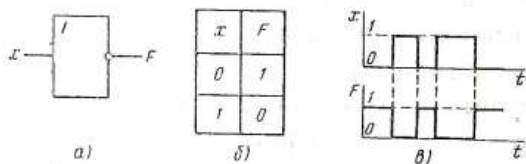


Рисунок 1.5- Условное обозначение ЛЭ НЕ (а), его таблица истинности и временные диаграммы (б) и (в)

Открытое состояние транзистора обеспечивается заданием тока базы, вводящего транзистор в режим насыщения. Для режима насыщения должно выполняться соотношение $I_{б} > I_{кн} / \beta$, где $I_{б}$ – ток базы транзистора; $I_{кн}$ – ток коллектора насыщения; β – коэффи-

циент передачи по току базы. Кроме того, для насыщения должно выполняться условие $U_{кз} < U_{бз}$, для режима отсечки должно быть $I_б \ll (0,1 - 0,3) I_{кн} / \beta$.

МОП-транзисторы с индуцированным каналом нашли наибольшее применение при построении ЛЭ. Это объясняется одинаковой полярностью напряжений, требуемых для управления ($U_{зи}$) и питания ($U_{си}$) этих транзисторов, и, следовательно, простым решением задачи последовательного соединения на их основе. ЛЭ на МОП- транзисторах обладают рядом существенных преимуществ по сравнению с ЛЭ на БТ. Благодаря высокому входному сопротивлению МОП- транзисторов, ЛЭ на их основе обладают высокой нагрузочной способностью ($n > 10-20$). Другим свойством, особенно важным для применения в ИС, является высокая плотность упаковки ЛЭ. Она оказывается примерно в 10 раз выше, чем в ИС на основе БТ. Технология получения МОП - транзисторов проще, чем БТ. Наконец, сопротивлением проводящего канала МОП-транзистора можно управлять, что даёт возможность использовать транзистор в качестве пассивного элемента- резистора. Это позволяет выполнять ЛЭ на базе только транзисторных структур, что упрощает и удешевляет их технологию. Недостатком этих ЛЭ является меньшее быстродействие.

Схема ЛЭ НЕ на МОП- транзисторах представлена на рис.1.6 б. В интегральных ИС на МОП- транзисторах функцию нагрузки выполняет также МОП-транзистор. Транзистор T_y в схеме является управ-

ляющим с индуцированным каналом р- типа, а транзистор T_n - нагрузочным с таким же каналом.

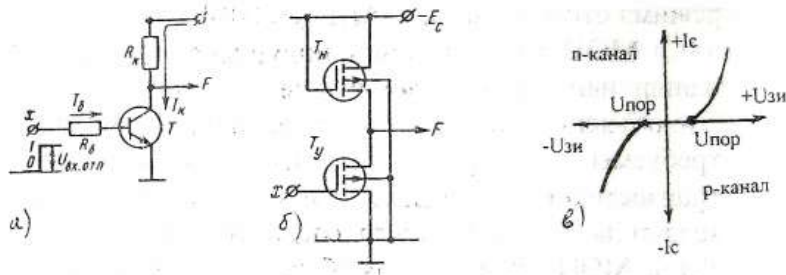


Рисунок 1.6- Схема ЛЭ НЕ: на БТ (а), на одностипных МОП-транзисторах (б), сток- затворная ВАХ МОП-транзистора с индуцированным р- и п-каналом (в)

Напряжение питания МОП-транзисторов имеет отрицательную полярность (для р- канала), в связи с чем состоянию логической «1» ($F=1$) соответствует отрицательный потенциал выходной шины (отрицательная логика табл.1.2). Логическому «0» ($F=0$) отвечает близкое к нулю выходное напряжение. Чтобы транзистор был закрыт, напряжение затвор исток $U_{зи}$ должно быть меньше порогового напряжения $U_{пор}$ (рис.1.6 в). Для отпираания транзистора к нему прикладывается напряжение отрицательной полярности $U_{зи}$, превышающее $U_{пор}$.

Поясним принцип действия схемы (рис.1.6 б). При $x=1$ входное напряжение превышает пороговое и транзистор T_y открыт ($F=0$). Падение напряжение на нём мало. Транзистор T_n также открыт, так как между

затвором и истоком прикладывается напряжение, превышающее пороговое напряжение. Технологию МС выбирают так, чтобы получить в транзисторе T_n более узкий и длинный канал, чем в транзисторе T_y .

При $x = 0$ напряжение выходного сигнала меньше порогового напряжения $U_{пор}$ транзистора T_y , и транзистор T_n закрыт ($F = 1$). Через оба транзистора протекает небольшой ток, определяемый закрытым транзистором T_y . При этом транзистор T_n работает на границе его отпирания с напряжением $U_{зи} = U_{пор}$.

Логический элемент ИЛИ-НЕ представляет собой последовательное соединение ЛЭ ИЛИ и ЛЭ НЕ (рис. 1.7 а). Схема, которая реализует функцию ИЛИ-НЕ, представлена на рис. 1.7 б. Если x_1 или x_2 одновременно замкнуты, т.е. проводят ток, то на выходе схемы появится 0 (контакты шунтируют вольтметр). И, наоборот, если x_1 и x_2 разомкнуты, т.е. находятся в состоянии 0, то на выходе появится 1 (вольтметр покажет максимальное значение напряжения).

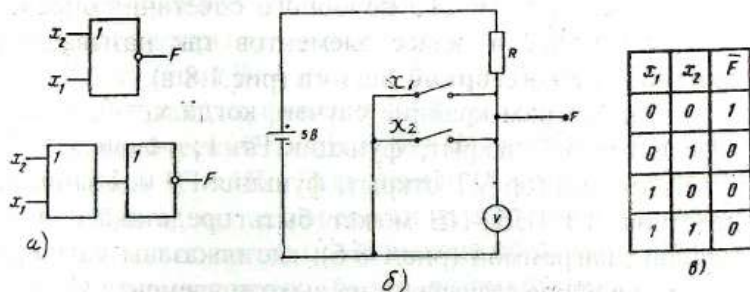


Рисунок 1.7- Функциональная схема ЛЭ ИЛИ-НЕ (а), техническая реализация (б), таблица истинности (в)

Таблица истинности (рис. 1.7 в) свидетельствует, что входным сигналам, равным единице, соответствует логический «0», т.е. $F=0$ на выходе, а при нулевых сигналах на всех входах – логическая «1», т.е. $F=1$ на выходе.

Выходной сигнал схемы ИЛИ-НЕ реализует функцию ИЛИ-НЕ для единиц на входе, т.е. на языке алгебры логики $F = \overline{x_1 + x_2}$ или словами: F равна нулю, если x_1 или x_2 , или несколько этих переменных одновременно равны 1. Эта же схема реализует функцию И-НЕ для нулей на входе, поэтому можно записать $F = \overline{x_1} \overline{x_2}$ или словами: F равна единице, если x_1 и x_2 равны 0. При этом оказывается, что $F = \overline{x_1 + x_2} = \overline{x_1} \overline{x_2}$, т.е. дополнение суммы переменных равно произведению их дополнений (теорема де Моргана). Необходимо запомнить, что схема ИЛИ-НЕ реализует функцию ИЛИ-НЕ для единиц на входе и функцию И-НЕ для нулей на входе.

Схему ЛЭ ИЛИ-НЕ можно представить как последовательное соединение элемента ИЛИ на диодах и элемента НЕ. ЛЭ подобного сочетания определяет, в частности, класс элементов так называемой диодно-транзисторной логики (рис. 1.8 а).

Рассмотрим крайние случаи, когда $x_1=0$, $x_2=0$, транзистор VT закрыт, функция $F=1$; если $x_1=1$, $x_2=1$, транзистор VT открыт, функция $F=0$. Принцип действия ЛЭ ИЛИ-НЕ может быть представлен временной диаграммой (рис. 1.8 б), где показаны сигналы x_1 и x_2 на входах, сигнал y на выходе элемента ИЛИ и выходная функция F .

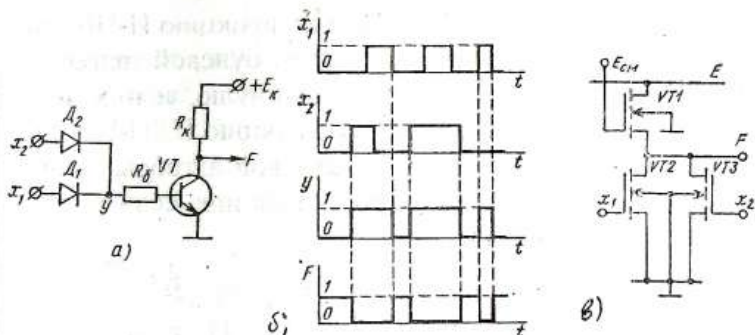


Рисунок 1.8- Схема ЛЭ ИЛИ-НЕ ДТЛ (а), его временная диаграмма (б), схема ЛЭ ИЛИ-НЕ на МОП-транзисторах (в)

В схеме (рис. 1.8, в) транзистор $VT1$ является нагрузочным (выполняет роль сопротивления $R=10 - 15$ кОм). Транзисторы $VT2, VT3$ включены параллельно, работают в режиме ключей, реализуют логическую функцию ИЛИ-НЕ. Все транзисторы схемы имеют индуцированный n-канал.

Для пояснения принципа действия схемы рассмотрим крайние случаи: при $x_1=1, x_2=1$ транзисторы $VT2, VT3$ открыты, выход схемы F закорачивается на землю, функция $F=0$; при $x_1=0, x_2=0$ транзисторы $VT2, VT3$ закрываются, функция $F=1$.

Логический элемент И-НЕ является комбинацией схем И и НЕ. Если замкнуть контакты ключей (рис. 1.9, а) x_1, x_2 , т.е. перевести их в состояние 1, на выходе схемы появится 0. На выходе появится 1, если x_1 или x_2 одновременно будут разомкнуты, т.е. будут находиться в состоянии 0. Таблица истинности и условное обозначение ЛЭ И-НЕ представлены на

рис. 1.9 б, в. Схема И-НЕ реализует функцию И-НЕ для единиц на входе, что на языке булевой алгебры записывается $F = \overline{x_1 x_2}$, т.е. $F = 0$, если x_1 и x_2 равны 1. Схема И-НЕ реализует функцию ИЛИ-НЕ для нулей на входе, что на языке булевой алгебры записывается $F = \overline{x_1} + \overline{x_2}$, т.е. $F = 1$, если x_1 и x_2 одновременно равны 0.

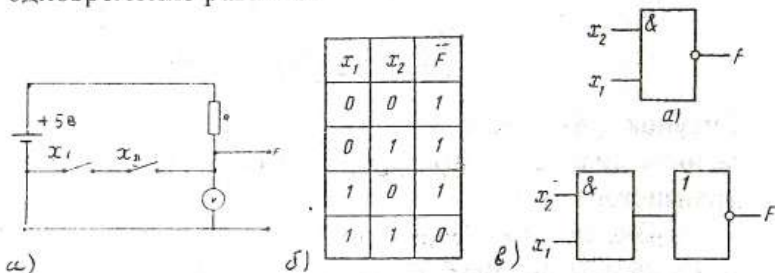


Рисунок 1.9- Техническая реализация ЛЭ И-НЕ (а), таблица истинности (б) и его условное обозначение (в)

Необходимо запомнить, что **схема И-НЕ реализует функцию И-НЕ для единиц на входе и функцию ИЛИ-НЕ- для нулей на входе (теорема де Моргана).**

Схема ЛЭ И-НЕ ДТЛ и временные диаграммы приведены на рис.1.10 а,б. При $x_1 = 1$ и $x_2 = 1$ диоды VD1 и VD2 закрыты. Образуется электрическая цепь: $+E_k - R_6 - VD3 - VD4 -$ эмиттерный переход VT $- E_k$. Транзистор VT открыт и насыщен, $F = 0$. При $x_1 = 0$ и $x_2 = 0$ диоды VD1 и VD2 открыты. Диоды VD3 - VD4 и эмиттерный переход VT оказываются шунтированными диодами VD1 и VD2. Транзистор VT закрыт, т.к. ток базы равен нулю, $F = 1$. Диоды VD3, VD4

исключают возможность отпирания транзистора в этом случае.

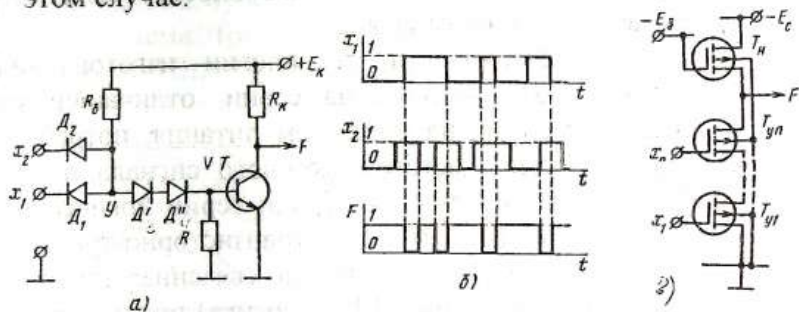


Рисунок 1.10- Схема ЛЭ И-НЕ ДТЛ (а), его временная диаграмма (б), схема ЛЭ И-НЕ на одностипных МОП-транзисторах (в)

Схема ЛЭ И-НЕ на одностипных МОП- транзисторах (рис.1.10 в) содержит общий нагрузочный транзистор T_n и группу из n последовательно включённых управляющих транзисторов T_y . На выходе схемы будет действовать сигнал логического нуля только при всех одновременно открытых управляющих транзисторах ($x_1 = x_2 = \dots = x_n = 1$).

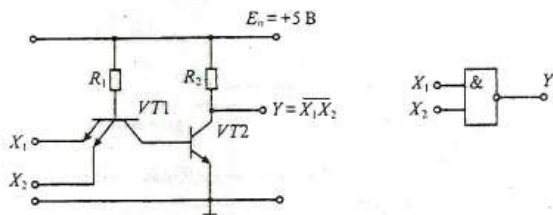
Все ЛЭ описываются набором параметров, которые имеются в технических условиях (ТУ). К основным параметрам ЛЭ относятся: набор логических функций (приложение А); число входов по И и по ИЛИ (от 2 до 16); **коэффициент разветвления** по выходу (характеризует нагрузочную способность ЛЭ и определяется количеством входов одностипных элементов, которые можно подключить к выходу); потребляемая мощность; **задержка распространения сигнала** (сиг-

нал на выходе ЛЭ задерживается относительно входного сигнала, что определяет не только быстродействие ЛЭ, но и их работоспособность); максимальная частота входного сигнала.

В зависимости от технологии изготовления логические ИМС делятся на серии, отличающиеся набором элементов, напряжением питания, потребляемой мощностью, частотой входного сигнала и т.д. Наибольшее применение получили серии логических ИМС, выполненные по ТТЛ (транзисторно-транзисторная логика), ЭСЛ (эмиттерно-связанная логика), КМОП (комплементарная МОП-логика) технологиям.

В ИМС, выполненной по технологии ТТЛ, в качестве базового элемента используется многоэмиттерный транзистор (МЭТ). Изготовление МЭТ в ИМС не намного сложнее, чем изготовление обычного транзистора, а площадь, занимаемая МЭТ в кристалле полупроводника, меньше диодной части элемента ИМС. МЭТ (рис. 1.11 а) имеет несколько эмиттеров, изолированных друг от друга. Благодаря этому переходы база-эмиттер можно рассматривать как параллельно включённые диоды. Транзистор VT_1 является управляющим для транзистора VT_2 . При подаче на эмиттеры сигналов $x_1 = 0$, $x_2 = 0$ транзистор VT_1 открывается и шунтирует транзистор VT_2 , который закрывается, и сигнал на выходе схемы равен единице. При подаче сигналов $x_1 = 1$, $x_2 = 1$ все эмиттерные переходы будут находиться под обратным напряжением, а коллекторный переход – под прямым. Ток базы I_b , протекающий через VT_1 , будет обуслов-

ивать ток коллектора I_k этого же транзистора, транзистор VT2 будет открыт, его сигнал $F = 0$. Таким образом, схема (рис.1.11) выполняет логическую операцию И-НЕ.



рисунк 1.11- Упрощённая схема ЛЭ 2И-НЕ (ТТЛ) первым разработчиком ИМС по технологии ТТЛ является фирма Texas Instruments, которая выпустила ИМС серии SN74. В приложении Б приведены основные классификационные параметры ИМС (технология ТТЛ) и показана коммутация ИМС с внешними выводами корпуса.

ИМС, выполненные по технологии ЭСЛ, отличаются от других типов ИМС наибольшим быстродействием, которое обусловлено тем, что биполярные транзисторы в этих схемах работают без насыщения, т.е. могут находиться либо в активном режиме, либо в режиме отсечки.

В качестве базового элемента в ИМС данного типа используется дифференциальный усилитель (рис.1.12), выполненный на транзисторах VT1- VT3. На базы VT1, VT2 подаются логические сигналы, стабилизация общего эмиттерного тока I_0 осуществ-

ляется высокоомным резистором R_3 . На базу VT3 подаётся постоянный потенциал от источника опорного напряжения $E_{оп}$. Эмиттерный повторитель собран на основе VT4 и является выходным, он усиливает сигнал по мощности и обеспечивает быстрый заряд ёмкости нагрузки.

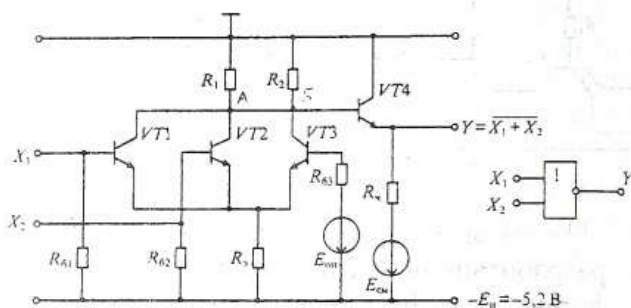


Рисунок 1.12- Упрощённая схема логического элемента 2ИЛИ- НЕ (ЭСЛ)

Выходной сигнал можно снимать как с инверсного выхода дифференциального усилителя (точка А), что обеспечивает логическую операцию НЕ, так и с неинверсного выхода (точка Б), что обеспечивает выполнение операции ИЛИ без инверсии.

Первым разработчиком ИМС по технологии ЭСЛ была фирма Motorola, которая выпустила серию ИМС МС 10000 (МС10К). В приложении В приведены параметры ИМС, выполненные по технологии ЭСЛ, а также их коммутация в цифровых схемах.

В ИМС, выполненных по технологии КМОП, в качестве базового элемента используются ключевые схемы, построенные на комплементарных МОП-транзисторах, представляющие собой два полевых транзистора с индуцированным каналом n - и p -типа (рис. 1.13 а).

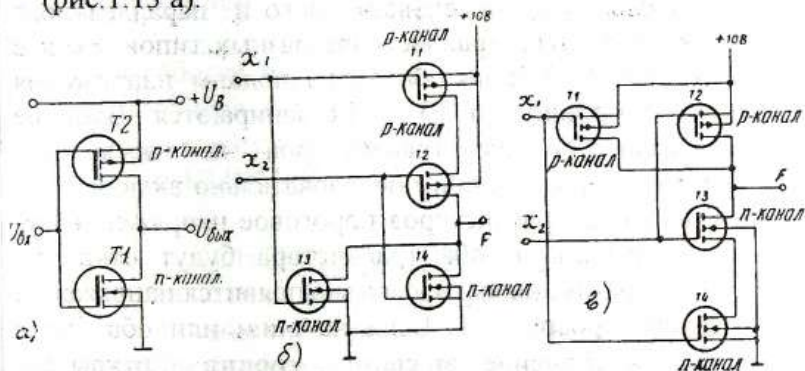


Рисунок-1.13- Базовая схема КМОП-транзистора (а), схемы ЛЭ ИЛИ-НЕ (б) и И-НЕ (в) на КМОП-транзисторах

Если в этой схеме (рис. 1.13 а) на вход подаётся напряжение высокого уровня, напряжение на затворе Т1 превысит пороговое (рис.1.6 г), а напряжение на затворе Т2 будет меньше порогового. При этом Т1 становится проводящим, а Т2- запирающим. Выход схемы при этом замыкается на землю (низкий уровень) через Т1 (примерно 300 Ом). Напряжение выходного сигнала $U_{\text{вых}} = 0$. И, наоборот, если на вход подаётся напряжение низкого уровня, проводящим оказывается Т2, а запирающим Т1. Выход схемы замыкается на

шину U_n через сопротивление T_2 , равное примерно 500 Ом. Напряжение выходного сигнала $U_{\text{вых}} = 1$. Ток запираения в каналах обоих транзисторов не превышает 1 нА, входной ток определяется током утечки между затвором и каналом проводимости и составляет < 1 нА.

ЛЭ ИЛИ-НЕ и И-НЕ на КМОП-транзисторах получают путём последовательного и параллельного соединения групп транзисторов разных типов. Если в схеме (рис. 1.13 б) на оба входа поданы напряжения **низкого уровня**, то T_3 и T_4 запираются. Входное напряжение обоих транзисторов не превышает пороговое. Для верхних последовательно включённых р-канальных транзисторов пороговое напряжение будет превышено, и оба транзистора будут открыты. Таким образом, на выходе схемы появится напряжение высокого уровня $F=1$. Если на один или оба входа подано напряжение **высокого уровня**, открытым всегда будет нижний транзистор, а запертым – верхний транзистор. В результате на выходе схемы появится напряжение низкого уровня $F=0$. Из таблицы истинности ЛЭ ИЛИ-НЕ (рис. 1.7 в) можно сделать вывод, что эта схема обеспечивает функцию **ИЛИ-НЕ** для сигналов высоких уровней и функцию **И-НЕ** – для сигналов низких уровней.

В отличие от схемы ЛЭ ИЛИ-НЕ в схеме ЛЭ И-НЕ (рис. 1.13 в) верхние транзисторы с каналами р-типа включены параллельно, а нижние транзисторы с каналами п-типа – последовательно. Принцип работы схемы аналогичен рассмотренному выше примеру. Таблица истинности приведена на рис. 1.9 б. В случае

схемы ЛЭ И-НЕ мы получаем функцию И-НЕ для сигналов высокого уровня и ИЛИ-НЕ для сигналов низкого уровня. Достоинством ИМС КМОП является малая потребляемая мощность и высокая помехозащищённость в сочетании с высоким быстродействием и хорошей нагрузочной способностью.

Разработка первых ИМС КМОП серии CD4000 была выполнена фирмой RCA в 1968г. В приложении Г приведены параметры ИМС, выполненные по технологии КМОП, а также их коммутация в цифровых схемах.









КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Дайте определение алгебре логики.
- 2 Каким образом представляются аргументы и функции в алгебре логики?
- 3 Какие значения могут принимать переменные в цифровой технике?
- 4 Приведите основные законы, аксиомы и тождества алгебры логики.
- 5 Дайте определение положительной и отрицательной логики.
- 6 Какие ЛЭ образуют базис построения логических схем?
- 7 Поясните, какие достоинства имеют транзисторы по сравнению с механическими переключателями?
- 8 Дайте определение ЛЭ ИЛИ, ИЛИ-НЕ.
- 9 Запишите формулу функции, реализующую ЛЭ ИЛИ.
- 10 Изобразите таблицы состояний ЛЭ ИЛИ, ИЛИ-НЕ.
- 11 Изобразите схемы реализации ЛЭ ИЛИ, ИЛИ-НЕ.
- 12 Дайте определение ЛЭ И, И-НЕ.

- 13 Запишите формулы функций, реализующие ЛЭ И, И-НЕ
- 14 Изобразите таблицы состояний ЛЭ И, И-НЕ.
- 15 Изобразите схемы реализации ЛЭ И, И-НЕ.
- 16 Приведите теорему де Моргана
- 17 Дайте таблицу состояний ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ, поясните особенности использования.
- 18 Дайте определение ЛЭ НЕ.
- 19 Запишите формулу функции, реализующую ЛЭ НЕ.
- 20 Изобразите таблицу состояний ЛЭ НЕ.
- 21 Изобразите схему реализации ЛЭ НЕ
- 22 Приведите основные свойства электронного ключа.
- 23 Что значит ключ открыт и насыщен? Поясните это на примере использования биполярного транзистора.
- 24 Что значит ключ закрыт? Поясните это на примере использования полевого транзистора
- 24 Приведите основные достоинства МОП- транзисторов по сравнению с биполярными транзисторами.
- 25 Поясните принцип действия электронного ключа, собранного на МОП-транзисторах.
- 26 Приведите электрическую схему ЛЭ ИЛИ-НЕ, реализованную на ДТЛ.
- 27 Приведите электрическую схему ЛЭ И-НЕ, реализованную на ТТЛ.
- 26 Приведите электрическую схему ЛЭ ИЛИ-НЕ, реализованную на ЭСЛ.
- 27 Приведите электрическую схему ЛЭ И-НЕ, реализованную на КМОП- транзисторах.
- 28 Дайте названия основных параметров ЛЭ, поясните их сущность.

ПРИЛОЖЕНИЕ А

(справочное)

Элемент	Обозначение	Выполняемая функция и схема
НЕ	ЛН	 $Y = \bar{X}$
И	ЛИ	 $Y = X_1 X_2$
И-НЕ	ЛА	 $Y = \overline{X_1 X_2}$
ИЛИ	ЛЛ	 $Y = X_1 + X_2$
ИЛИ-НЕ	ЛЕ	 $Y = \overline{X_1 + X_2}$
И-ИЛИ	ЛС	 $Y = X_1 X_2 + X_3 X_4$
И-ИЛИ-НЕ	ЛР	 $Y = \overline{X_1 X_2 + X_3 X_4}$
Исключающее ИЛИ	ЛП	 $Y = \bar{X}_1 X_2 + X_1 \bar{X}_2 = X_1 \oplus X_2$

ПРИЛОЖЕНИЕ Б

(справочное)

Тип ИМС	Функциональное назначение	I _{зд. р. ис.} , не более	I _{пот.} , мА, не более	УГО
---------	---------------------------	------------------------------------	----------------------------------	-----

К531: I₁⁰ < |-2| мА; I₁¹ < 50 мкА; T₂¹ < 0,1 мА;

U₂⁰ < 0,5 В; U₂¹ > 2,7 В

ЛА1П/ЛА16П	4И—НЕ	5/6,5	18/44	а/а
ЛА2П	8И—НЕ	7	10	б
ЛА3П/ЛА12П	2И—НЕ	5/6,5	36/80	в/в
ЛА4П	3И—НЕ	5	27	г
ЛА9П	2И—НЕ с открытым коллекторным выходом	7,5	36	в
ЛА17П	4И—НЕ с тремя логическими состояниями выхода	9	50	ч
ЛЕ1П	2ИЛИ—НЕ	5,5	45	ж
ЛЕ7П	5ИЛИ—НЕ	6	45	ч
ЛИ1П	2И	7,5	57	к
ЛИ3П	3И	7,5	42	ш
ЛН1П	НЕ	5,0	54	р
ЛН2П	НЕ с открытым коллекторным выходом	7,5	54	р
ЛР9П	4—2—3—2И—4ИЛИ—НЕ	5,5	16	н
ЛР10П	4—2—3—2И—4ИЛИ—НЕ с открытым коллекторным выходом	8,5	11	ы
ЛР11П	2—2И—2ИЛИ—НЕ	5,5	22	э
ЛП5П	«Исключающее ИЛИ»	10,0	75	т

К533: I₁⁰ < |-0,36| мА; I₁¹ < 20 мкА; I₂¹ < 0,1 мА;

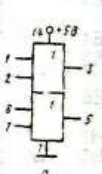
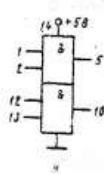
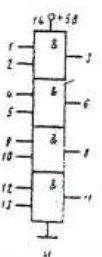
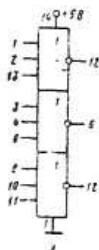
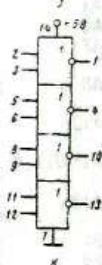
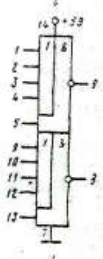
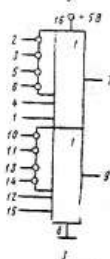
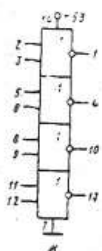
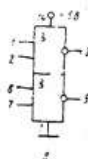
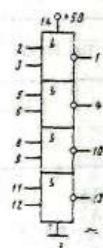
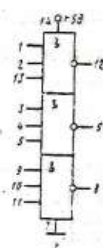
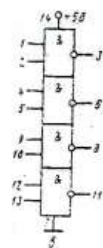
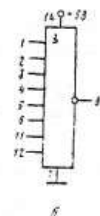
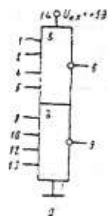
U₂⁰ < 0,4 В; U₂¹ > 2,5 В

ЛА1	4И—НЕ	20	2,2	а
ЛА2	8И—НЕ	20	1,1	б
ЛА3	2И—НЕ	20	4,4	в
ЛА4	3И—НЕ	20	3,3	г
ЛА9	2И—НЕ с открытым коллекторным выходом	32	4,4	в
ЛЕ1	2ИЛИ—НЕ	20	5,4	ж
ЛИ1	2И	24	8,8	к
ЛИ3	3И	20	6,6	ш
ЛИ6	4И	24	4,4	щ
ЛЛ1	2ИЛИ	22	9,8	о
ЛН1	НЕ	20	6,6	р
ЛН2	НЕ с открытым коллекторным выходом	32	6,6	р
ЛР11	2—2И—2ИЛИ—НЕ, 3—3И—2ИЛИ—НЕ	20	2,8	ю
ЛП5	«Исключающее ИЛИ»	30	10	т

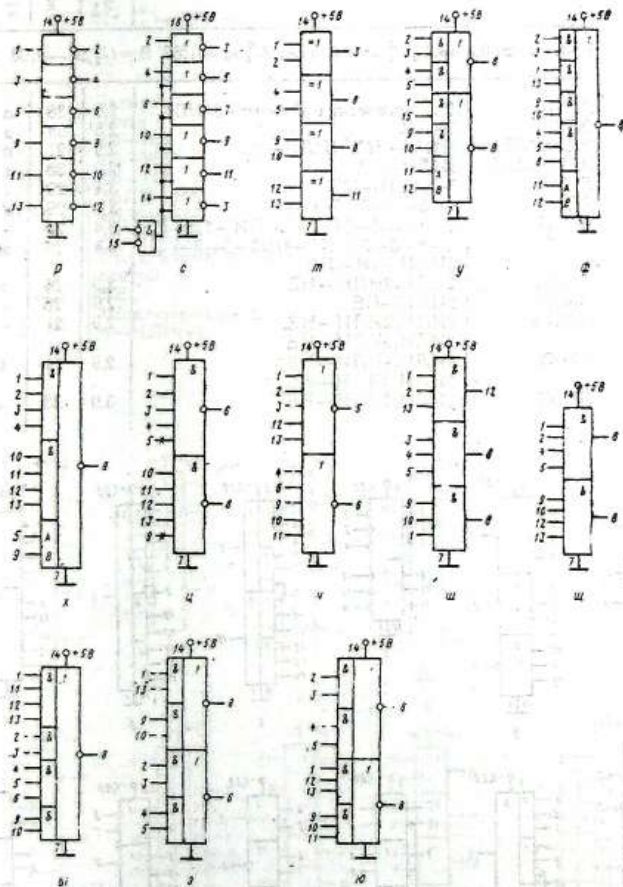
Продолжение приложения Б

Тип ИМС	Функциональное назначение	$t_{зд. р. нс, не более}$	$I_{пот, мА, не более}$	УГО
К155: $I_1^0 \leq -1,6 \text{ мА}; I_1^1 \leq 40 \text{ мкА}; I_2^1 \leq 50 \text{ мкА};$ $U_2^0 \leq 0,4 \text{ В}; U_2^1 \geq 2,4 \text{ В}$				
ЛА1	2—4И—НЕ	22	11	а
ЛА2	8И—НЕ	22	6	б
ЛА3/ЛА12	2И—НЕ	22	22	в
ЛА4	3И—НЕ	22	16,5	г
ЛА6	4И—НЕ	22	21	а
ЛА7	2И—НЕ с открытым коллекторным выходом	—	22	а
ЛА8	2И—НЕ с открытым коллекторным выходом	—	22	д
ЛА10	3И—НЕ с открытым коллекторным выходом	45	16,5	г
ЛА11/ЛА13	2И—НЕ с открытым коллекторным выходом	24/22	22/54	в
ЛА18	2И—НЕ с открытым коллекторным выходом	45	71	е
ЛЕ1	2ИЛИ—НЕ	22	27	ж
ЛЕ2	4ИЛИ—НЕ с расширением и стробированием	22	19	з
ЛЕ3	4ИЛИ—НЕ со стробированием	22	19	и
ЛЕ4	3ИЛИ—НЕ	15	26	л
ЛЕ5	2ИЛИ—НЕ — буферное устройство	12	57	к
ЛЕ6	2ИЛИ—НЕ — магистральный усилитель	12	57	к
ЛИ1	2И	27	33	м
ЛИ5	2И с открытым коллекторным выходом	120	65	н
ЛЛ1	2ИЛИ	22	38	о
ЛЛ2	2ИЛИ с открытым коллекторным выходом	35	68	п
ЛН1/ЛН5	НЕ	22/23	33/51	р
ЛН2	НЕ с открытым коллекторным выходом	55	33	р
ЛН3	НЕ с повышенным коллекторным напряжением	23	51	р
ЛН6	НЕ с тремя логическими состояниями выхода	37	77	с
ЛР1	2—2И—2ИЛИ—НЕ	22	14	у
ЛР3	2—2—2—3И—4ИЛИ—НЕ с расширением по ИЛИ	22	9,5	ф
ЛР4	4—4И—2ИЛИ—НЕ с расширением по ИЛИ	22	14	х
ЛР5	«Исключающее ИЛИ»	30	—	т

Продолжение приложения Б



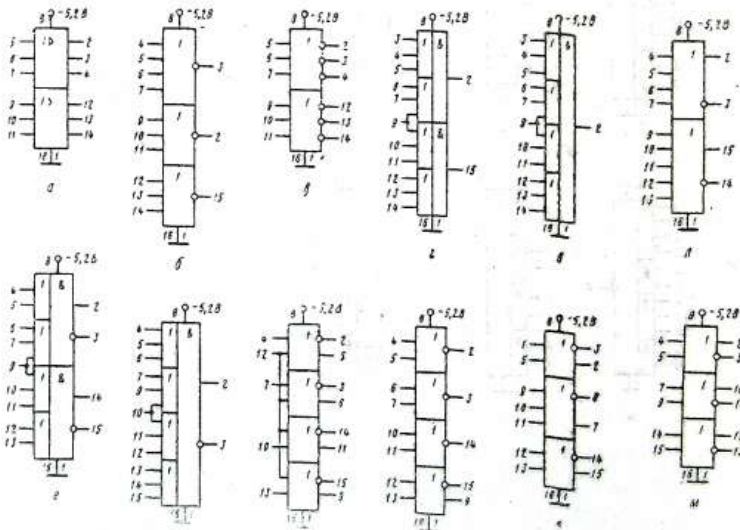
Продолжение приложения Б



ПРИЛОЖЕНИЕ В (справочное)

Тип ИМС	Функциональное назначение	$I_{зд. р. нс. не фолсе}$	$I_{пот. мА}$	УГО
К500: $I_1^0 > 0,5$ мкА; $I_1^1 < 265$ мкА; $U_2^0 < -1,63$ В; $U_2^1 > -0,98$ В				

ЛЛ110	Два логических элемента ЗИЛИ	2,9	38	а
ЛЛ210	ЗИЛИ	2,5	38	а
ЛЕ106/ЛЕ123	ЗИЛИ—НЕ, 4ИЛИ—НЕ	2,9	21	б
ЛЕ111/ЛЕ211	ЗИЛИ—НЕ	2,9	38	в
ЛС118	3—ЗИЛИ—2И	3,4	29	г
ЛС119	4—3—3—ЗИЛИ—4И	3,4	29	д
ЛК117	2—ЗИЛИ—2И/2—ЗИЛИ—2И—НЕ	3,4	26	е
ЯК121	3—3—3—ЗИЛИ—4И/3—3—3—ЗИЛИ—4И—НЕ	3,4	26	ж
ЛМ101	2ИЛИ/2ИЛИ—НЕ	2,9	26	в
ЛМ102	2ИЛИ—НЕ	2,9	26	и
ЛМ105	2ИЛИ/2ИЛИ—НЕ, ЗИЛИ/ЗИЛИ—НЕ	2,9	21	к
ЛМ109	4ИЛИ/4ИЛИ—НЕ, 5ИЛИ/5ИЛИ—НЕ	2,9	14	л
ЛП107	2ИЛИ/2ИЛИ—НЕ	3,9	28	м



ПРИЛОЖЕНИЕ Г

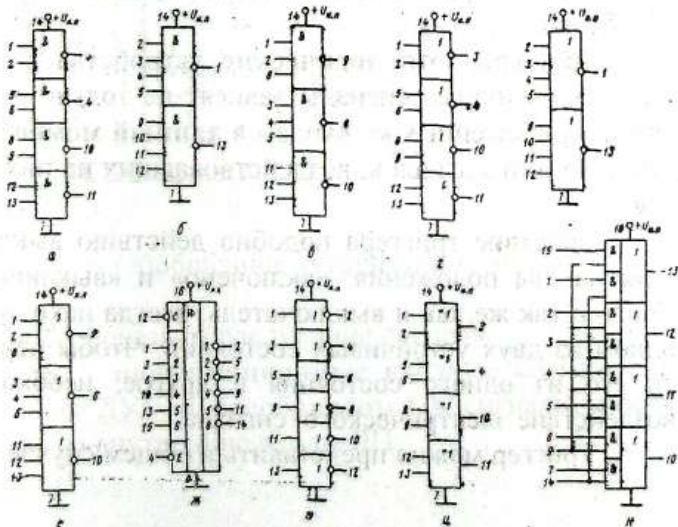
(справочное)

Тип ИМС	Функциональное назначение	$t_{зд. р. нс.}$ не более	$I_{пот, мкА.}$ не более	УГО
---------	---------------------------	------------------------------	-----------------------------	-----

K561: $I_1^0 = 0,05 \text{ мкА}; I_1^1 = 0,05 \text{ мкА}; I_2 < 0,5 \text{ мА};$

$U_{н. п} = 3 \text{--} 15 \text{ В}; U_2^0 < 0,001 U_{н. п}; U_2^1 \geq 0,999 U_{н. п}$

ЛА7	Четыре логических элемента 2И—НЕ	80	0,1	а
ЛА8	4И—НЕ	120	0,1	б
ЛА9	3И—НЕ	100	0,1	в
ЛЕ5	2ИЛИ—НЕ	90	0,1	г
ЛЕ6	4ИЛИ—НЕ	90	0,1	д
ЛЕ10	3ИЛИ—НЕ	100	0,1	е
ЛН1	НЕ с блокировкой и за- претом	180	1,0	ж
ЛН2	НЕ	90	0,5	з
ЛП2	«Исключающее ИЛИ»	150	1,0	и
ЛС2	И—ИЛИ(4)	130	10	н



Лекция 2 Триггеры

1 Основные понятия, типы триггеров, принципы их построения.

2 RS-триггеры на логических элементах ИЛИ-НЕ, И-НЕ

Триггеры - это тип устройств, обладающих способностью длительно находиться в одном из двух устойчивых состояний (0 или 1) и изменять эти состояния под воздействием внешних сигналов.

Триггер представляет собой ячейку памяти, поскольку его состояния (0 и 1) и есть введенная информация, которую он "запомнил". Хранить эту информацию он будет до тех пор, пока имеется напряжение питания. Ячейки памяти необходимы в системах с последовательной обработкой информации, где они регистрируют результаты промежуточных этапов её обработки.

Триггеры- это логические устройства с памятью. Их выходные сигналы зависят не только от сигналов, приложенных ко входам в данный момент времени, но и от сигналов, воздействовавших на них ранее.

Действие триггера подобно действию выключателя на два положения: «включено» и «выключено». Триггер так же, как и выключатель, всегда находится в одном из двух устойчивых состояний. Чтобы перевести его из одного состояния в другое, необходимо воздействие электрического сигнала.

Триггер можно представить в общем случае как

устройство (рис.2.1), состоящее из ячейки памяти (ЯП) и логического устройства управления (ЛУУ), преобразующего входную информацию в комбинацию сигналов, под воздействием которых ЯП принимает одно из двух устойчивых состояний. ЯП хранит информацию о результате **предыдущего** воздействия на триггер.

ЛУУ вырабатывает сигналы, которые обеспечивают **запись** информации в ЯП, **подтверждение** состояния либо **переключение** ЯП в новое состояние.

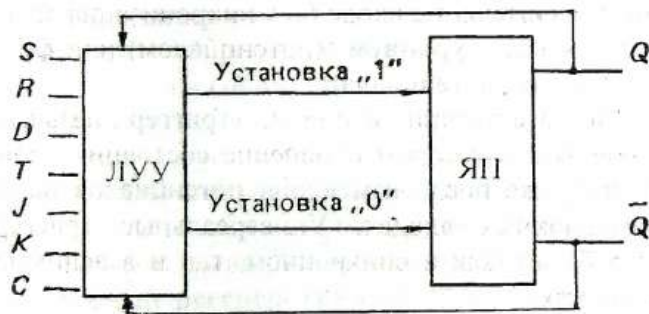


Рисунок 2.1- Обобщенное устройство триггера

На рис.2.1 показаны следующие сигналы:

S, R, D, J, K – **информационные** входные сигналы подаются на ЛУУ и преобразуются в сигналы, поступающие на внутренние входы ЯП;

T- **тактовый** сигнал обычно используется для **разрешения** ввода информации в ЯП, где она сохраняется в неизменном виде до поступления следующего тактового сигнала;

S- сигнал **синхронизации**, обеспечивает точное задание моментов переключения состояний триггера;

Q и \overline{Q} - выходные сигналы триггера, соответствующие уровню напряжений 1 и 0 соответственно.

Триггеры подразделяются на **синхронные** и **асинхронные**. При наличии входа **S** триггер называют синхронным, в котором изменение состояния может произойти только в момент присутствия соответствующего сигнала на входе **S**. Синхронизация может осуществляться **уровнем** (потенциалом) или **фронтом** (перепадом потенциала).

При отсутствии входа **S** триггер называют асинхронным, в котором изменение состояния происходит сразу же после изменения потенциалов на его информационных входах. Универсальные триггеры могут работать как в синхронном, так и в асинхронном режимах.

Основные типы триггеров в интегральном исполнении получили следующие названия: **RS**- триггер, **D**- триггер, **T**- триггер, **JK**- триггер.

Существует **алгоритм работы** двоичных триггеров. Для смены состояний ЯП достаточно выработать сигналы установки в единичное состояние (установка «1») или в нулевое состояние (установка «0»). **Отсутствие** сигналов установки соответствует режиму **хранения** информации, а их одновременное действие

приводит к **неопределённому** результату, поэтому такое управление обычно не используется.

По совокупности управляющих входов различают:

RS- триггеры с **раздельными входами** установки в состояние «0» и «1». RS- триггеры бывают асинхронные и синхронные, если кроме входов R и S имеется вход С;

D- триггеры с записью информации по **одному** входу в моменты времени, определяемые синхронными импульсами С;

T- триггеры со **счётным** входом;

JK-триггеры – универсальные триггеры, у которых входы J и K в **отдельности** реализуют раздельное управление, а в **совокупности** – счётный режим.

Техническая реализация триггеров отличается типом используемых активных компонентов и способом их включения. Прежде всего это относится к ЯП триггера. Для обеспечения переключения состояний ЯП с максимальной скоростью в ней используется так называемый **регенеративный** режим, который имеет место, если в схеме действует положительная обратная связь (ПОС) либо используются электронные компоненты (негатроны) с участком **отрицательного** динамического сопротивления на вольт-амперных характеристиках (ВАХ).

В качестве активных элементов обычно используются биполярные и полевые транзисторы, из негатронов для построения триггеров применяются туннельные диоды, диносторы и тиристоры.

Промышленность выпускает большое количество интегральных микросхем (ИМС) триггеров, построенных на диодно-транзисторной логике (ДТЛ), транзисторно-транзисторной логике (ТТЛ), эмиттерно-связанной логике (ЭСЛ) и комплементарных полевых транзисторах (КМОП). Условное обозначение ИМС триггеров состоит из обозначения серии (трёх или четырёх цифр), функционального назначения (двух букв) и порядкового номера разработки (одна-две цифры). По назначению триггеры имеют обозначения: ТР- RS-триггеры, ТМ- D-триггеры, ТТ- Т-триггеры, ТВ- JK- триггеры и ТП- прочие триггеры.

Основные параметры ИМС триггеров- статические и динамические. К статическим параметрам относятся: входные напряжения высокого и низкого уровней ($U_{вх}^1$ и $U_{вх}^0$), ток потребления, напряжение питания $U_{пит}$; нагрузочная способность (ток I_n , отдаваемый в нагрузку) или количество $K_{раз}$ (коэффициент разветвления по выходу) микросхем той же серии, подключаемых к выходу триггера; коэффициент объединения по входу $K_{об}$, потребляемая мощность $P_{пот}$ от источника питания. К динамическим параметрам триггеров относятся: $t_{зд.р}$ - длительность задержки распространения сигнала, измеряемая на выходах триггера по отношению к каждому из входов; $t_{раз}$ - разрешающее время, определяемое как минимальный период следования входных сигналов, при котором триггер сохраняет работоспособность; разрешающее время определяет максимальную частоту переключения $f_{max} = 1 / t_{раз}$.

Простейший триггер можно получить, соединив последовательно в кольцо два инвертирующих транзисторных ключа (рис.2.2 а). В результате получим симметричный триггер с коллекторно-базовыми связями (рис.2.2 б). Нужно отметить, что на этом рисунке не показаны цепи управления.

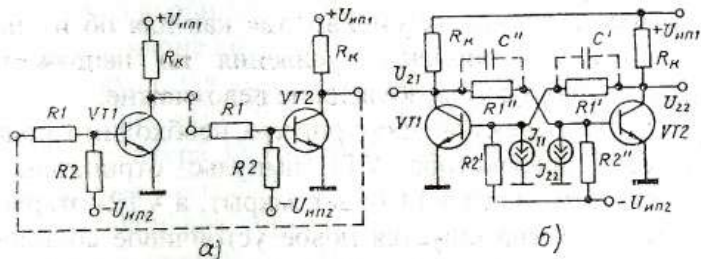


Рисунок 2.2- Два транзисторных ключа, соединённых в кольцо (а), симметричный триггер без цепи управления(б)

Для переключения состояния триггера необходим внешний управляющий сигнал, переводящий транзисторы в другое устойчивое состояние. Управляющий сигнал обычно подаётся на базу транзистора, но может осуществляться запуск и в коллектор. Запускающий импульс должен отпирать запертый транзистор или переводить ранее насыщенный транзистор в закрытое состояние. Чаще запуск триггера осуществляется запирающими импульсами, поскольку при

этом меньше нагружен источник входных сигналов. В случае п-р-п-транзисторов для переключения триггера запирающими импульсами необходимы запускающие импульсы отрицательной полярности.

Благодаря **регенеративному** переключению схемы, один из транзисторов открыт и насыщен ($VT1$), а другой ($VT2$)-закрыт, что соответствует коду на выходе $U_{21} = 0$, а на выходе $U_{22} = 1$.

Данное состояние устойчиво, так как для об их плеч триггера коэффициенты усиления по напряжению равны нулю, и самовозбуждение невозможно.

Для переключения триггера необходимо подать на базу транзистора $VT1$ импульс отрицательной полярности, тогда $VT1$ будет закрыт, а $VT2$ - открыт и насыщен. Сформируется новое устойчивое состояние триггера, когда изменится код, т.е. $U_{21} = 1$, а $U_{22} = 0$.

Для реализации триггера можно использовать другие схемные варианты ключей как на биполярных, так и на полевых транзисторах (рис 2.3).

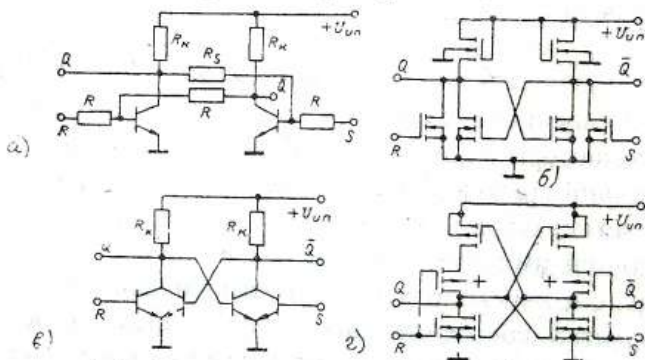


Рисунок 2.3- Схемные варианты построения триггеров на транзисторах

Триггер (рис.2.3 а) собран на ЛЭ ИЛИ-НЕ, триггеры (рис 2.3 б,в,г)- на двух ЛЭ ИЛИ-НЕ на основе n-МОП-технологии, непосредственно связанных транзисторных элементов (НСТЭ) и КМОП элементов соответственно.

2 Рассмотрим RS- триггеры. По реакции RS- триггера на входные управляющие воздействия различают следующие виды входов:

S- вход для установки (Set- установка) триггера в состояние «1». Тогда на основном, или прямом выходе триггера Q (рис.2.1) устанавливается сигнал «логическая 1», т. е. $Q = 1$;

R- вход для сброса (Reset-сброс, возврат) триггера в состояние «0», т.е. $\bar{Q} = 0$;

C- вход синхронизации (Clock- часы).

Схема асинхронного RS-триггера, реализованная на двух ЛЭ ИЛИ-НЕ, а также его графическое изображение представлены на рис.2.4 а,б.

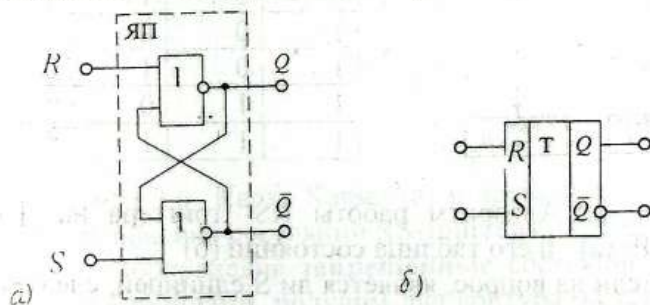
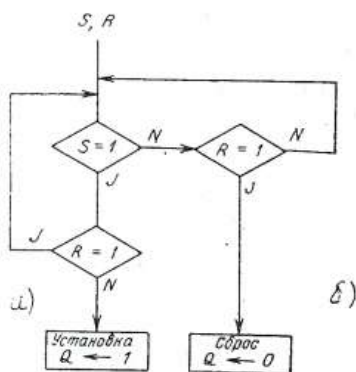


Рис.2.4- Схема асинхронного RS-триггера (а), его условное графическое изображение (б)

Принцип действия RS- триггера, реализованного на ЛЭ ИЛИ-НЕ заключается в следующем. Подача на вход S сигнала 1, а на вход R сигнала 0 устанавливает на выходе Q триггера сигнал 1. Наоборот, при сигналах $S=0$ и $R=1$ сигнал на выходе триггера $Q=0$. Для RS- триггера комбинация $S=1$ и $R=1$ является **запрещённой**. После такой комбинации информационных сигналов состояние триггера будет неопределённым: на его выходе Q может быть 0 или 1.

RS- триггер как элемент памяти можно представить алгоритмом работы (рис. 2.5 а). Символы решения проводят опрос входных переменных R и S.



R_n	S_n	Q_{n-1}	Q_n
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

Рисунок 2.5-Алгоритм работы RS- триггера на ЛЭ ИЛИ-НЕ (а) и его таблица состояний (б)

Если на вопрос, является ли S единицей, следует ответ «да», а на вопрос, является ли R единицей, следует ответ «нет», то это приводит к срабатыванию триггера ($Q=1$).

Если справедливо $S = 0$ и $R = 1$, то произойдёт сброс триггера в исходное состояние ($Q = 0$).

Если обе входные переменные есть 1, то триггер не среагирует.

Для получения **характеристического** уравнения, которое является основой создания любого вида триггера, строятся карты Карно, которые реализуются на основе **таблицы состояний** триггера (рис.2.5 б). Переменными величинами (аргументами) для таблицы состояний (пример RS- триггера) являются информационные сигналы R_n , S_n и Q_{n-1} , где n - такт работы триггера; Q_{n-1} - предшествующее состояние триггера. Функцией таблицы состояний является Q_n - новое состояние триггера, т. е. выходной сигнал.

Пользуясь таблицей состояний, построим карту Карно для трёх переменных (рис.2.6 а).

		$R_n S_n$			
		00	01	11	10
Q_{n-1}	0	0	1	*	0
	1	1	1	*	0

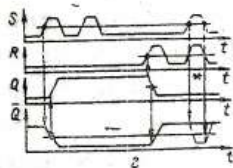


Рисунок 2.6- Карта Карно (а) и временная диаграмма переключения состояний RS-триггера на ЛЭ ИЛИ-НЕ

Доопределив **запрещённые** состояния логическими единицами, получим два контура, которые обеспечивают получение **характеристического уравнения**

$$Q_n = S_n + \bar{R}_n Q_{n-1} \quad (2.1)$$

На основании уравнения (2.1) обеспечивается функционирование RS- триггера, собранного на ЛЭ ИЛИ-НЕ.

Выводы, сделанные на основе вышеизложенного.

1 Управление триггером, т.е. его запуск и сброс, осуществляется сигналами высокого уровня, что хорошо видно на временной диаграмме переключения состояний триггера (рис.2.6 б).

2 Для управления состояниями триггеров используется один из входов двухвходовых ЛЭ, второй вход реализует триггерные связи.

3 В режиме хранения информации на входах R и S устанавливаются уровни «логического нуля».

4 Для установки триггера в состояние «1» или «0» на входы должна быть подана комбинация $S = 1, R = 0$ или $S = 0, R = 1$ соответственно.

5 Комбинация $S = R = 1$ является в информационном смысле **запрещённой**, т.к. при этом на обоих выходах триггера устанавливаются одинаковые уровни $Q = 1$ и $\bar{Q} = 1$, и ПОС не влияет на состояния выходов. Происходит разрыв триггерных связей.

Для RS-триггера, построенного на ЛЭ И-НЕ, преобразуем уравнение (2.1), используя правило двойного отрицания, тогда

$$Q_n = \overline{S_n + \overline{R_n} Q_{n-1}} = \overline{\overline{S_n} \overline{\overline{R_n} Q_{n-1}}} \quad (2.2)$$

Из уравнения (2.2) видно, что реализация RS-триггера на ЛЭ И-НЕ осуществляется за счёт управления инверсными сигналами \overline{R} и \overline{S} . Схема асинхронного RS-триггера на ЛЭ И-НЕ, а также его графическое изображение представлены на рис.2.7 а,б соответственно.

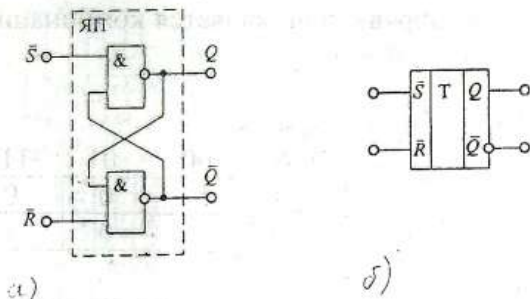


Рисунок 2.7-Схема асинхронного RS-триггера на ЛЭ И-НЕ (а), его графическое изображение (б)

Для **RS-триггера**, построенного на ЛЭ И-НЕ характерно следующее:

- под действием сигнала низкого уровня, т.е. «0», триггер принимает состояние ввода информации;
- под действием сигнала высокого уровня, т.е. «1», триггер принимает состояние сброса информации;
- сигналы ввода и сброса информации не должны быть одинаковыми по полярности, т.к. это запрещённая комбинация (*).

На основании данных характеристик построена таблица состояний (рис.2.8 а) и карта Карно (рис.2.8 б). Характеристическое уравнение имеет вид

$$Q_n = R_n (S_n + Q_{n-1}). \quad (2.3)$$

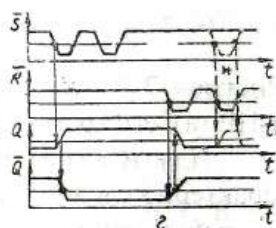
Из временной диаграммы (рис.2.8 в) видно, **RS-триггер**, построенный на ЛЭ И-НЕ, управляется инверсными сигналами, т.е. в режиме хранения информация на входы подаётся $S = 1$ и $R = 1$, управление осуществляется подачей на соответствующий вход

уровня "0", а запрещённой является комбинация входных сигналов $S = R = 0$.

S_n	R_n	Q_{n-1}	Q_n
0	0	0	*
0	0	1	*
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0

$R_n S_n$	00	01	11	10
$Q_{n-1} = 0$	*	0	0	1
$Q_{n-1} = 1$	*	0	1	1

б)



в)

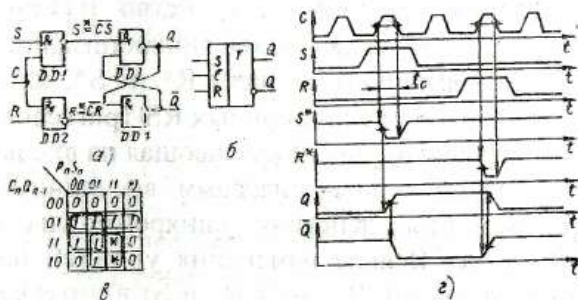
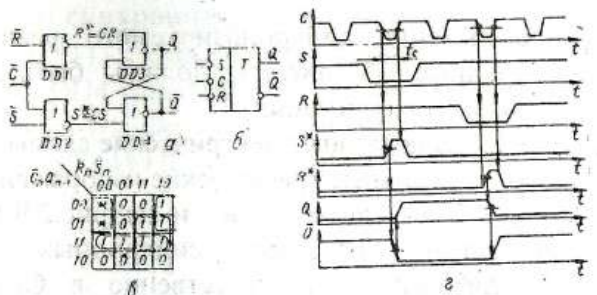
Рисунок 2.8- Таблица состояний (а), карта Карно (б), временная диаграмма (в) RS-триггера, построенного на ЛЭ И-НЕ

Необходимо подчеркнуть, что RS-триггеры на ЛЭ И-НЕ являются основой для построения других видов триггеров.

Существуют разновидности RS-триггеров, называемые Е-, R-, S-триггерами, для которых сочетание $S = R = 1$ не является запрещённым. Е-триггер при $S = R = 1$ не изменяет своего состояния ($Q_n = Q_{n-1}$).

S-триггер при $S = R = 1$ устанавливается в состояние $Q=1$, а R-триггер в этом случае устанавливается в состояние $Q = 0$.

Синхронные RS-триггеры широко используются при построении тактируемых цифровых устройств.



Рисунки 2.9 и 2.10- Электрические схемы (а), условные графические изображения (б), карты Карно (в), временные диаграммы синхронных триггеров (г)

В RS-триггерах, синхронизируемых фронтом, информационные сигналы R и S могут переключаться в любые моменты времени, но в триггер записывается состояние, соответствующее комбинации входных сигналов R и S непосредственно перед соответствующим положительным (или отрицательным) фронтом синхроимпульса.

Для обеспечения синхронизируемого режима работы асинхронные RS-триггеры должны быть дополнены схемами синхронизации.

На рис.2.9 а и 2.10 а показаны электрические схемы, на рис.2.9 б и 2.10 б- условные графические изображения, на рис.2.9 в и 2.10,в- карты Карно и на рис.2.9.г и 2.10 г – временные диаграммы синхронных

RS-триггеров, реализованных соответственно в базисе логических элементов ИЛИ-НЕ и И- НЕ соответственно.

Рассмотрим подробно устройство и принцип работы данных триггеров.Схемы синхронизации (ЛЭ DD1 и DD2) формируют сигналы R^* и S^* , которые управляют состоянием асинхронных RS-триггеров (ЛЭ DD3 и DD4). Информация, поступающая на входы R и S, как видно из временных диаграмм воспринимается только в моменты действия синхроимпульсов С длительностью t_c . Всякие изменения **уровней** на информационных входах R и S (\bar{R} и \bar{S}) в интервале t_c передаются на вход асинхронного триггера и вызывают несинхронизированные переключения состояний, что характерно для **схем синхронизации уровнем**. Для нормальной работы в тактируемом режиме необходимо предотвратить переключения входов R и S в интервале синхроимпульса длительностью t_c .

Запрещённой является комбинация входных сигналов $\bar{R}_n = \bar{S}_n = \bar{C}_n = 1$, обуславливающая в триггере (рис.2.9,а) установку на прямом и инверсном выходах уровней $Q_n = 0$, $\bar{Q}_n = 0$, а в триггере (рис.2.10,а) - $Q_n = \bar{Q}_n = 1$, что соответствует разрыву триггерных связей.

В синхронизируемых фронтом RS-триггерах (рис. 2.11) схемы синхронизации построены на ЛЭ DD1—DD4 типа ИЛИ-НЕ (а) или И-НЕ (б). Триггер на ЛЭ ИЛИ-НЕ синхронизируется отрицательным фронтом, на ЛЭ И-НЕ — положительным фронтом.

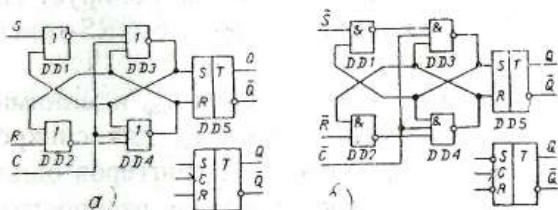


Рисунок 2.11- Синхронизируемый фронтом RS-триггер на ЛЭ ИЛИ-НЕ (а) и на ЛЭ И-НЕ (б)

Рассмотрим работу RS- триггера на ЛЭ ИЛИ-НЕ для данного случая. В паузе между синхроимпульсами на входе синхронизации имеем $C = 1$ (рис. 2.11 а) и на выходах ЛЭ DD3, DD4 поддерживаются уровни логического 0, обеспечивающие режим хранения для асинхронного триггера DD5. Пусть перед отрицательным фронтом синхроимпульса C на информационных входах установлены сигналы $S=1$, $R=0$. Тогда при переключении входа C из 1 в 0 на трёх входах элемента DD3 имеем 0, на его выходе устанавливается уровень 1, который подаётся на входы DD1 и DD4, блокируя переключение их внешними сигналами. Поэтому в течение времени t_c действия уровня $C=0$ триггер не реагирует на переключения управляющих входов S и R.

Аналогично происходит установка триггера в 0. При установке $S=1$ и $R=1$ происходит состоятельное переключение триггера на ЛЭ DD3, DD4 в одно из двух возможных состояний, которое автоматически переписывается в триггер DD5.

Аналогично построен и функционирует синхронизируемый положительным фронтом RS-триггер на ЛЭ И-НЕ (рис.2.11 б).

Длительность переключения $t_{пер}$ и минимальная длительность входного сигнала $t_{вх}$ для синхронизируемых уровнем и фронтом RS-триггеров одинаково зависит от длительности задержки распространения сигнала $t_{зд}$ составляющих их элементов и имеет значение $t_{пер} = t_{вх} = 3 t_{зд}$. На рис.2.12 показан алгоритм работы RS-триггера, синхронизируемого уровнем.

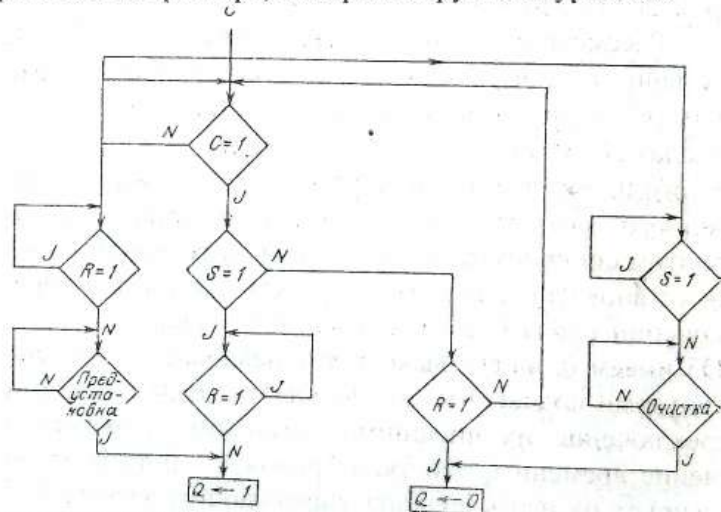


Рисунок 2.12- Алгоритм работы синхронного триггера

В качестве дополнительного материала приведём пример алгоритма работы синхронного RS-триггера (рис. 2.13 а), который управляется только нарастающим фронтом тактового импульса ($T = \uparrow$).

В случае, когда $S = 1$ и $R = 0$, положительный ответ на вопрос ($T = \uparrow$) приведёт к установке триггера в состояние 1. Если $S = 0$ и $R = 1$, то в момент нарастания тактового импульса произойдёт сброс в состояние 0. Такой же алгоритм работы характерен для D- и триггеров.

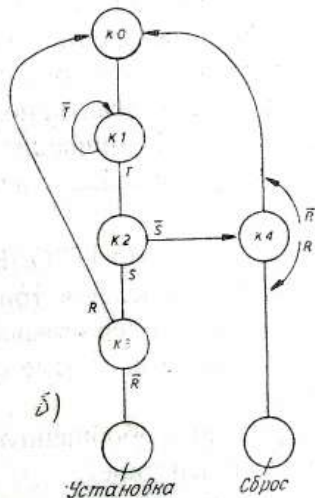
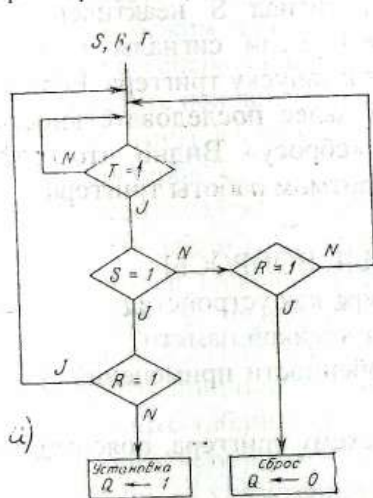


Рисунок 2.13- Алгоритм работы (а), граф последовательности состояний синхронного RS-триггера (б)

Прослеживается чётко выраженная последовательность выполнения операций. Сначала должен

появиться тактовый импульс, а затем следует опрос о том, какую информацию несут входы – информационный и сброса.

На последовательность элементарных операций указывает и так называемый граф состояний, вид которого представлен на рис.2.13 б.

Исходным является состояние покоя K_0 , за ним (после операции T) наступает состояние K_2 , когда совершается опрос: активен ли сигнал S или нет? Если ответ утвердительный, т. е. если S активен, то следует ответвление на K_3 . Если сигнал S неактивен, то следует ответвление на K_4 . Если сигналы R и S неактивны, то это приводит к запуску триггера. Если R активно, а S неактивно, то далее последовательность через K_2 и K_4 приводит к «сбросу». Видно, что граф состояний совпадает с алгоритмом работы триггера.

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Дайте определение триггера как устройства.
- 2 Почему триггер называют ячейкой памяти?
- 3 Приведите основные особенности применения триггера.
- 4 Приведите обобщённую схему триггера, поясните её состав и действие.
- 5 Поясните понятия записи, считывания и хранения информации.
- 6 От каких составляющих входных сигналов по времени зависят выходные сигналы триггера?
- 7 Каким образом можно переключить триггер из одного состояния в другое?

- 8 Поясните, какие входные сигналы используются в триггерах?
- 9 Чем отличаются тактовые и синхронизирующие сигналы по функциональному назначению?
- 10 Приведите методы синхронизации триггера.
- 11 Назовите основные типы триггеров в интегральном исполнении.
- 12 Поясните алгоритм работы триггера.
- 13 Дайте определение различным типам триггеров по совокупности управляющих входов.
- 14 Какой режим работы технического устройства называется регенеративным?
- 15 Приведите основные параметры ИМС триггеров.
- 16 Какие типы логики используются при построении ИМС триггеров?
- 17 Приведите электрическую схему триггера на биполярном и полевом транзисторе, поясните её работу.
- 18 RS-триггер. Поясните его входы и выходы.
- 19 Изобразите логическую схему асинхронного S-триггера на ЛЭ ИЛИ-НЕ.
- 20 Поясните принцип действия RS- триггера.
- 21 Приведите таблицу состояний RS-триггера, изобразите алгоритм его работы.
- 22 Получите характеристическое уравнение S-триггера, построенного на ЛЭ ИЛИ-НЕ и И-НЕ.
- 23 Постройте синхронный RS- триггер на ЛЭ И-НЕ.
- 24 Приведите схему алгоритма работы синхронного RS- триггера.
- 25 Изобразите граф последовательности состояний синхронного RS- триггера.

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Триггер- простейший цифровой автомат с памятью, он хранит («запоминает») 0 или 1.

Важную роль при построении триггеров играют **положительные обратные связи (ПОС)**, которые позволяют как бы «удерживать» сигнал на выходе после окончания воздействия входного сигнала.

Два последовательно соединённых ЛЭ И-НЕ образуют триггер (рис.2.14). В режиме хранения на оба входа А и В поданы логические 1, но на рис. 2.14 а триггер хранит 1, на рис. 2.14 б – 0.

Асинхронные триггеры - обязательная составная часть более сложных триггеров (рис.2.15).

В синхронных триггерах сигналы на синхронизирующих входах определяют время переключения.

Применение ПОС имеет недостаток: сигнал ПОС может измениться до окончания импульса синхронизации и привести к повторному, т.е. незапланированному переключению триггера. Чтобы исключить это, используют 2-х ступенчатые схемы запоминания- MS- триггеры (master-slave- хозяин – раб). Первая часть (master) заставляет вторую часть (slave) повторять свои действия, т.е. ведущая и ведомая части.

На рис.2.16 представлена структура RS- триггера с двуступенчатым запоминанием. Схема состоит из двух синхронизируемых триггеров. Сигнал переключения появляется на выходе MS-триггера после окончания импульса синхронизации: в начале С- импульса переключается ведущий триггер, в момент окончания – ведомый триггер.

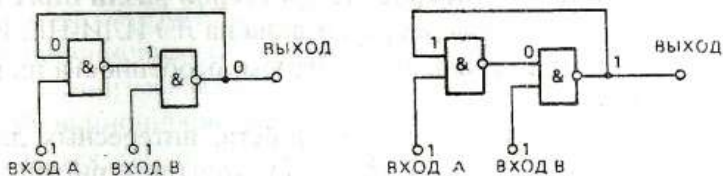


Рисунок 2.14-Триггер на ЛЭ И-НЕ хранит 0 (случай а)
триггер на ЛЭ И-НЕ хранит 1 (случай б)

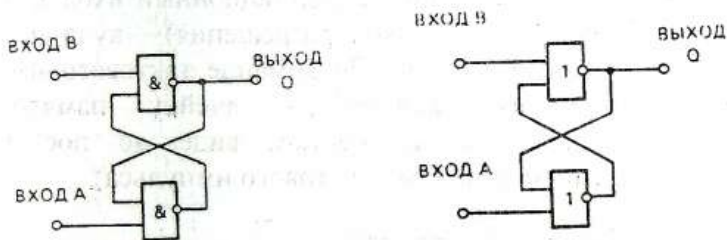


Рисунок 2.15- Асинхронные триггеры на ЛЭ И- НЕ (а)
и ЛЭ ИЛИ-НЕ (б): в первом случае для хранения ин-
формации на входы А и В подаются 1, во втором -0

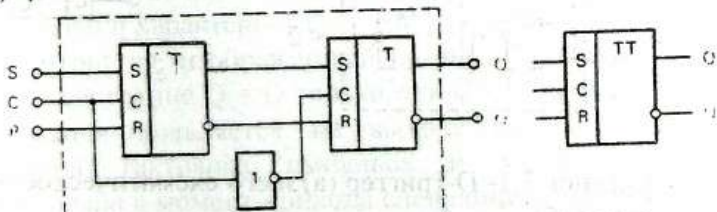


Рисунок 2.16- RS- триггер с двухступенчатым запоми-
нанием

Лекция 3 Построение триггеров различных типов

- 1 D- триггеры, их реализация на ЛЭ ИЛИ-НЕ, И-НЕ.
- 2 Т- триггеры и JK- триггеры, особенности их построения.

Целым рядом свойств, интересных для цифровой техники, обладает D- триггер (триггер задержки). Триггеры этого типа (рис.3.1) с успехом применяются для временной записи информации, регистрах и цифровых счётчиках. Это синхронные триггеры, имеющие информационный вход D и вход синхронизации C (вход разрешения), куда подаются тактовые импульсы. По команде тактового импульса информация вводится в ячейку памяти, где сохраняется в неизменном виде до поступления очередной команды (тактового импульса).

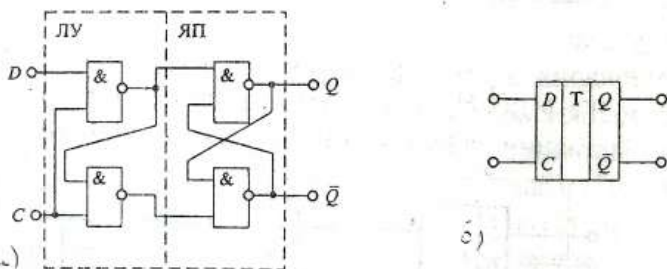


Рисунок 3.1- D-триггер (а) и его схематическое обозначение (б)

Такой триггер интересен тем, что информация, поступающая на входа D, сохраняется в нём до прихода команды (тактового импульса) с другого

входа С. После очередного тактового импульса триггер как бы блокируется и информация сохраняется в нём неизменной до следующего импульса даже в том случае, если изменяется сигнал на входе D.

Функционирование синхронного D-триггера описывается таблицей состояний (рис.3.2 а), картой Карно (рис.3.2 б) и характеристическим уравнением (3.1).

C	D	Q_{n-1}	Q_n
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

		C, D			
		00	01	11	10
Q_{n-1}	0	0	0	1	0
	1	1	1	1	0

$$Q_n = C D + \bar{C} Q_{n-1} = \overline{\overline{C D}} \cdot \overline{\overline{\bar{C} Q_{n-1}}} \quad (3.1)$$

Рисунок 3.2- Таблица состояний (а), карта Карно триггера (б) и характеристическое уравнение (3.1)

D-триггер, изображённый на рис.3.1. устанавливается в состояние $Q_n = D$ только при $C = 1$. Записанная информация появляется на выходе только после окончания тактового импульса и может быть использована в момент прихода следующего тактового импульса. По этой причине D-триггер называют элементом задержки на такт.

Реализация синхронных D-триггеров, удовлетворяющих уравнению (3.1), представлена на рис.3.3.

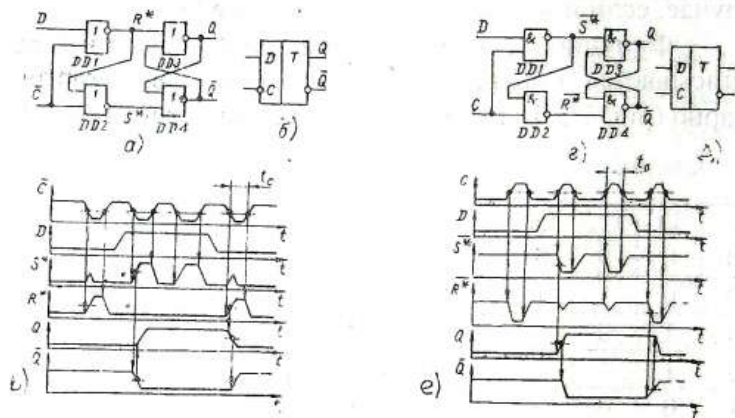


Рисунок 3.3- Синхронные D- триггеры на логических элементах ИЛИ-НЕ (а), И-НЕ (г), их условные обозначения (б, д) и временные диаграммы (в, е) соответственно

Если на синхронизирующий вход D-триггера (рис.3.3 а) подан уровень $\bar{C} = 1$ (или $C = 0$ для рис.3.3 г), являющийся доминирующим для ЛЭ DD1 и DD2, на их выходах устанавливаются уровни $S^* = R^* = 0$ ($\bar{S}^* = \bar{R}^* = 1$), которые не зависят от состояния информационного входа D и обеспечивают режим хранения асинхронного триггера на ЛЭ DD3 и DD4.

При $C = 0$ ($C = 1$) информационный вход однозначно определяет состояние выхода элемента DD1, который, в свою очередь, обуславливает инверсный уровень на выходе элемента DD2.

Если при этом $D = 1$ ($D = 0$), то триггер устанавливается в единичное (нулевое) состояние, т.е. в триггер записывается информация, поданная на вход D до установки синхронизирующего уровня $C = 1$. Следовательно, информация на выходах D -триггера появляется с задержкой относительно информационного входа D , обусловленной задержкой синхронизирующего импульса C относительно информационного сигнала D , а также временем переключения ЛЭ $D D 1 - D D 4$ (рис.3.3 б, е). На рис. 3.3 б, д приведены условные графические обозначения для D - триггеров на ЛЭ соответственно ИЛИ-НЕ, И-НЕ.

Существуют два типа D -триггеров. Для первого типа характерна блокировка сигналом входа C , имеющим низкий уровень, для второго- информация фиксируется в тот момент, когда тактовый сигнал на входе C меняет низкий уровень на высокий.

В триггере **первого типа** выходной сигнал следует за сигналом на входе D , когда тактовый сигнал имеет высокий уровень. Такие триггеры называют "**триггер-зашёлка**".

В D -триггере **второго типа** процесс иной. Здесь выход перенимает информацию входа D лишь в тот момент, когда тактовый сигнал инвертируется с низкого уровня на высокий, т.е. с 0 на 1. Это триггеры **синхронизируемые фронтом**, которые используются в качестве двоичных делителей или двоичных счётчиков.

Рассмотрим схему (рис.3.4 а) реализации D -триггера, синхронизируемого фронтом.

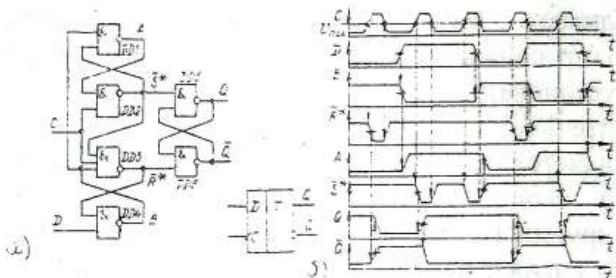


Рисунок 3.4- Схема D-триггера, синхронизируемого фронтом (а), временная диаграмма работы триггера (б)

D-триггер построен на трёх элементарных триггерах, из них два триггера на элементах DD1 - DD4 образуют схему синхронизации основной ЯП на элементах DD5, DD6.

Из временной диаграммы (рис.3.4 б) видно, что в паузах между синхроимпульсами $C=0$ и на выходах R^* и S^* поддерживаются единичные уровни независимо от состояния входа D . Это соответствует режиму хранения информации в основном триггере.

Переключение уровня на входе D влияет только на логические состояния выходов A и B триггеров схемы синхронизации: если $D=0$, то $B=1$ и $A=0$, а в случае $D=1$ имеем $B=0$ и $A=1$. При этом один из триггеров схемы синхронизации находится в устойчивом состоянии, а другой - в режиме разрыва триггерных связей при уровнях логической «1» на обоих выходах. Например, если $D=0$, то на выходах триггера

на элементах DD5 и DD4 устанавливаются одинаковые уровни $R^* = B = 1$.

В дальнейшем управление осуществляется следующим образом: если $D = 0$, то $R^* = 0$, $S^* = 1$ и триггер устанавливается в состояние «0»; если $D = 1$, то $R^* = 1$, $S^* = 0$ и триггер устанавливается в состояние «1». Из временной диаграммы видно, что при $C = 1$ переключение состояния информационного входа D не влияет на состояние D -триггера.

D -триггеры, синхронизируемые фронтом, применяются в сдвиговых регистрах, в регистрах ввода и вывода данных, в двоичных делителях, которые будут рассмотрены ниже.

В приложении 1 приведены параметры RS и D -триггеров основных промышленных серий, а в приложении 2 показаны назначение и нумерация выводов соответствующих ИМС.

T-триггер, или счётный триггер, имеет один управляющий вход. Это устройство переключается в противоположное состояние каждым последующим входным сигналом. Счётный вход организуется при помощи микросхем типа И-НЕ. T -триггеры выполняются на основе RS -триггеров.

Карта Карно T -триггера и уравнение, на основе которого работает данный триггер, приведены на рис. 3.5. Из уравнения следует, что T -триггер реализует операцию сложения по модулю 2, поэтому T -триггеры, режим их работы и управляющий вход называют **счётным**.

$$Q_n = \begin{array}{c|cc} & T_n & \\ \hline Q_{n-1} & 0 & 1 \\ \hline 0 & 0 & 1 \\ 1 & 1 & 0 \end{array} = \bar{T}_n Q_{n-1} + T_n \bar{Q}_{n-1} = T_n \oplus Q_{n-1}$$

Рисунок 3.5- Карта Карно и характеристическое уравнение Т-триггера

Простейшая функциональная схема Т-триггера и условное обозначение приведены на рис.3.6. Схема состоит из двух ЛЭ И-НЕ (DD1 и DD2), двух элементов задержки (DD3 и DD4) и RS- триггера (DD5). Линии задержки обеспечивают в течение времени τ поддержание на входах (DD1 и DD2) логических уровней, соответствующих предыдущему состоянию Т-триггера, кроме того исключают ложное срабатывание схемы за счёт обратной связи.

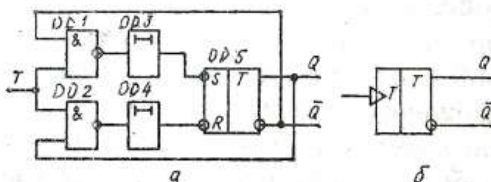


Рисунок 3.6 – Функциональная схема Т-триггера (а), условное обозначение (б)

Для обеспечения работы Т-триггера без сбоев необходима задержка $t_{зд.р}$ переключения логических уровней ЛЭ (DD1 и DD2) на величину τ , превышающую длительность счётного импульса $t_T \geq 2 t_{зд.р}$. В ка-

честве элемента задержки обычно используется интегрирующее звено (RC-звено).

Использование линий задержки и ограничение длительности счётных импульсов не дают возможности широко использовать одноктактные T-триггеры.

Как правило, T-триггеры строят по двухтактной схеме (рис.3.7), тогда необходимость в элементах задержки отпадает. Это T-триггер MS-типа, где переключение триггеров ступеней M и S разделены во времени самим счётным импульсом T. Триггер ступени M переключается единичным, а триггер ступени S- нулевым уровнем сигнала T. Для реализации разделённого во времени режима работы триггеров ступеней M и S используются связи выходов элементов DD1 (A) и DD2 (B) со входами DD4, DD5. В этом случае запись информации в триггер ступени M нулевым уровнем одновременно блокирует запись в триггер ступени S, который поэтому находится в режиме хранения информации. Наоборот, если $A = B = 1$, то триггер ступени M переключён в режим хранения информации и разблокированы вентили DD4, DD5 для перезаписи информации из триггера ступени M в триггер ступени S.

В T-триггерах принципиальное значение имеют обратные связи между выходами и входными логическими элементами. Они включаются так, что нулевое (единичное) состояние триггера S разрешает переключение в единичное (нулевое) состояние

триггера М. Благодаря этому каждый импульс на входе Т изменяет состояние триггеров ступеней М и S. По положительному фронту импульса Т переключается триггер ступени М, а по отрицательному фронту – триггер ступени S.

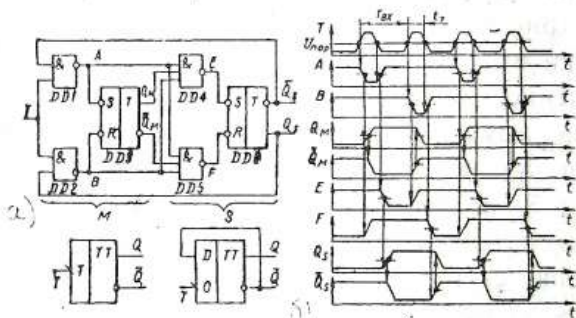


Рисунок 3.7- Функциональная схема двухступенчатого Т- триггера (а), его временные диаграммы (б)

Т- триггер можно построить на основе D- триггера MS- типа (рис.3.8). Для этого достаточно его информационный вход D соединить с инверсным выходом \bar{Q} , а на его вход синхронизации С подавать счётные импульсы.

Как видно из временной диаграммы (рис.3.7 б), частота импульсов на выходе Т-триггера $f_{\text{вых}} = f_{\text{вх}} / 2$, т.е. их можно использовать в качестве делителей частоты. Максимальная частота счётных импульсов Т- триггера MS-типа определяется значением $f_{T_{\text{max}}} = 1/6 t_{\text{зд}}$.

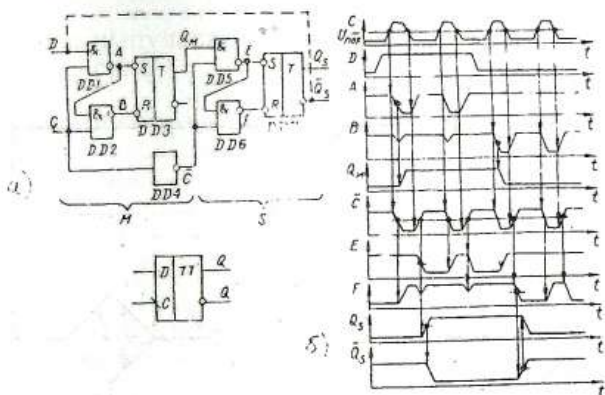


Рисунок 3.8- Схема построения Т-триггера на основе D-триггера MS-типа (а), временная диаграмма (б)

JK- триггер – это такой же элемент памяти, как рассмотренный выше RS- триггер, но с существенно отличными процессами **ввода** информации и сброса её. Вход J у JK- триггера является входом **установки**, а вход K- входом **считывания**. Ввод информации и возврат триггера в исходное состояние происходят по команде тактового импульса в момент его инвертирования в любом направлении, т. е. в момент перехода от 1 к 0 или, наоборот, от 0 к 1, что определяется типом триггера.

В случае входной комбинации $J = K = 1$ триггер переключается в противоположное состояние подобно Т- триггеру, а при любых других комбинациях JK-триггер функционирует подобно RS- триггеру, у которого роль входов S и R выполняют соответственно входы J и K. Алгоритм работы показан на рис.3.9.

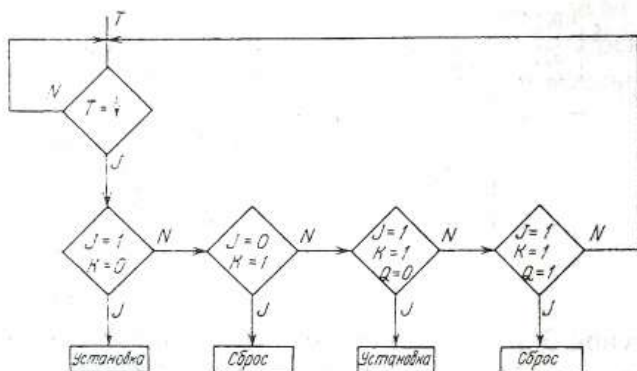


Рисунок 3.5- Алгоритм работы JK-триггера

Синтез ЛЭ выполняется по **таблице состояний** конкретного триггера и состоит в получении **характеристического уравнения** и его **функциональной схемы** на заданной элементной базе чаще всего И-НЕ или ИЛИ-НЕ. Полная таблица состояний синтезируемого ЛЭ включает в качестве аргументов не только входные переменные, но и состояние выходов в момент времени $(n-1)$, т. е. в момент времени до срабатывания триггера.

На таблице состояний асинхронного (табл.3.1) и синхронного (табл. 3.2) JK- триггеров показан порядок управления данным триггером.

JK- триггер (рис.3.10) выполняется по двухступенчатой структуре, состоящей из двух синхронных RS- триггеров и двух логических схем И-НЕ. Для этой схемы $S1=JQ$ и $R1=KQ$. Если $J=1$ и $K=0$, то при $Q=0$ получим $S1=1$, и после окончания первого

тактового импульса на входе С триггер установится в состояние $Q=1$.

Таблица 3.1- Асинхронный JK-триггер

Информационные входы		Тип триггера и значение его выходов Q				
(K)	S (J)	RS	R	S	E	JK
0	0	Q_{n-1}	Q_{n-1}	Q_{n-1}	Q_{n-1}	Q_{n-1}
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	1	8	0	1	Q_{n-1}	\bar{Q}_{n-1}

Таблица 3.2- Синхронный JK-триггер

C	J	K	Q_{n-1}	Q_n
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

Если $J=1$ и $K=0$, то при $Q=1$ оба входных сигнала триггера первой ступени S1 и R1 будут равны 0 и соответственно весь двухступенчатый триггер не будет изменять своего состояния при приходе синхронизующих импульсов на вход С. Таким образом, при $J=1$ и $K=0$ выход триггера $Q_n=1$, если $Q_{n-1}=0$ или $Q_{n-1}=1$. Подобным образом по отношению к состоянию $Q=0$ действует сигнал $K=1$ и $J=0$.

Если же $J=K=1$, то получим $S1=1$ и $R1=0$ при $Q=0$ или $S1=0$ и $R1=1$ при $Q=1$. Вследствие этого при $J=K=1$ триггер переключится в противоположное состояние при соответствующем фронте сигнала на входе С.

Рассмотрим ещё один пример реализации JK-триггера, который работает в счётном режиме по

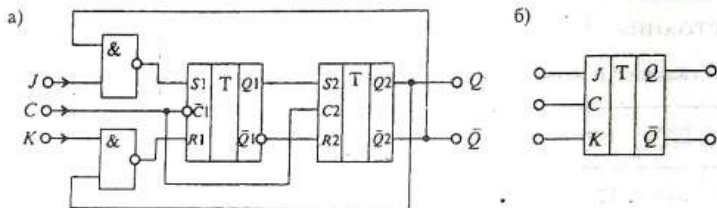


Рисунок 310- Функциональная схема JK- триггера (а), его условное обозначение (б)

аналогии с Т- триггером. Особенностью JK-триггера для счётного режима является наличие элементов задержки либо конструкция его должна быть выполнена по двухтактной схеме.

При составлении таблицы истинности и карты Карно предполагается, что в процессе переключения уровней синхроимпульса состояния информационных входов J и K не изменяются. Тогда характеристическое уравнение JK-триггера согласно карте Карно

$$Q_n = \bar{C}_n \cdot Q_{n-1} + \bar{K}_n \cdot Q_{n-1} + C_n \cdot J_{n-1} \cdot \bar{Q}_{n-1}$$

На рис.311,а,б показаны схемы счётного JK-триггера, на рис. 311 в- карта Карно и на рис. 311 г- его временные диаграммы на базе ЛЭ И- НЕ и линий задержки.

Работа данного варианта JK-триггера заключается в следующем. Синхроимпульс 1 (рис. 311 г) совпадает по времени с $J=1$ и, так как триггер находился в состоянии 0, то и $\bar{Q}=1$, поэтому при переключении

$C=0 \rightarrow 1$ формируется нулевой уровень сигнала \bar{S}^* , который переключает DD5, а затем DD6, переводя триггер в состояние 1. Аналогично синхроимпульс 2 положительным фронтом при $K=1$ и $J=0$ переключает JK- триггер в состояние 0. Синхроимпульсы 3 и 4 поступают на вход триггера при $J=K=1$, но благодаря взаимно задержанным сигналам Q_t и \bar{Q}_t с выходов триггера переключается только один из логических элементов DD2 или DD3 и именно тот, который обеспечивает переключение JK- триггера в противоположное состояние. При этом JK- триггер работает в режиме счётчика, или делителя частоты синхроимпульсов как T-триггер.

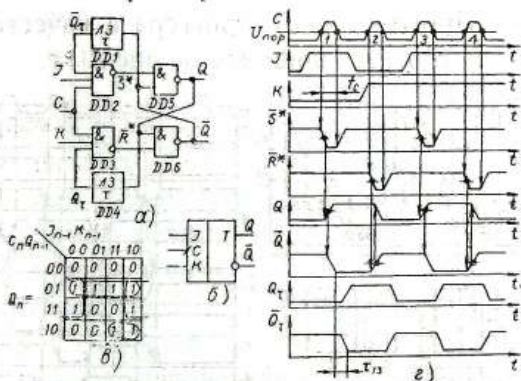


Рисунок 3.4. Функциональная схема синхронного триггера с линией задержки (а), обозначение на схемах (б), карта Карно (в), временные диаграммы (г)

Двухтактный JK- триггер (рис.3. а) не критичен к длительности управляющих и синхронизирующих

сигналов. Надо сказать, что двухтактные триггеры строятся не только на JK- триггерах, но и на D-триггерах. Они получили название триггеров MS-типа (Master- хозяин, ведущий, Slave- раб, ведомый). Временная диаграмма JK- триггера представлена на рис. 3.12 д.

Универсальность JK-триггера заключается в том, что коммутируя его входы, можно получить другие виды триггеров. Например, если объединить входы J и K и подать на них счётные импульсы T, то получим двухтактный T- триггер (рис.3.12 б). Дополнительный инвертор на входе позволяет использовать JK- триггер в качестве синхронного двухтактного D- триггера (рис.3.12 в). Применение JK-триггера в качестве двухтактного RS- триггера показано на рис.3.12 г.

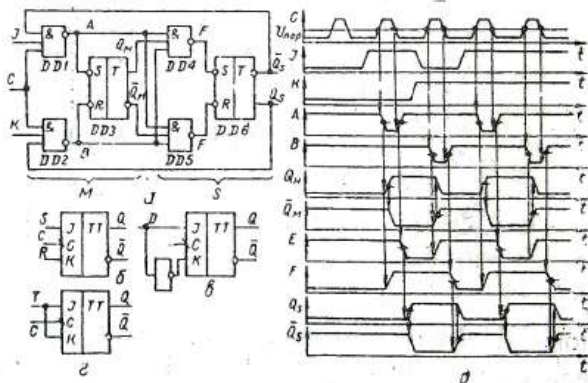


Рисунок 3.12- Функциональная схема двухтактного JK-триггера (а), применение JK-триггера в качестве двухтактного T-триггера (б), D-триггера (в), RS- триггера (г), временная диаграмма (д)

Рассмотрим ещё одну схему тактируемого JK- триггера (рис.3.13). Во время действия тактового импульса $C=1$ информация, определяемая входными сигналами на входах J и K, записывается в триггер DD5, а по окончании тактового импульса $C=0$ информация переписывается в триггер DD6.

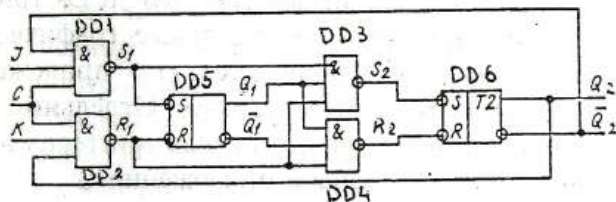


Рисунок 3.13- Функциональная схема тактируемого JK-триггера

Пусть, например, в **исходном состоянии** $Q_1=1$, $\bar{Q}_1=0$; $\bar{Q}_2=0$, $Q_2=1$, а на входы триггера поданы сигналы $J=0$, $K=1$, $C=0$. Очевидно, что до тех пор пока $C=0$ элементы DD1 и DD2 закрыты, т.е. $S_1=R_1=1$, никаких изменений в схеме не происходит.

Рабочий режим, т.е. управление. При подаче тактового импульса ($C=1$) на выходе элемента DD2 появляется сигнал $R_1=0$, который переключает триггер DD5 в состояние $Q_1=0$, $\bar{Q}_1=1$. Одновременно происходит закрывание элементов DD3, DD4 ($S_2=R_2=1$). По окончании действия импульса ($C=0$) на выходах S1 и R1 образуются сигналы ($S_1=R_1=1$). Элемент DD4 при этом отпирается и на его выходе образуется сигнал $R_2=0$, переключающий триггер DD6 в состояние $Q_2=0$, $\bar{Q}_2=1$. Процесс

переключения JK- триггера при других сигналах на входе аналогичен.

JK- триггеры широко применяются при построении параллельных и последовательных регистров, различных пересчётных схем, накапливающих сумматоров.

Основные параметры RS- и D- триггеров, а также JK- триггеров, их условные графические обозначения (УГО) приведены в приложении А и приложении Б соответственно. Отдельные статические параметры различных типов триггеров и таблицы их состояний показаны в приложении В.

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Поясните особенности работы D- триггера.
- 2 Приведите логическую схему синхронного D- триггера.
- 3 Получите характеристическое уравнение D-триггера.
- 4 Почему D- триггер называют триггером задержки?
- 5 Изобразите логическую схему D- триггера, построенную на ЛЭ ИЛИ- НЕ, поясните её работу.
- 6 Изобразите логическую схему D- триггера, построенную на ЛЭ И- НЕ, поясните её работу.
- 7 Поясните, в чём разница работы D-триггера типа защёлка и D-триггера, синхронизируемого передним фронтом импульса?
- 8 Поясните работу D-триггера, синхронизируемого передним фронтом импульса.
- 9 Приведите примеры использования D-триггеров.

10 Изобразите ИМС D-триггера, поясните назначение входов и выводов.

11 Поясните особенности принципа действия и конструкции T- триггера.

12 Приведите таблицу состояний, получите характеристическое уравнение T- триггера.

13 Вследствие каких причин T- триггер получил название « счётный триггер ».

14 Изобразите простейшую логическую схему триггера, поясните её работу.

15 Какое назначение имеют линии задержки в логических схемах T- триггеров и как они формируются?

16 Поясните сущность MS –триггера, приведите основные достоинства этого триггера.

17 Каким образом получают T –триггер при наличии D- триггера?

18 В чём отличие JK- триггера от RS- триггера?

19 Приведите таблицы состояний RS и JK- триггеров, поясните их сходство и различие.

20 Изобразите схему счётного триггера на основе JK- триггера.

21 Имея таблицу состояния JK-триггера, изобразите схему алгоритма его работы.

22 Приведите простейшую схему JK-триггера, поясните его работу.

23 В чём заключается универсальность JK- триггера?

24 Приведите схему тактируемого JK-триггера, поясните его работу.

25 Приведите примеры использования JK-триггера.

26 Дайте назначение входов ИМС JK-триггера.

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Особенностью триггера задержки, или D-триггера, является наличие только одного информационного входа D. Принцип действия его состоит в том, что после приложения синхросигнала С он повторяет сигнал на входе D, но с задержкой. D- триггер может быть построен на основе синхронного RS- триггера, если R и D- входы закоммутировать через ЛЭ ИЛИ-НЕ (рис. 3.14).

На рис. 3.15 представлена структура D- триггера с двуступенчатым запоминанием.

Для реализации счётного Т-триггера необходимо использовать инверсный выход триггера и соединить его с информационным D -входом (рис. 3.16 а) или RS – входом (рис. 3.16 б). В этом случае после воздействия С-импульса триггер переходит из состояния Q в противоположное состояние \bar{Q} . После второго С- импульса триггер возвращается в исходное состояние. Иными словами, на выходе такого триггера в ответ на два импульса на входе появляется один импульс на выходе- формируется делитель частоты (рис.3.16 в).

Структура JK-триггера (рис.3.17) напоминает двуступенчатый RS- триггер с ПОС для получения счётного входа. Однако ПОС заведены не непосредственно на R- и S – входы, а через ЛЭ И. На другие входы этих же ЛЭ И подаются соответственно информационные сигналы J и K. Если $J=K=1$, то триггер полностью эквивалентен схеме, показанной на рис. 3.16 б, и работает как счётный.

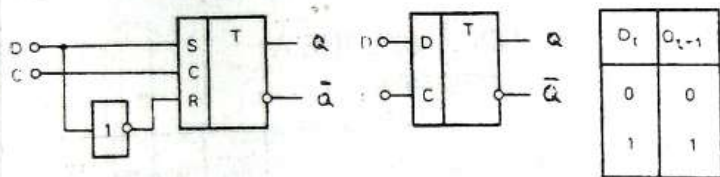


Рисунок 3.14- Построение D- триггера на основе S-триггера

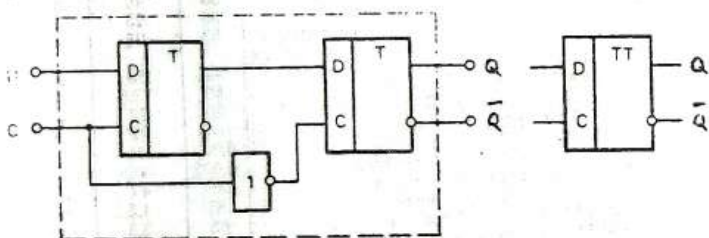


Рисунок 3.15- D-триггер с двуступенчатым запоминанием

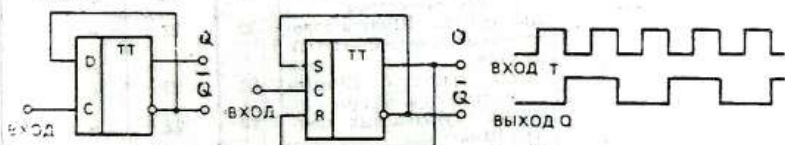


Рисунок 3.16- Реализация счётного Т- триггера на базе: D-триггера (а), RS-триггера (б); деление частоты (в)

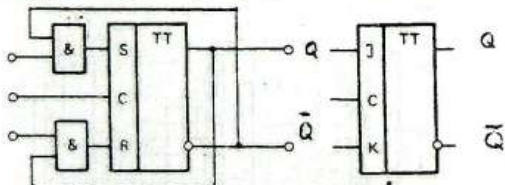


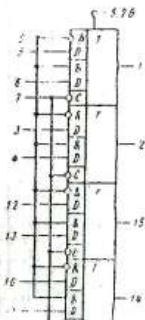
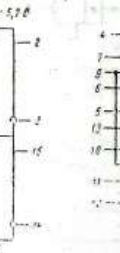
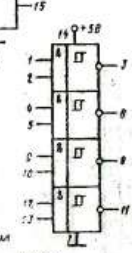
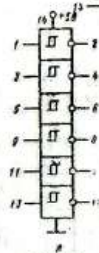
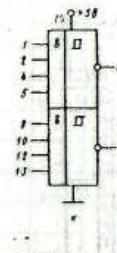
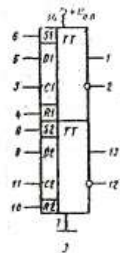
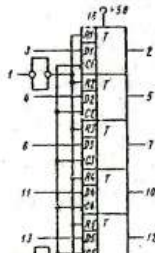
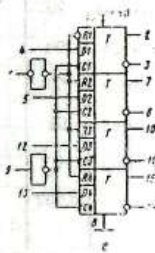
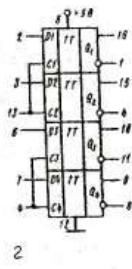
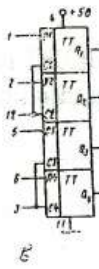
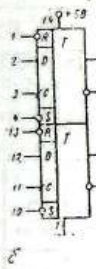
Рисунок 3.17- Счётный Т-триггер на базе JK-триггера

ПРИЛОЖЕНИЕ А

(справочное)

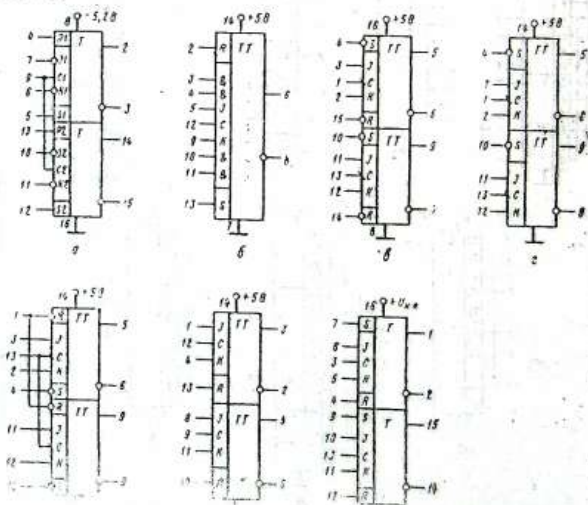
Типовый код	Функциональное назначение	$I_{\text{пот. мЛ. не более}}$	$I_{\text{зд. р. ис. не более}}$	УГО
K561TP2	Четыре RS-триггера	2,0	300	а
K155TM2	Два D-триггера	30	40	б
TM5	Четыре D-триггера	53	25	в
TM7	Четыре D-триггера с прямыми и инверсными выходами	53	25	г
TM8	Счетверенный D-триггер	—	35	д
K531TM2п	Два D-триггера	50	13,5	б
KM8п	Четыре D-триггера	96	22	е
TM9п	Шесть D-триггеров	—	22	ж
K561TM2	Два D-триггера	0,003	150	в
K561TM3	Четыре D-триггера	0,003	700	и
K500TM130	Два D-триггера	35	4,0	н
K500TM131	Два D-триггера	56	4,5	о
K500TM231	Два D-триггера	65	3,3	о
K500TM133	Четыре D-триггера типа «зашелка»	75	5,4	п
K500TM134	Два D-триггера	55	5,5	р
K500TM173	Четыре D-триггера с входным мультиплексором	66	6,2	с
K155TL1	Два триггера Шмитта с логическим элементом 4И—НЕ на входе	32	27	к
TL2	Шесть триггеров Шмитта с инверсными выходами	60	22	л
TL3	Четыре двухвходовых триггера Шмитта	40	22	м
K555TL2	Шесть триггеров Шмитта с инверсными выходами	21	22	л

Продолжение приложения А



ПРИЛОЖЕНИЕ Б (справочное)

Типовойнаим	Функциональное назначение	$I_{пот}$ мА, нс более	$f_{эд. р.}$ нс, не более	УГО (рис. Б.21)
К500ТВ135	Два JK-триггера	68	5,0	а
К155ТВ1	JK-триггер с логикой ЗИ на входе	20	40	б
К531ТВ9П	Два JK-триггера с установкой логического 0 и 1	50	7,0	в
ТВ10П	Два JK-триггера с установкой 1	50	7,0	г
ТВ11П	Два JK-триггера с установкой 0	50	7,0	д
К555ТВ6	Два JK-триггера со сбросом	8	30	е
К561ТВ1	Два JK-триггера	0,002	600	ж



Наименование триггера	Тип логики	Функциональное назначение	$U_{\text{вв}}^{\text{нп}}$ В	$P_{\text{мбг}}^{\text{нп}}$ мВт	$U_{\text{п}}^{\text{нп}}$ В	$P_{\text{ис}}^{\text{нп}}$ мВт	$I_{\text{нп}}^{\text{нп}}$ мА
555TP2	ТТЛ	Четыре SR-триггера	5,0	35,0	2,5	22,0	25
155TB1	ТТЛ	JK-триггер	5,0	100,0	2,5	40,0	15
555TM2	ТТЛ	Два D-триггера	5,0	30,0	2,5	20,0	30
561TP2	КМОП	Четыре SR-триггера	15,0	0,1	7,2	200,0	5
561TB1	КМОП	Два JK-триггера	15,0	0,1	7,2	150,0	5
561TM3	КМОП	Четыре D-триггера	15,0	0,1	7,2	150,0	5
500TM133	ЭСЛ	Четыре D-триггера	-5,2	350,0	-1,0	3,5	100

Состояния триггера 555TP2

Вход			Выход
\bar{S}_1	\bar{S}_2	\bar{R}	
0	0	0	1
0	x	1	1
x	0	1	1
1	1	0	0
1	1	1	Без изменений

Примечание: x — неопределенное состояние (т.е. 0 или 1).

Состояния триггера 155TB1

Режим работы	Входы					Выходы	
	\bar{S}	\bar{R}	\bar{C}	J	K	Q	\bar{Q}
Асинхронная установка	0	1	x	x	x	1	0
Асинхронный сброс	1	0	x	x	x	0	1
Не определено	0	0	x	x	x	1	1
Переключение	1	1	\perp	1	1		
Сброс в 0	1	1	\perp	0	1	0	1
Установка в 1	1	1	\perp	1	0	1	0
Хранение	1	1	\perp	0	0		

Состояния триггера 555TM2

Режим работы	Входы				Выходы	
	\bar{S}	\bar{R}	\bar{C}	D	Q	\bar{Q}
Асинхронная установка	0	1	x	x	1	0
Асинхронный сброс	1	0	x	x	0	1
Не определено	0	0	x	x	1	1
Установка в 1	1	1	\uparrow	1	1	0
Сброс в 0	1	1	\uparrow	0	0	1

Лекция 4 Регистры

1 Назначение регистров, функциональная схема, типы регистров, применение в вычислительной технике.

2 Регистры: параллельные (регистры памяти), последовательные (регистры сдвига), комбинированные. Особенности их построения, принцип действия.

Регистры – это цифровые устройства, предназначенные для приёма и хранения информации, её преобразования и передачи. Под преобразованием информации понимается сдвиг двоичных чисел на заданное количество разрядов, а также получение последовательного двоичного кода из параллельного и обратно.

Основное функциональное назначение регистров – оперативная память для многоразрядных двоичных чисел. Регистры состоят из триггеров – элементов памяти, к которым в зависимости от назначения подключаются дополнительные элементы, позволяющие реализовать другие специальные функции.

Обобщённая функциональная схема регистра приведена на рис. 4.1. Она состоит из триггеров ТТ и комбинационной схемы КС: входы $y_1 - y_m$ – сигналы микроопераций; $x_1 - x_n$ – информационные входы регистра; $z_1 - z_n$ – информационные выходы регистра; А и В – информационные входы триггеров; С – тактирующие входы.

Наиболее распространёнными микрооперациями регистров являются:

- установка исходного состояния (нулевого) – y_1 ;

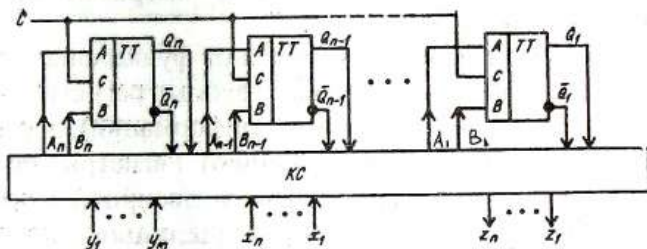


Рисунок 4.1- Функциональная схема регистра

- приём (запись) слова — y_2 ;
- поразрядное логическое умножение 2-х слов — y_3 ;
- поразрядное логическое сложение 2-х слов — y_4 ;
- поразрядная сумма 2-х слов по модулю 2 — y_5 ;
- сдвиг слова на j разрядов — y_6 ;
- инвертирование разрядов слова — y_7 ;
- выдача слова в прямом коде — y_8 ;
- выдача слова в обратном коде — y_9 ;
- выдача слова в парафазном коде — y_{10} ;

Составляющими регистров являются асинхронные и синхронные D-, RS-, JK- триггеры и вспомогательные логические элементы. Число разрядов в регистре называется его длиной. В n -разрядный регистр можно записать 2^n разрядных слов, т.е. регистр может находиться в 2^n различных состояниях.

Занесение информации в регистр называют операцией ввода или записи. Выдача информации к

внешним устройствам характеризует **операцию вывода или считывания.**

Все регистры в зависимости от функциональных свойств классифицируются на группы: регистры **памяти** (осуществляют хранение информации) и регистры **сдвига** (сдвигают информацию). Регистры также делятся по способу ввода и вывода двоичной информации на **последовательно-параллельные, параллельно-последовательные и универсальные.**

Всюду, где осуществляется обработка двоичной информации, её необходимо длительно или кратко-временно хранить. Поясним работу регистра на примере использования одного или нескольких регистров для управления моделью железной дороги. Работой модели управляет ЭВМ (рис. 4.2), которая получает необходимые данные из постоянного запоминающего устройства (ПЗУ), обрабатывает их и подготавливает указания, поступающие опять на исполнительные устройства модели.

Для согласования ЭВМ с исполнительными устройствами модели используется **управляющий регистр**, который совместно с блоком электронного управления вырабатывает для каждого участка дороги ток электропривода локомотива, ток управления стрелками и светофором. Каждый бит в регистре несёт свою информацию. Один бит управляет током электропривода, другой - током переключения стрелок, третий - током сигнальных ламп в светофорах. Если данный бит имеет значение 1, то в схеме под его влиянием что-то совершается, например, локомотив получает

ток привода, переключается стрелка или на лампу светофора подаётся напряжение. Если же данный бит соответствует логическому 0, то на работу схемы в данный момент он влияния не оказывает.

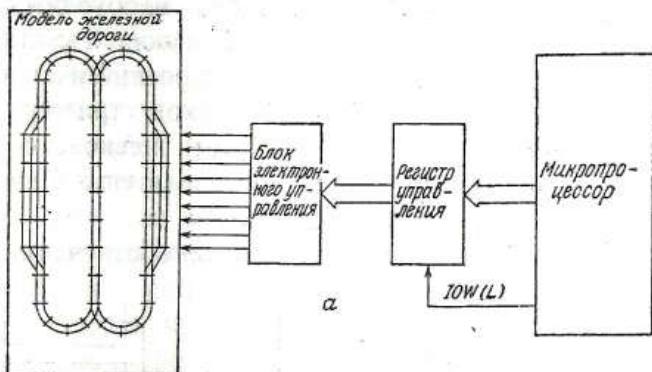


Рисунок 4.2- Схема управления участком дороги с использованием регистра

Движение локомотива, переключение стрелок и светофоров- это операции несравнимо более медленные, чем темп обработки информации в микропроцессоре (МП). Так, например, чтобы локомотив двигался, ток электропривода должен равномерно подаваться на участок дороги в течение нескольких секунд. Разумеется, заставить ЭВМ ожидать окончания этой операции было бы расточительством времени. Здесь как раз и находит применение регистр, которому на указанное время передаётся функция управления, а ЭВМ в это время продолжает свою работу, проводя, например, обработку информации для управления миганием светофоров на том же

участке дороги. Включение и выключение режима мигания сигнальных ламп тоже может быть функцией ЭВМ.

В данном примере использован восьмиразрядный регистр, который загружается необходимыми данными по команде IOW (L), поступающей с шины данных ЭВМ. Сигнал IOW (L) - это короткий импульс, который подается на тактовый вход триггера в регистре. Если необходимо загрузить несколько регистров, то это можно сделать последовательно, вводя информацию в один регистр за другим.

На рис.4.3 показаны два способа обозначения на схемах групп сигнальных линий.

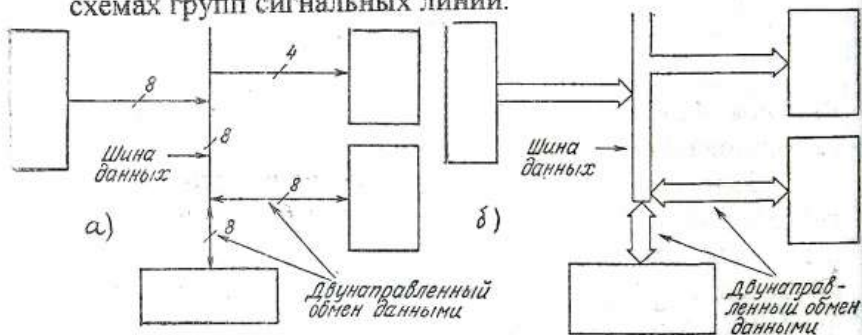


Рисунок 4.3- Способы обозначения сигнальных линий

Первый способ обозначения (рис.4.3 а) представляет собой шины данных. Стрелки на концах полосок указывают, является ли поток данных входящим или исходящим. Если потоки данных распространяются в обе стороны, то стрелки проставляются в обе стороны. Второй способ обозначения групп сигнальных линий показан на рис.4.3 б. В этом

случае группы линий обозначены одной линией с поперечными штрихами и цифрой у каждого штриха. Цифры указывают число линий в данной группе. Иногда используются оба способа совместно, причём один- применяется для обозначения шин данных, другой- для обозначения шин управляющих сигналов.

Примером применения регистров может служить ЭВМ, структурная схема которой показана на рис. 4.4. Любая ЭВМ содержит **арифметическое устройство**, которое по командам выполняет различные математические и логические действия. До того как совершить какое-либо действие, вычислительный блок должен располагать **входными данными**. Эти данные заранее записаны в двух **8-разрядных регистрах**, которые на схеме обозначены буквами А и В.

Вычислительное устройство должно получить сведения от **регистра команд** о предстоящей обработке данных. Результат, полученный после обработки входных данных, поступает на регистр R. Информация регистра команд, а также данные **регистров А, В и R** на некоторое время вводятся в оперативную память с тем, чтобы полученный результат можно было использовать при дальнейшей обработке.

В ПЗУ программ содержится следующая команда, в которой указано, куда должен быть направлен полученный результат: в большой общий накопитель или на внутренний регистр МП, например, А или В. В программном ЗУ команды записаны двоичным кодом и расположены в последовательном ряду ячеек памяти. В ЗУ имеется внутренняя схема селек-

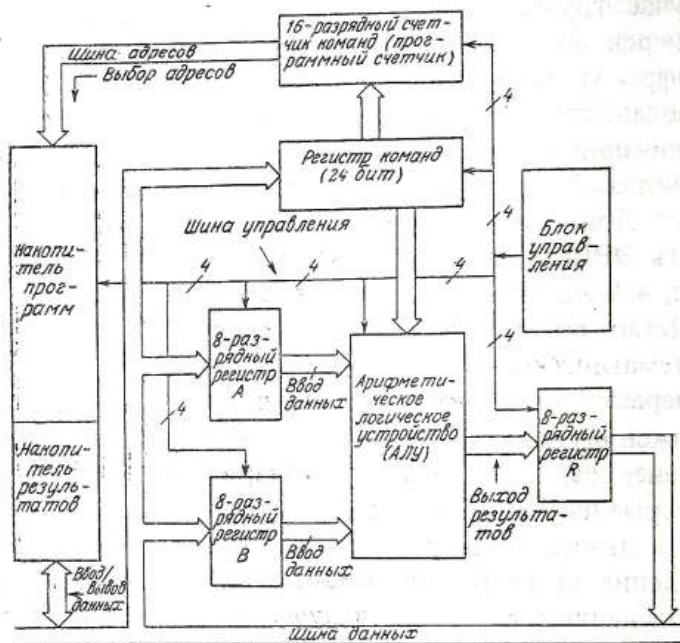


Рисунок 4.4- Связи регистров с вычислительными устройствами и ЗУ

ции, с помощью которой можно выбрать желаемую ячейку. Для этого на входы селектирующей схемы в закодированном виде подается номер искомой ячейки памяти и по команде считывания на шину данных выводится код-указание, который передается на регистр команд.

Контроль за очередностью ячеек памяти в программном ЗУ осуществляется с помощью программного счетчика, который представляет собой обычный

двоичный счётчик со входами **предустановки**. Таким образом, и здесь имеется **регистр**, временно запоминающий адрес следующей команды в программном ЗУ. Кроме того, имеются одноразрядные регистры обслуживания (индексные регистры), которые могут дать сведения о состоянии регистра А, например, находится ли он в состоянии 0 или произошёл перенос и т.д. Эти регистры не показаны на рис.4.4.

Наконец, имеется блок управления (БУ) или счётчик, который определяет, в какой последовательности и в какие моменты времени должны совершаться операции по одной команде. БУ можно рассматривать и как регистр, потому что фактически он выполняет роль устройства памяти, хранящего указания о порядке процедур обработки.

Регистр ни в коем случае не может получить информацию по шине данных или выдать информацию на неё без команды БУ. Поэтому **регистры относятся к типу элементов памяти, которые принимают и отдают информацию на шину, когда активизируется их выход**. Если информация с регистра не требуется, его выход находится в неопределённом состоянии. Обмен данными между регистрами и соединение их с шиной данных также контролируется БУ.

Счётчик очередности команд (программный счётчик), контролирующей адресацию ЗУ, может загружаться из **регистра команд** параллельно. Это обычно касается **команд перехода**, когда 16 разрядов кода передаются на счётчик очередности команд, так

что очередная команда считывания происходит из самого адреса. Таким образом, речь идёт о скачкообразном переходе к другой части программы или подпрограммы.

В регистрах памяти ввод/вывод всех разрядов числа производится одновременно за один такт, т.е. параллельно. Для построения n -разрядного регистра памяти требуется n -триггеров. Регистры памяти служат основным функциональным элементом для построения оперативных запоминающих устройств (ОЗУ).

В регистрах сдвига ввод/вывод информации осуществляется через один информационный вход и один выход поразрядно со сдвигом числа, т.е. последовательно разряд за разрядом. Поэтому их называют регистрами сдвига. За один такт вводимая или выводимая информация сдвигается на один разряд вправо или влево.

Последовательно-параллельные регистры имеют один информационный вход для последовательного ввода числа в режиме сдвига и выходные вентили для выдачи n -разрядного числа параллельным кодом. Такие регистры выполняют преобразование последовательного кода в параллельный.

В параллельно-последовательные регистры информация вводится параллельным кодом за один такт через тактируемые входные вентили, а выводится из них последовательно по одному разряду в каждом тактовом интервале. Тем самым реализуется операция

преобразования параллельного кода в последовательный.

Универсальные регистры сочетают в себе свойства вышеназванных типов регистров и обеспечивают режимы отключения входов и выходов (третье логическое состояние) регистра от общей информационной шины, перекоммутацию местами входов и выходов регистра и тем самым переключение функций приём / передача информации в общую информационную шину.

Рассмотрим более подробно отдельные виды регистров. **Регистры памяти** используются для записи, хранения и считывания небольшого объёма цифровой информации (одного или двух байтов, байт= 8 бит). Количество **триггеров регистра** соответствует числу **бит информации** регистра, которую он принимает, хранит и считывает.

При построении регистров памяти обычно используются RS- и D- триггеры. На рис.4.5 а показана схема регистра на основе асинхронного RS-триггера. Имеется **три шины**: А- **ввод информации**; R-**сброс** всех триггеров в нулевое положение; В- **вывод информации** из регистра. Ввод информации в регистр и её вывод осуществляется через ЛЭ И-НЕ, связанные с входными и выходными шинами. Работа регистра должна начинаться с нулевого состояния перед занесением очередного n-разрядного числа (слова) со входов $x_1 \dots x_n$.

Сброс производится сигналом $R = 0$. Ввод информации в регистр происходит по сигналу $A=1$ и $R= 1$.

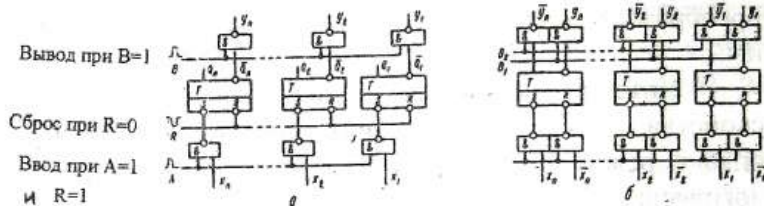


Рисунок 4.5- Схемы регистров на основе асинхронного RS- триггера

Если на некотором i -м входе $X_i = 1$, то $S_i = \overline{X_i} \cdot A = 0$ и данный i - триггер (с инверсным управлением) переключается в состояние 1. Если на некотором j -м входе $X_j = 0$, то $S_j = X_j \cdot A = 1$ и j -триггер сохраняет состояние 0. Вывод информации из регистра производится по сигналу $V = 1$, определяющему состояния выходов $Y_k = \overline{Q_k} \cdot V$. Если $V = 0$, то на всех выходах устанавливаются уровни логической единицы, а при $V = 1$ имеем $Y_k = 0$. Основным недостатком данного регистра – необходимость предварительной очистки, из-за чего обновление информации осуществляется за два такта.

Возможны другие варианты построения регистров на основе асинхронного RS- триггера (рис.4.5 б). В данном случае предварительная очистка не требуется, поскольку обновление информации в регистре происходит установкой триггеров в состояние «1» и «0» за один такт, но для этого на входе регистра необходимо вдвое больше ЛЭ и линий связи. На рис.4.5 б показан способ выдачи информации в

прямом коде (команда $B_1=1$) и/или в обратном коде (команда $B_2=1$).

Возможен вариант построения параллельного регистра на основе синхронных D-триггеров (рис.4.6а). Здесь в качестве входных используются ЛЭ, входящие в схему D-триггеров. Ввод информации происходит на интервале синхронизации при $C=0$. В качестве выходов использованы ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ.

Рассмотрим пример выполнения регистра на синхронных RS- триггерах (рис.4.6 б). Ввод информации в регистр и её вывод осуществляется через ячейки И, связанные с выходными и входными шинами.

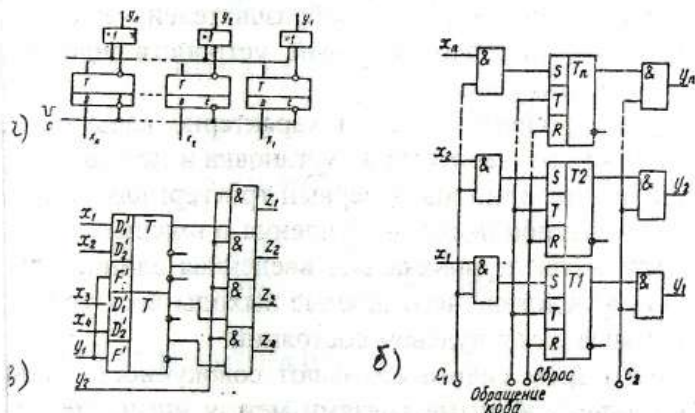


Рисунок 4.6- Построение параллельного регистра на синхронных D-триггерах (а, в) и RS- триггерах (б)

Для вывода информации в обратном коде, когда все единицы в кодовой комбинации заменяются нулями, а нули – единицами, предварительно необходимо подать управляющий импульс на шину «обращение

кода», соединённую со счётными входами триггеров. При подаче импульса на шину «сброс» все триггеры сбрасываются в состояние 0. Информация из этого регистра считывается многократно без разрушения.

На рис.4.6 в представлен четырёхразрядный регистр памяти, выполненный на микросхемах D-триггеров 155ТМ7 и схемах совпадения 155ЛИ1. При $y_1=1$ происходит параллельная запись значений сигналов x_i в регистр. При $y_1 = y_2 = 0$ записанная информация хранится в регистре, и при $y_2 = 1$ производится её считывание.

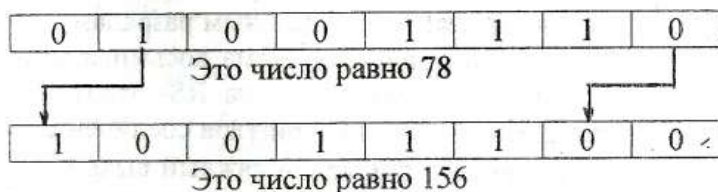
Регистры сдвига применяются в качестве запоминающих устройств, преобразователей последовательного кода в параллельный, устройств задержки и счётчиков импульсов.

Для регистров сдвига характерно следующее: необходима предварительная установка в исходное состояние и ввод единицы в первый триггер; для регистра из n триггеров после поступления n входных тактовых импульсов первоначально введённая единица выводится, вследствие чего прямые выходы всех триггеров оказываются в нулевом состоянии.

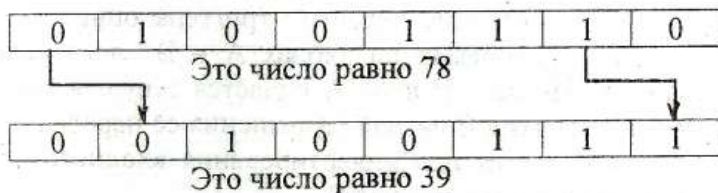
Регистром сдвига называют совокупность триггеров с определёнными связями между ними, при которых они действуют как единое целое. В регистрах сдвига организация этих связей такова, что при подаче тактового импульса, общего для всех триггеров, выходное состояние каждого триггера сдвигается в соседний. В зависимости от организации связей этот сдвиг может происходить влево или вправо.

Поясним действие регистра сдвига, выполняющего арифметические операции умножения, деления, а также операции сдвига и ротации, широко используемые в работе с компьютерной графикой (рис.4.7).

СДВИГ ВЛЕВО (равноценен умножению на 2)



СДВИГ ВПРАВО (равноценен делению на 2)



РОТАЦИЯ ВПРАВО

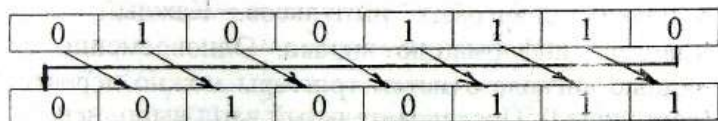


Рисунок 4.7- Регистр сдвига, выполняющий операции умножения, деления и ротации

Ввод информации в регистр может выполняться различными способами, однако наиболее часто используют параллельный или последовательный ввод, при которых ввод двоичного числа осуществляется или одновременно во все разряды регистра, или последовательно во времени по отдельным разрядам.

На рис.4.8 а приведена схема восьмиразрядного регистра сдвига, выполненного на RS- триггерах. В этой схеме каждый выход Q триггера соединён со входом S последующего разряда, а каждый выход \bar{Q} — со входом R. Тактовые входы всех триггеров соединены вместе, и поступление сигнала синхронизации осуществляется одним общим импульсом через ЛЭ НЕ.

Состояние первого триггера определяется входными сигналами на входах А и В логического элемента И- НЕ. На вход А подаётся текущая информация, а на вход В сигнал разрешения её передачи. ЛЭ НЕ используется для инвертирования входного сигнала, подаваемого на вход S.

На временной диаграмме (рис.4.8 б) видно, как происходит сдвиг информации под действием нескольких сдвиговых импульсов. Каждый импульс сдвигает информацию вправо. Одновременно с помощью сигнала очистки триггеры можно перевести в состояние 0. Последовательный вход выполнен по схеме ЛЭ И-НЕ, с помощью которого можно прекратить поток данных к регистру. Для этого можно, например,

сделать низким уровень сигнала на входе В, когда данные подаются на вход А. Алгоритм работы регистра сдвига (рис. 4.8) можно представить следующим образом: $Q_1 \rightarrow Q_2, Q_2 \rightarrow Q_3, Q_3 \rightarrow Q_4, \dots, Q_{n-1} \rightarrow Q_n$, что обеспечивает сдвиг информации вправо.

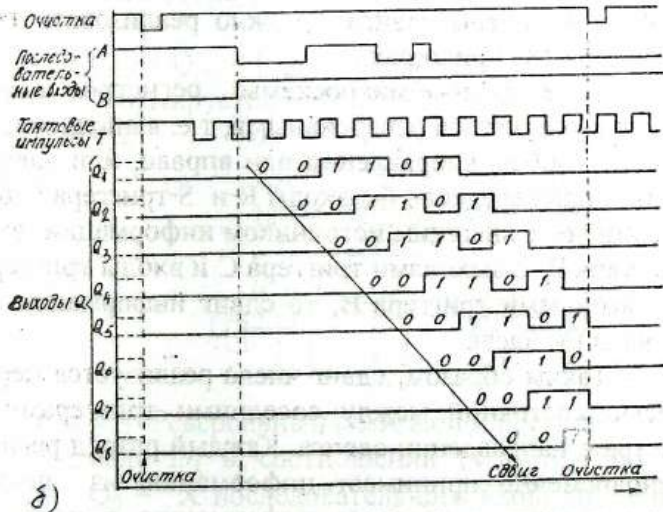
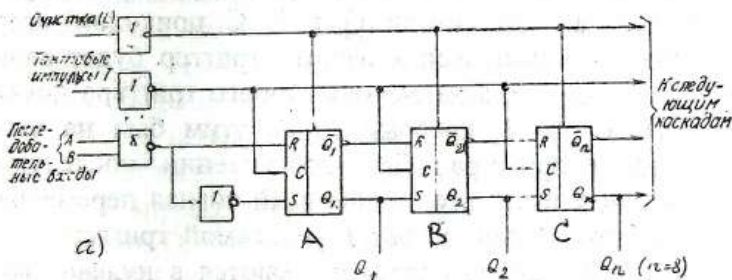


Рисунок 4.8- Фрагмент 8-разрядного регистра сдвига (а) временная диаграмма (б)

Рассмотрим более подробно работу данного регистра. Если при поступлении первого тактового импульса на входах А и В установлены сигналы $A=B=1$, которые затем снимаются к приходу второго тактового импульса, то в результате в первый триггер будет записан сигнал $Q_1 = 1$. С приходом второго тактового импульса в первый триггер будет записан сигнал $Q = 0$, а на выходе второго триггера появится сигнал $Q = 1$, который перед этим был на выходе первого триггера. При поступлении последующих тактовых импульсов единичный сигнал перемещается последовательно в третий – восьмой триггеры, после чего все триггеры устанавливаются в нулевое состояние. Регистры сдвига можно реализовать также на D- или JK- триггерах.

Интегральные микросхемы регистров сдвига могут выполняться реверсивными, т.е. выполняющими сдвиг в любом направлении или вправо, или влево. В нашем примере, если бы входы R- и S-триггера С были соединены с внешним источником информации, входы триггера В- с выходами триггера С и входы триггера А – с выходами триггера В, то сдвиг информации произошёл бы влево.

Таким образом, сдвиг числа реализуется перезаписью состояний между соседними триггерами регистра в направлении сдвига. Каждый разряд регистра одновременно принимает информацию из предыдущего разряда и передаёт информацию в последующий. Во избежание явления гонок эти процессы должны быть разделены во времени. Это достигается

включением элементов линий задержек в связи между разрядами либо использованием двухтактных триггеров.

В реверсивных регистрах сдвига для обеспечения возможности сдвига информации в обоих направлениях выход каждого разряда должен быть связан через ЛЭ переключения направления сдвига со входами предыдущего и последующего разрядов.

Пусть направление сдвига задаётся логическим уровнем сигнала \bar{E} так, что при $E=0$ сдвиг осуществляется вправо: $D_i = Q_{i-1}$, а при $E=1$ происходит сдвиг влево: $D_i = Q_{i+1}$. Тогда j -й триггер реверсивного сдвигающего регистра должен управляться сигналом

$$D_i = EQ_{i-1} + \bar{E}Q_{i+1} = \overline{\bar{E}Q_{i-1}} + \overline{EQ_{i+1}} = \overline{\bar{E}Q_{i-1}} \cdot \overline{EQ_{i+1}}, \quad (4.1)$$

который формируется на ЛЭ И-ИЛИ-НЕ (рис.4.9) либо на ЛЭ И-НЕ.

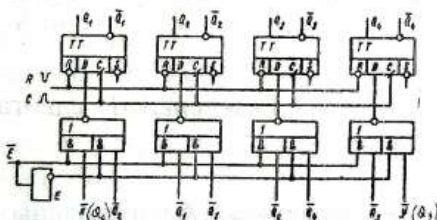


Рисунок 4.9 - Реверсивный сдвигающий регистр

Для сигнала D_1 в соотношении (4.1) используется сигнал $\bar{Q}_0 = \bar{X}$ последовательного входа при сдвиге вправо или $\bar{Q}_4 = \bar{X}$ при построении кольцевого сдвигающего вправо регистра.

Аналогично для входа D_4 в качестве сигнала используется последовательный вход \bar{Y} при сдвиге влево или $\bar{Q}_1 = \bar{Y}$ при построении кольцевого регистра сдвига влево.

На рис. 4.10 показан вариант реверсивного регистра сдвига на основе JK-триггера. Сигнал на входах J_i определяется аналогично D_i согласно выражению (4.1), а на входах K_i устанавливается сигнал $K_i = \bar{J}_i$ благодаря инверторам во входной цепи.

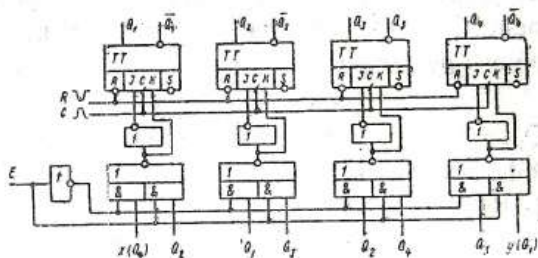


Рисунок 4.10- Реверсивный сдвигающий регистр на JK-триггерах

В приложении А приведены параметры регистров промышленных серий цифровых ИМС, в приложении Б представлены условные графические обозначения этих ИМС.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1 Дайте определение регистру, объясните его функциональное назначение.

Приведите обобщённую функциональную схему регистра, поясните её работу.

Приведите основные микрооперации регистра.

На каких составных элементах строятся регистры?

Поясните классификацию регистров в зависимости от функциональных свойств.

Приведите примеры использования регистров

Поясните принцип работы регистров памяти и регистров сдвига.

Изобразите схему простейшего регистра памяти, поясните её работу.

Изобразите схему простейшего регистра сдвига, поясните её работу.

0 Поясните работу регистра сдвига, выполняющего операции умножения и деления

1 Приведите временную диаграмму работы регистра сдвига.

2 Изобразите схему реверсивного регистра сдвига, поясните принцип его работы.

3 Дайте основные понятия работы JK-триггера, используемого в регистрах сдвига.

4 Расшифруйте обозначение ИМС К155ИР1.

5 Дайте назначение входов и выходов ИМС 1500ИР141.

6 Приведите основные параметры, характеризующие функционирование регистров.

7 Изобразите схему 4-разрядного регистра сдвига.

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Регистр- цепочка триггеров для запоминания двоичного числа. Количество триггеров равно наибольшей разрядности хранимого числа. Каждому триггеру поставлен в соответствие весовой коэффициент. Если все триггеры регистра находятся в состоянии 0, а данный триггер – в состоянии 1, то хранимое в регистре число равно весу этого триггера, т.е. $2^0, 2^1, \dots, 2^{n-1}$.

Код числа можно передавать из одного регистра в другой параллельно (рис. 4.11) или последовательно (рис. 4.12). В первом случае при появлении сигнала «ЗАПИСЬ» на входе второго регистра каждый триггер этого регистра устанавливается в состояние, соответствующее сигналу на D- входе, т.е. в состояние, связанного с ним триггера первого регистра.

При последовательном способе передачи на общий вход «СДВИГ» необходимо подать n -импульсов (4 импульса для случая, представленного на рис. 4.12). Каждый импульс «СДВИГ» устанавливает данный триггер в состояние соседа слева, код первого регистра будет передан во второй регистр и т.д. Если необходимо сохранить содержимое в первом регистре, то необходимо соединить выход конечного регистра со входов первого (пунктирная линия на рис.4.12).

В сдвигающем регистре (рис. 4.13) при каждом импульсе управления весь код смещается по отношению к цепочке триггеров на одну позицию. Если веса триггеров фиксированы, то сдвиг в одну сторону эквивалентен умножению числа на 2, в другую- делению на 2.

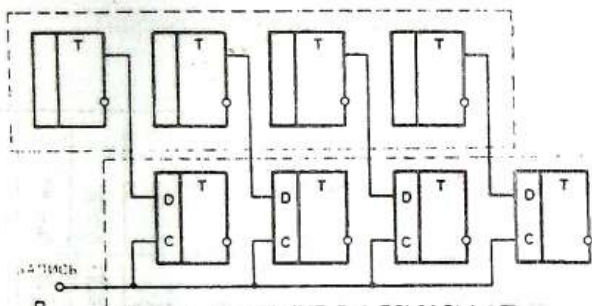


Рисунок 4.11- Параллельный способ передачи кода из регистра 1 в регистр 2

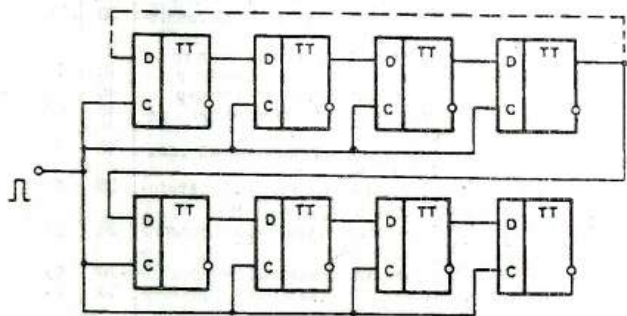


Рисунок 4.12- Последовательный способ передачи кода из регистра 1 в регистр 2

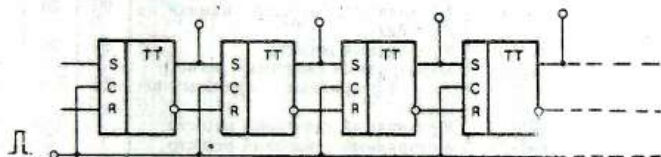
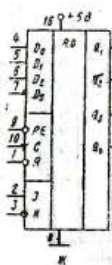
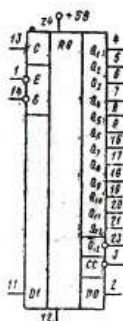
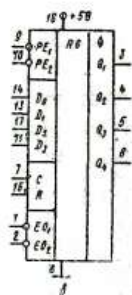
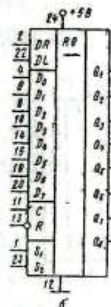
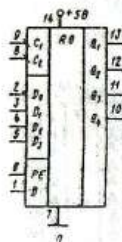


Рисунок 4.13- Сдвигающие регистры на RS-триггерах

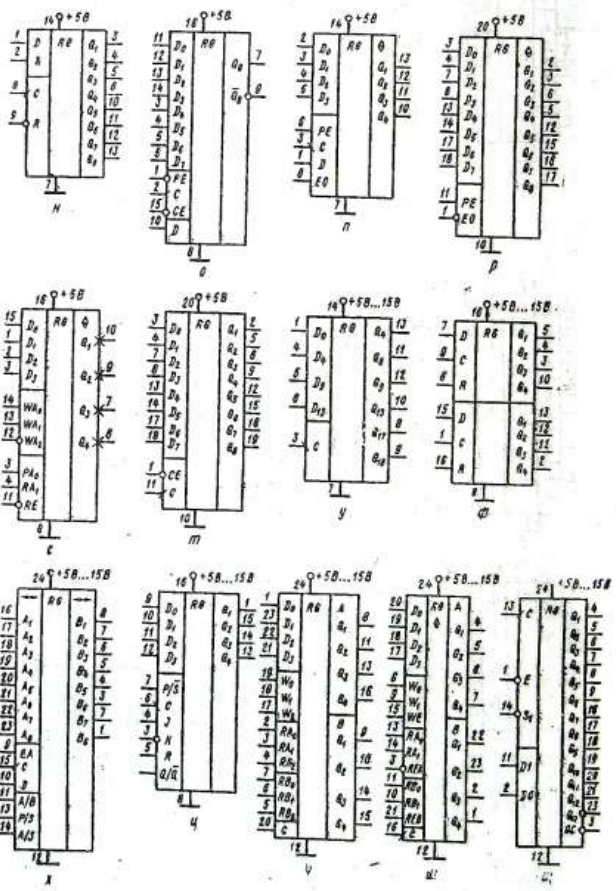
ПРИЛОЖЕНИЕ А
(справочное)

Тип ИМС	Функциональное назначение	f , МГц	$I_{\text{потр}}$, мА	УГО		
K155ИР1	4-разрядный сдвиговой регистр	25	82	а		
	8-разрядный реверсивный сдвиговой регистр	25	116	б		
	ИР15	4-разрядный регистр	25	72	в	
	ИР17	12-разрядный регистр последовательных приближений для АЦП	10	124	г	
K500ИР141	4-разрядный сдвиговой регистр	100	126	д		
K531ИР11	4-разрядный реверсивный сдвиговой регистр	70	135	е		
	ИР12	4-разрядный сдвиговой регистр	70	109	ж	
	ИР18	6-разрядный буферный регистр	40	75	в	
	ИР19	4-разрядный буферный регистр	40	75	и	
	ИР20	4-разрядный двухканальный регистр	40	120	к	
	ИР21	4-разрядный двухканальный сдвиговой регистр	40	85	л	
	ИР24	8-разрядный реверсивный сдвиговой регистр $I_{\text{вых}} < 30$ мА	35	60	м	
	K555ИР8	8-разрядный сдвиговой регистр $I_{\text{вых}} < 15$ мА	20	27	н	
		ИР9	8-разрядный сдвиговой регистр	20	63	о
		ИР16	4-разрядный сдвиговой регистр $I_{\text{вых}} < 30$ мА	30	29	п
ИР22		8-разрядный буферный регистр $I_{\text{вых}} < 30$ мА	30	40	р	
ИР23		8-разрядный буферный регистр $I_{\text{вых}} < 30$ мА	25	45	р	
ИР26		4-разрядный регистр памяти на 4×4 бит	20	50	с	
ИР27		8-разрядный регистр	30	20	т	
K561ИР1		18-разрядный сдвиговой регистр	1	0,05	у	
		ИР2	Два 4-разрядных сдвиговых регистра	25	0,05	ф
ИР6		8-разрядный сдвиговой регистр	3	0,05	х	
ИР9	4-разрядный сдвиговой регистр	1	2	ц		
ИР11	4-разрядный регистр памяти на 8×4 бит	2	0,4	ч		
ИР12	4-разрядный регистр памяти на 4×4 бит	0,5	0,04	ш		
ИР13	12-разрядный регистр последовательных приближений для АЦП	2	0,3	щ		

ПРИЛОЖЕНИЕ Б (справочное)



Продолжение приложения Б



Лекция 5 Цифровые счётчики импульсов

1 Основные определения, обобщённая структурная схема, применение счётчиков импульсов.

2 Асинхронные и синхронные счётчики. Кольцевые, декадные счётчики. Счётчики Джонсона.

Счётчиком называют цифровое устройство, предназначенное для подсчёта и запоминания числа импульсов, поданных в определённом временном интервале на его счётный вход. Помимо счётного входа счётчики могут иметь входы асинхронной и синхронной установки начальных состояний. По характеру изменения состояний счётчика счётными импульсами различают суммирующие, вычитающие и реверсивные счётчики.

Обобщённая структурная схема счётчика приведена на рис. 5.1.

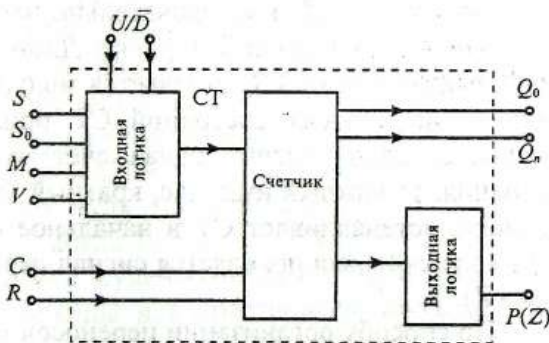


Рисунок 5.1 - Обобщённая схема счётчика импульсов

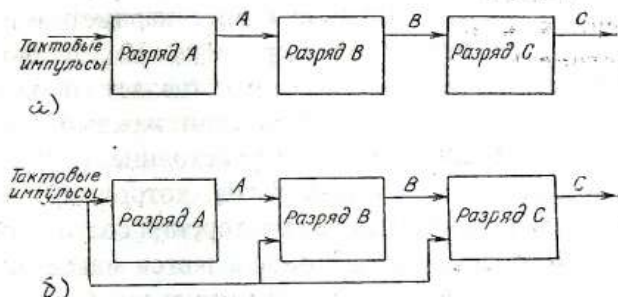
Счётчик (СТ) – это устройство, содержащее входную логику, управляющее работой счётчика, и выходную логику, которая используется для указания окончания счёта или формирования сигнала переноса или займа. Для приведения СТ в начальное состояние используется сигнал сброса, поступающий на вход R.

Параллельный код для предварительной установки СТ поступает на входы $S_0 - S_n$. Сигнал разрешения параллельной загрузки M останавливает счёт и позволяет подготовленным на входах $S_0 - S_n$ данным загрузиться в СТ в момент прихода очередного тактового импульса C. СТ считает тактовые импульсы, поступающие на вход C, если присутствует сигнал разрешения счёта на входе V. Выходными сигналами СТ обычно являются сигналы, снимаемые с выходов отдельных разрядов $Q_1 - Q_n$.

Принцип работы СТ можно пояснить следующим образом. СТ последовательно изменяет своё состояние в определённом порядке. Длина списка разрешённых состояний СТ называется модулем счёта K. Одно из возможных состояний СТ принимается за начальное. Если счётчик начал счёт от начального состояния, то каждый импульс, кратный модулю счёта K_c , снова устанавливает СТ в начальное состояние, а на выходе счётчика появляется сигнал переноса P (или займа Z).

По способу организации переносов между разрядами СТ можно разделить на счётчики с последовательным, сквозным, параллельным и комбинированным переносом. Счётчики с последовательным и

сквозным переносом называются **асинхронными** (отсутствует общая для всех разрядов синхронизация) (рис.5.2,а), а с параллельным переносом- **синхронными** (переключение разрядов происходит одновременно с подачей на все разряды синхроимпульсов) (рис.5.2,б).



рисунки 5.2- Структурная схема асинхронного (а) и синхронного (б) СЧ

Кодировать последовательность внутренних состояний СЧ можно различными способами. Чаще всего используются **двоичное** (двоичные СЧ) и **десятично-двоичное** (декадные СЧ) кодирование. Кроме того, используют счётчики с **одинарным** кодированием, когда состояние СЧ представлено расположением одной-единственной единицы или одного-единственного нуля (**кольцевые СЧ**), и **унитарное** кодирование, когда состояние СЧ представлено числом единиц или нулей (**счётчики Джонсона**). Если единицы расположены в возрастающем порядке, то СЧ называют суммирующим (Up-counter). Если единицы расположены в убывающем порядке, то СЧ называют вычитающими (Down-counter), а СЧ, у которых

направление перебора кода может изменяться, называются **реверсивными** (Up/Down-counter).

Обычно СТ содержит один или несколько идентичных разрядов, построенных на основе двоичных JK-или D-триггеров.

Основными техническими параметрами СТ являются **коэффициент пересчёта $K_{сч}$** и **быстродействие**. Коэффициент $K_{сч}$ представляет собой число устойчивых состояний СТ, и если каждый счётный импульс переводит СТ в новое состояние, то $K_{сч}$ равен максимальному числу импульсов, которое СТ может просчитать и запомнить без повторения состояний.

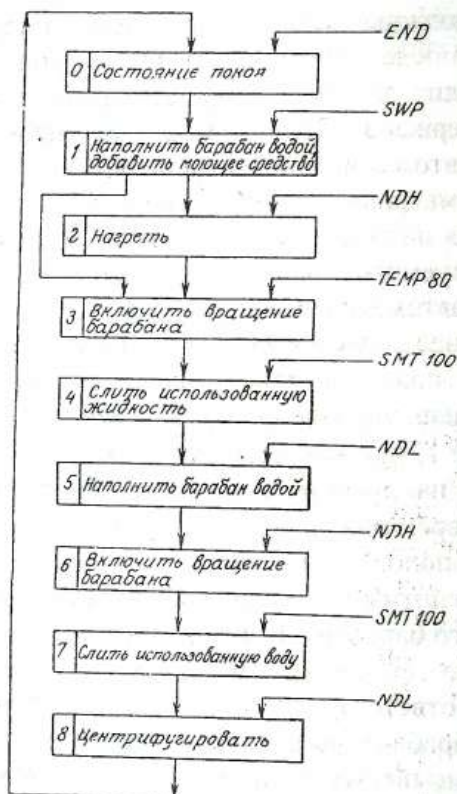
Быстродействие СТ определяется максимальной частотой следования счётных импульсов f_{max} , регистрируемых СТ без сбоев, максимальной частотой переключения состояний СТ $f_{сч.max}$ и временем установки $t_{уст}$ состояний СТ, определяемых как максимальный временной интервал от момента поступления счётного импульса до момента перехода всех разрядов СТ в новое устойчивое состояние.

В цифровой технике СТ применяются очень широко. При этом необязательно, чтобы импульсы числовых кодовых посылок поступали к СТ регулярно. Это обстоятельство позволяет использовать СТ, например, для строгого упорядочения ряда событий с помощью событий извне. В этой связи говорят о СТ управления или о схемах управления. Одна из таких схем управления, используемых в стиральных автоматах, рассматривается ниже. Можно сказать, что программа стирки разделена на несколько частных операций,

которые должны быть осуществлены в строго определённой последовательности. Схема управления как раз и следит за тем, чтобы эта последовательность была выдержана. Схема алгоритма управления стиральным автоматом приведена на рис.5.3.

Рассматривая схему, можно заметить, что цепь управления начинает свою работу из состояния покоя, характеризуемого положением счётчика 0. Цепь управления автоматически переходит в состояние 0, как только на неё подаётся напряжение питания.

При подаче с пульта команды на включение автомата цепь управления из положения 0 переходит в положение 1, при которой цепь управления руководит операцией наполнения стирального барабана водой. В воду одновременно подмешивается моющее средство. В этом положении цепь управления открывает электромагнитный клапан, начинается наполнение стирального барабана. В положении 1 цепь управления остаётся до тех пор, пока датчик «высокий уровень» не даст соответствующего сигнала, означающего, что воды в барабане достаточно. Сигнал «высокий уровень» записывается кратко NDI. По этому сигналу цепь управления переходит в положение 2, при котором производится нагрев моющего раствора и находящихся в нем вещей. Дальнейший процесс работы автомата, который соответствует рис.5.3, описывать не будем. Скажем лишь, что время отсчитывается электронными часами, синхронизируемыми частотой напряжения сети. По истечении пятиминутного цикла часы посылают сигнал END, который возвращает цепь



SWP - пуск программы стирки;
 NDH - сигнал датчика верхнего уровня жидкости;
 TEMP 80 - сигнал датчика температуры (80°C);
 SMT 100 - сигнал датчика счетчика (100 оборотов);
 NDL - сигнал датчика нижнего уровня жидкости;
 END - пятиминутный цикл центрифугирования и конец стирки.

Рисунок 5.3- Схема алгоритма управления стиральным автоматом

управления в положение 0. Программа стирки окончена.

Характерным для этого процесса управления является то, что каждый очередной шаг программы совершается лишь после того, как завершается предыдущий. Цепь управления срабатывает от команд различного происхождения в отличие от обычных счётчиков, на входы которых сигналы поступают от единственного источника. Временной режим программы, например, моменты переключения цепи регулирования в положение 0 можно изменять, можно также пропускать отдельные положения.

В ЭВМ блоки управления регулируют счётно-вычислительными операциями, совершаемыми в процессе обработки данных. Частные операции в ЭВМ совершаются одна за другой. Блок управления задаёт не только моменты начала операций, но и порядок их чередования. И в данном случае блок управления периодически возвращается в нулевое положение, например, при сокращении длительности циклов.

Асинхронные СТ можно выполнить на счётных триггерах любого типа. Простейший суммирующий четырёхразрядный СТ и его временная диаграмма представлены на рис.5.4 а и 5.4 б соответственно. Он состоит из четырёх последовательно соединённых счётных D-триггеров, где выход \bar{Q}_i каждого триггера соединён со входом C_{k+1} последующего триггера. При поступлении счётных импульсов на вход C_1 триггеры СТ будут изменять свои состояния, описываемые последовательно возрастающими двоичными числами.

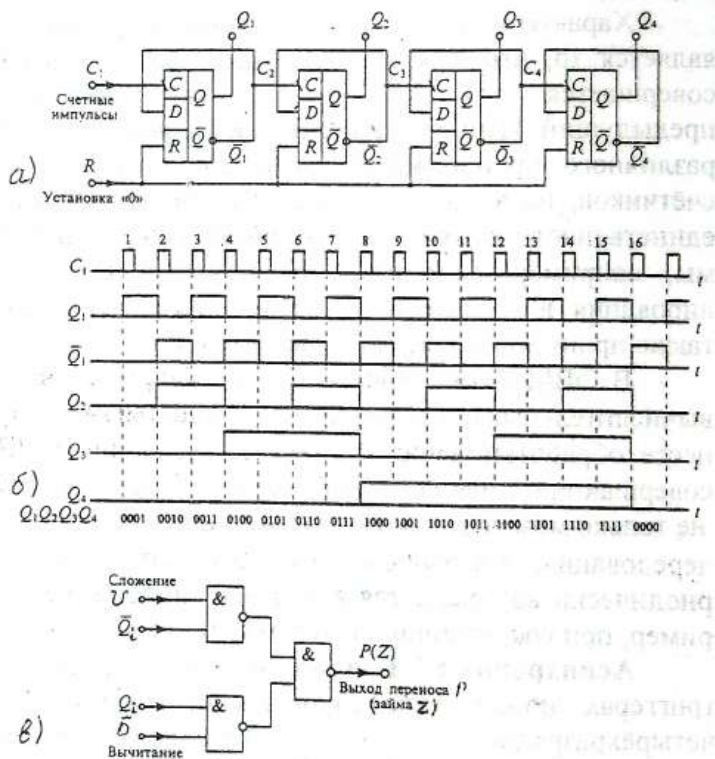


Рисунок 5.4- Схема асинхронного суммирующего счётчика на D-триггерах (а), временные диаграммы выходных сигналов (б) и схема переноса (в)

В таблице 5.1 приведена последовательность состояний выходов триггеров асинхронного СТ. Для приведения СТ в начальное состояние используется

сигнал сброса R , поступающий одновременно на все входы R -триггеров.

При построении асинхронных **вычитающих** СТ достаточно заменить выходы \bar{Q} триггеров на прямые выходы Q . В этом случае при поступлении импульса сброса R на всех выходах СТ установятся единичные уровни, а при поступлении счётных импульсов на вход C_1 триггеры СТ будут изменять свои состояния, описываемые последовательно убывающими двоичными числами.

Для построения асинхронного реверсивного СТ, который может работать как в режиме суммирования, так и в режиме вычитания, необходимо с помощью логической схемы обеспечить подачу сигналов с инверсного выхода \bar{Q} при суммировании или с прямого выхода Q — при вычитании от предыдущего триггера на счётный вход последующего, как показано на рис. 5.4 в. Эта логическая схема включается между предыдущими и последующими разрядами СТ и, в зависимости от управляющих сигналов сложения U или вычитания \bar{D} на выходе СТ формируется сигнал переноса P или сигнал займа Z .

В асинхронном СТ с приходом каждого последующего импульса на вход C_1 переключаются сразу несколько триггеров. Однако их переключение происходит не одновременно, а с некоторой задержкой относительно друг друга. Это приводит к задержке в установлении выходного кода после поступления счётного импульса на вход C_1 .

Таблица 5.1-Состояния выходов четырёхразрядного СТ

n	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Как видно из временной диаграммы (рис.5.4 б) и (табл.5.1), триггеры в асинхронном СТ работают с различной частотой переключения. Максимальную частоту имеет первый триггер, а частоты переключения каждого последующего триггера вдвое меньше (делитель частоты на 2). Поэтому в качестве первого триггера нужно использовать самый быстродействующий триггер, а быстродействие других триггеров может быть ниже. Для повышения быстродействия можно также использовать ускоренное формирование сигнала переноса между разрядами СТ.

Синхронные счётчики. Для построения синхронных счётчиков (рис. 5.5) используются различные типы счётных синхронных триггеров. Эти схемы реализованы на синхронных счётных триггерах и логических элементах И для формирования сигналов переноса P или займа Z . Схема одnorазрядного синхронного суммирующего СТ, приведённая на рис. 5.5, а, реализована подключением счётного входа C_1 к счётному входу триггера, а для формирования сигнала переноса P использовано логическое произведение сигнала разрешения счёта V и выходного сигнала Q , т.е. $P = VQ$. Переключение триггера происходит по **положительному** уровню сигнала на входе C и при наличии сигнала разрешения на входе V . При этом на выходе триггера Q и выходе переноса P устанавливаются уровни логической единицы.

При **отрицательном** уровне сигнала на входе C_1 состояние триггера не изменится. Очередное переключение триггера произойдёт только по **новому** положительному уровню сигнала на входе C_1 и при наличии сигнала разрешения на входе V . Таким образом, счётная ячейка обеспечивает синхронное деление на дв. частоты входных импульсов.

Двоичный вычитающий СТ (рис. 5.5 б) отличается от суммирующего тем, что прямой выход Q заменён на инверсный выход \bar{Q} . На выходе такой ячейки формируется сигнал займа $Z = V \bar{Q}$.

Одноразрядный реверсивный счётчик реализуется по схеме, приведённой на рис. 5.5 в. Для

изменения направления счёта и формирования сигналов переноса или займа использована логическая схема 2И- ИЛИ.

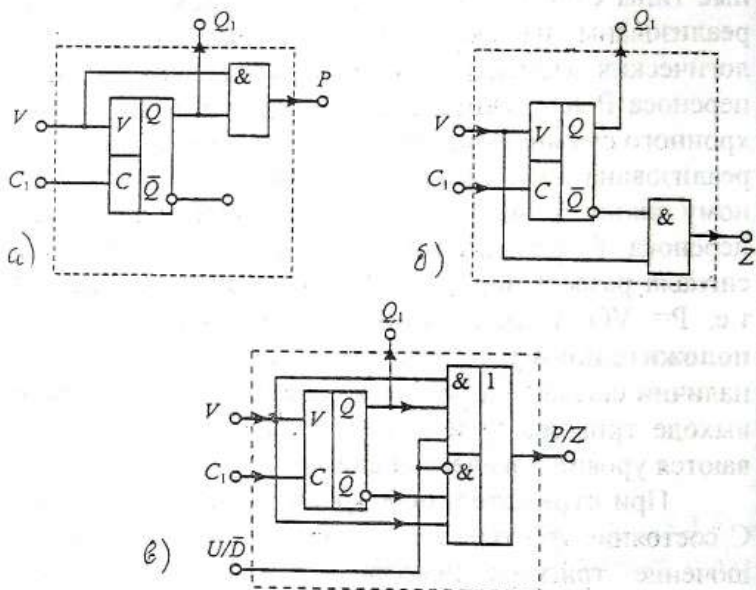


Рисунок 5.5- Схемы одnorазрядного СТ синхронного СТ: суммирующего (а), вычитающего (б), реверсивного (в)

Для изменения направления счёта введён специальный вход U / \bar{D} (Up/Down): при $U / \bar{D} = 1$ схема работает аналогично счётчику, изображённого на рис. 5.5 а, т.е. является суммирующим СТ, а при $U / \bar{D} = 0$ она аналогична рис.5.5 б, т.е. является

вычитающим СТ. Использование одноразрядных СТ позволяет строить многоразрядные СТ.

Схема четырёхразрядного двоичного суммирующего СТ с **параллельным переносом** приведена на рис.5.6.

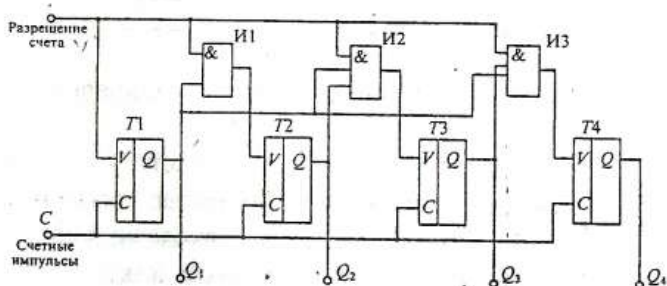


Рисунок 5.6- Схема четырёхразрядного синхронного счётчика с параллельным переносом

Особенностью данной схемы является наличие общей шины С, посредством которой счётные импульсы поступают на тактовые входы всех триггеров одновременно. При этом сигналы разрешения счёта формируются в логических элементах И как произведение сигнала разрешения счёта V и сигналов Q_i с прямых выходов всех предыдущих триггеров.

Кольцевые счётчики. Разновидностью параллельных СТ являются кольцевые СТ, выполненные на базе регистров сдвига (рис.5.7). Как уже указывалось, состояние кольцевого СТ определяется местом расположения одной единственной единицы (нуля), т.е. имеет место одинарное кодирование.

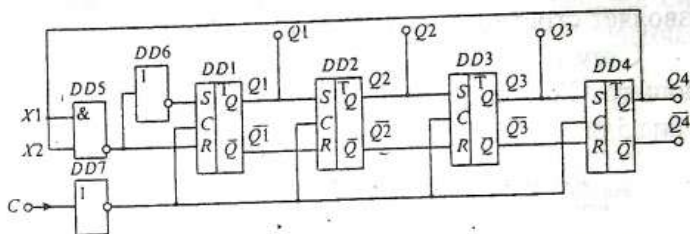


Рисунок 5.7- Четырёхразрядный кольцевой СТ на RS-триггерах

Простейшая схема кольцевого СТ может быть получена при замыкании прямого выхода регистра сдвига с его входом. В таком случае единица, записанная в регистр на первом такте, с выхода Q_n счётчика снова попадает на его вход и далее весь цикл повторяется. Модуль счёта такого кольцевого СТ имеет то же значение, что и регистр сдвига, т. е. $K_c = n$. Для увеличения модуля счёта можно или увеличивать количество триггеров в кольце, или включать СТ последовательно. Так, например, СТ на 10 импульсов ($K_c = 10$) можно реализовать последовательным соединением одного счётного триггера и кольцевого СТ из пяти триггеров.

Основным недостатком кольцевых СТ является их **низкая помехозащищённость**. Например, если под действием помехи исчезнет записанная в СТ единица, то все триггеры окажутся в нулевом положении и СТ работать не сможет. Необходима автоматическая коррекция состояния СТ (рис.5.8). В этой схеме независимо от того, в каком состоянии после включения окажутся триггеры, после четырёх тактовых импуль-

сов на входе С установится требуемое выходное состояние (1000).

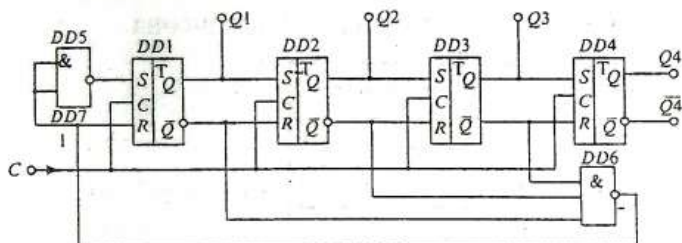


Рисунок 5.8- Схема кольцевого СТ с автоматической коррекцией начального состояния

Счётчики Джонсона. Разновидностью кольцевых СТ являются СТ Джонсона. В этих СТ вход регистра соединён не с выходом Q, а с инверсным выходом \bar{Q} . В результате, когда на вход СТ поступают тактовые импульсы, то вначале все разряды заполняются единицами, а затем — нулями. Схема четырёхразрядного СТ Джонсона приведена на рис. 5.9.

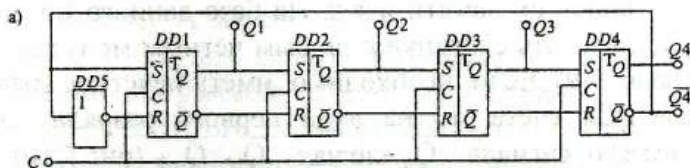


Рисунок 5.9- Схема четырёхразрядного счётчика Джонсона с чётным модулем счёта

Таблица состояний выходов СТ Джонсона представлена в табл.5.2

Таблица 5.2-Состояния СТ Джонсона

n	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	1	1	0	0
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	0	0	0	0

Как видно из табл.5.2, модуль счёта СТ Джонсона в два раза больше модуля счёта простого кольцевого СТ, т.е. $K_c = 2^n$. В данных счётчиках также могут быть сбои, вызванные помехами. Для коррекции нарушений используются способы, с помощью которых производится переход из любой запрещённой комбинации в одну из разрешённых.

СТ Джонсона широко используются в делителях частоты импульсов, генераторах случайных чисел, в устройствах памяти и т.д. На базе данного СТ можно реализовать счётчики с любым чётным модулем счёта (рис. 5.9). Если необходимо иметь нечётное значение модуля счёта, то на вход первого разряда подают вместо сигнала \bar{Q}_n сигнал $\bar{Q}_n + \bar{Q}_{n-1}$ (рис.5.10). При этом из набора выходных состояний СТ Джонсона исключается одна кодовая комбинация, составленная из нулей.

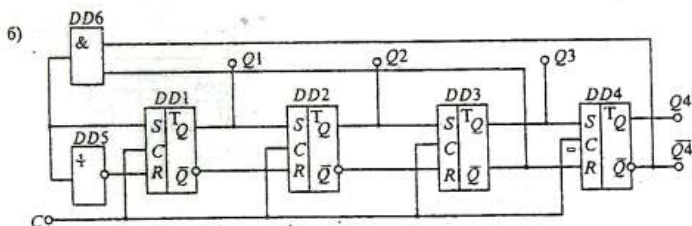


Рисунок 5.10- Схема четырёхразрядного СТ Джонсона с нечётным модулем счёта

Двоично-десятичные, или декадные СТ, могут быть реализованы на базе двоичных СТ при помощи взаимной связи между отдельными триггерами, входящими в счётчик. Схему декадного СТ (рис.5.11 а) сравним с ранее рассмотренной схемой двоичного счётчика (рис. 5.3 а). В декадном СТ взаимные соединения триггеров выполнены так, что первые девять счётных импульсов повторяют выходные сигналы триггеров для двоичного счётчика. Последний счётный импульс возвращает СТ в исходное состояние. Сигналы на выходах декадного СТ приведены на рис.5.11 б.

Как следует из временной диаграммы, сигналы на выходах СТ для девяти импульсов совпадают с временной диаграммой (рис.5.4 б). Однако десятый импульс, вместо того чтобы установить СТ в состояние 1010, как у двоичного СТ, через дополнительные элементы и обратные связи возвращает четвёртый триггер в нулевое состояние ($Q_4 = 0$) и препятствует установке второго триггера в единичное состояние, сохраняя его нулевое состояние ($Q_2 = 0$).

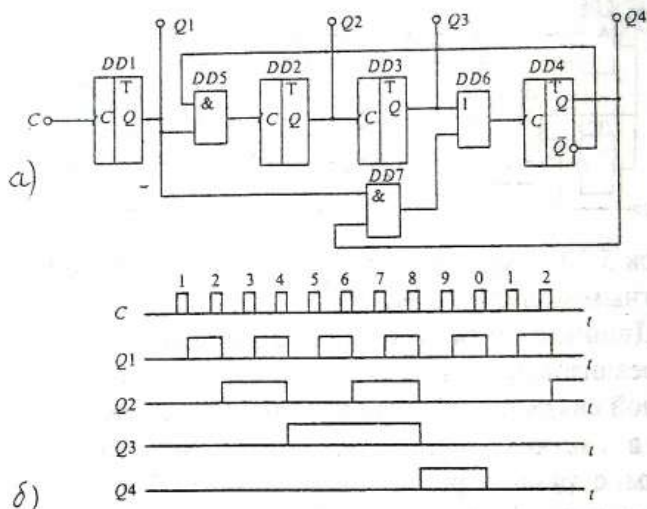


Рисунок 5.11- Схема декадного СТ на счётных триггерах (а) и сигналы на его выходах (б)

Это обеспечивается блокированием второго, а значит и третьего триггера через элемент DD5 с выхода DD4, а также переключением триггера DD4 через элементы DD6 и DD7 отрицательным перепадом с выхода Q_1 . Таблица состояний декадного СТ приведена в табл.5.3.

Такой десятичный СТ обозначают как «8+2», поскольку выход Q_4 сохраняет нулевое состояние на протяжении первых восьми входных импульсов и переключается в единичное состояние во время действия двух последних импульсов. К таким СТ относятся многие интегральные десятичные СТ, такие, как К155ИЕ2 и др.

Таблица 5.3-Состояния декадного СТ

n	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Подобным образом можно сформировать СТ с любым модулем счёта K_c . Если используется СТ из n триггеров на 2^n возможных состояний, то за счёт обратных связей с дополнительными ЛЭ можно получить любое значение $K_c < 2^n$.

Выпускается большое количество интегральных микросхем СТ (табл.5.4), построенных на транзисторно-транзисторной логике (ТТЛ), эмиттерно-связанной логике (ЭСЛ) и комплементарных полевых транзисторах (КМОП).

Таблица 5.4-Интегральные микросхемы и параметры СТ

Наименование счетчика	Тип логики	Функциональное назначение	Модуль счёта K_c	Максимальная частота f_{max} , МГц
K155IE5	ТТЛ	Асинхронный двоичный	16	10
K555IE18	ТТЛШ	Синхронный двоичный	16	25
K155IE7	ТТЛ	Реверсивный двоичный	16	25
K56IE8	КМОП	Счетчик Джонсона с дешифратором	10	2
K56IE11	КМОП	Двоичный реверсивный	16	5
K500IE137	ЭСЛ	Синхронный реверсивный десятичный	10	125

Условные обозначения интегральных микросхем СТ состоят из обозначения серии (трёх или четырёх цифр), функционального назначения (двух букв ИЕ) и порядкового номера разработки (от одной до трёх цифр). Дополнительные сведения о СТ (параметры и их функциональное назначение) приведены в приложении А, а функциональные схемы - в приложении Б.

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Дайте определение цифровому счётчику импульсов.
- 2 Приведите классификацию счётчиков по характеру изменения состояний.
- 3 Изобразите обобщённую схему счётчика импульсов.
- 4 Поясните, в чём различие обобщённых схем счётчиков импульсов, регистров и триггеров?
- 5 По обобщённой схеме счётчика поясните назначение входных и выходных сигналов.
- 6 Дайте определение, что такое модуль счёта счётчика, какие значения модуля может принимать счётчик?
- 7 Поясните понятия «сигнал переноса и сигнал заёма», объясните, в каких случаях эти термины используются?
- 8 Приведите виды счётчиков по способу организации переносов между разрядами.
- 9 Поясните общие принципы работы цифровых счётчиков импульсов.
- 10 Приведите примеры использования счётчиков импульсов в вычислительной технике.

11 Дайте определение, что такое асинхронный счётчик?

12 Дайте определение, что такое синхронный счётчик?

13 Приведите основные параметры цифровых счётчиков.

14 Оцените цифровые счётчики с точки зрения быстродействия.

15 Какие задачи выполняет цифровой счётчик в микропроцессорных устройствах?

16 Приведите схему асинхронного суммирующего счётчика.

17 Поясните принцип работы суммирующего счётчика, построенного на D-триггерах.

18 Изобразите временную диаграмму работы суммирующего счётчика, поясните процессы, происходящие при подаче импульсов счёта.

19 В чем состоит конструктивное отличие суммирующего счётчика от вычитающего?

20 Как реализовать делитель частоты на 2?

21 Изобразите простейшую схему синхронного реверсивного счётчика, поясните его работу.

22 В чём состоит особенность работы суммирующего счётчика с параллельным переносом?

23 Приведите пример построения кольцевого счётчика.

24 Счётчик Джонсона, приведите его таблицу состояний, поясните принцип действия.

25 Декадные счётчики, их построение, действие.

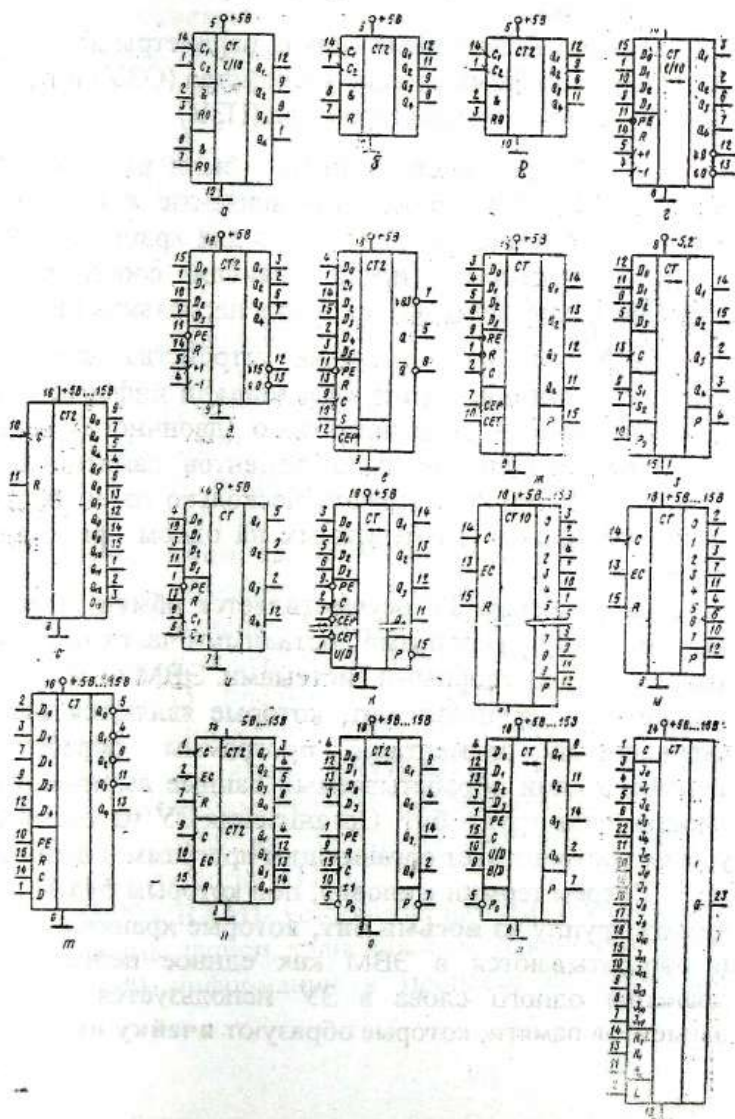
26 Дайте расшифровку цифрового счётчика К155ИЕ 5.

27 Поясните наименование входов и выходов ИМС.

ПРИЛОЖЕНИЕ А
(справочное)

144

Тип ИМС	Функциональное назначение	F, МГц	I _{пот.} , мА	УГО
К155ИЕ2	4-разрядный двоично-десятичный счетчик	10	53	а
ИЕ4	4-разрядный двоичный счетчик-делитель на 2,6 и 12	10	51	б
ИЕ5	4-разрядный двоичный счетчик	10	53	в
ИЕ6	4-разрядный двоично-десятичный реверсивный счетчик	25	102	г
ИЕ7	4-разрядный двоичный реверсивный счетчик	25	102	д
ИЕ8	Делитель частоты с переменным коэффициентом деления 1-64	30	120	е
ИЕ9	4-разрядный синхронный десятичный счетчик	25	94	ж
К500ИЕ136	4-разрядный синхронный реверсивный двоичный счетчик	125	165	з
ИЕ137	4-разрядный синхронный реверсивный двоично-десятичный счетчик	125	165	и
К531ИЕ14	4-разрядный двоично-десятичный счетчик	80	88	л
ИЕ15	4-разрядный двоичный счетчик	80	88	м
ИЕ16	4-разрядный синхронный реверсивный двоично-десятичный счетчик	40	160	н
ИЕ17	4-разрядный синхронный реверсивный двоичный счетчик	40	160	о
К555ИЕ6	4-разрядный двоично-десятичный реверсивный счетчик	25	30	п
ИЕ7	4-разрядный двоичный реверсивный счетчик	25	30	р
ИЕ10	4-разрядный синхронный двоичный счетчик	25	32	с
К561ИЕ8	Десятичный счетчик	2	0,02	т
ИЕ9	Счетчик-делитель на 8	2	0,05	у
ИЕ10	Два 4-разрядных синхронных двоичных счетчика	4	0,05	ф
ИЕ11	4-разрядный реверсивный двоичный счетчик	3	0,01	х
ИЕ14	4-разрядный двоичный (двоично-десятичный) реверсивный счетчик	3	0,01	ц
ИЕ15	Делитель частоты с переменным коэффициентом деления 3-15999	3	0,02	ч
ИЕ16	14-разрядный двоичный счетчик делитель	3	0,02	ш
ИЕ19	5-разрядный синхронный счетчик Джонсона	3	0,05	щ



Лекция 6 Оперативные и постоянные запоминающие устройства

- 1 Общие понятия, классификация и параметры ЗУ.
- 2 Оперативные запоминающие устройства (ОЗУ) и постоянные запоминающие устройства (ПЗУ).

В предыдущих лекциях были рассмотрены элементы памяти, широко применяемые в цифровой технике: триггеры, используемые для хранения одного бита, и регистры, представляющие собой группу триггеров, служащих для хранения нескольких бит.

Цифровые запоминающие устройства предназначены для записи, хранения и выдачи информации, представленной в виде цифрового (двоичного) кода. Они содержат большое число элементов памяти. Современные ЗУ могут содержать несколько сотен тысяч элементов памяти, размещённых на одном кристалле (чипе).

Посредством ЗУ осуществляется обмен информацией между различными составными частями ЭВМ или микропроцессорными системами. ЭВМ оперирует командами — группами бит, которые являются закодированными элементами программы обработки данных, а сами обрабатываемые данные выражаются также в виде групп бит. Организация ЗУ на битовом уровне соответствует организации программ и данных.

Введём термин «слово», под которым будем понимать группу из восьми бит, которые хранятся в ЗУ и обрабатываются в ЭВМ как единое целое. Для хранения одного слова в ЗУ используется группа элементов памяти, которые образуют ячейку памяти.

Каждая ячейка имеет свой адрес. После обращения к соответствующему адресу ячейки ЗУ (вызова) может быть записано или прочитано одно слово. Ячейку ЗУ можно уподобить регистру, учитывая, однако, что эти цифровые элементы выполняют в системе разные функции. В частности, регистры располагаются непосредственно на кристалле микропроцессора (МП), в то время как ячейки памяти находятся в отдельном запоминающем устройстве.

Между ЗУ и регистрами возможен прямой обмен информацией. Передача данных между ними осуществляется с помощью команды MOVE.

Классификация ЗУ (рис.6.1) выполняется по ряду признаков: функциональному назначению; способу хранения информации; технологическому исполнению; способу обращения к массиву элементов памяти.

По функциональному назначению ЗУ делятся на внешние, буферные и внутренние. **Внешние ЗУ** служат для хранения большого объема информации и программного обеспечения вычислительной системы. **Буферные ЗУ** предназначены для промежуточного хранения данных при обмене между внешней и внутренней памятью. **Внутренние ЗУ** по выполняемым функциям делятся на оперативные запоминающие устройства (ОЗУ) и постоянные запоминающие устройства (ПЗУ).

ОЗУ (RAM)- устройства памяти, обеспечивающие режимы записи, хранения и считывания цифровой (двоичной) информации в процессе её обработки.

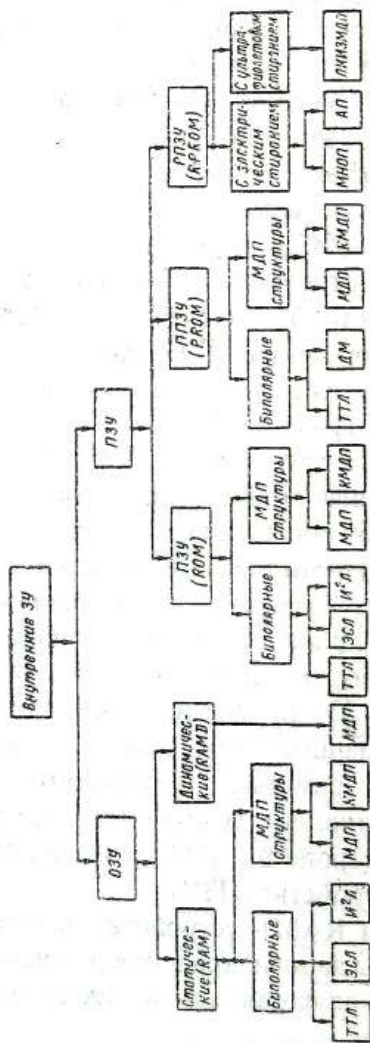


Рисунок 6.1 - Классификация запоминающих устройств

Память при этом энергозависимая, т.е. при отключении питания теряется записанная информация.

Основой ОЗУ является накопитель или матрица памяти, состоящая из отдельных ЯП, в качестве которых используются триггеры. ОЗУ могут строиться также на ЯП, в которых информация может храниться в виде заряда емкостей.

ПЗУ (ROM)- устройства памяти, предназначенные только для **воспроизведения** постоянно записанной информации (BIOS) в матрицы при изготовлении ПЗУ на заводе. Эта информация может представлять собой стандартные подпрограммы, микропрограммы, различные табличные значения функций, константы. В режиме хранения информации энергия не потребляется, при отключении питания информация не теряется (энергонезависимость). По способу занесения информации ПЗУ делятся на **собственно ПЗУ**, программируемые заводом-изготовителем; **программируемые ПЗУ (ППЗУ)**, программируемые однократно пользователем; **репрограммируемые ПЗУ (РПЗУ)**, программируемые неоднократно пользователем. Как ОЗУ, так и ПЗУ объединяются со схемами управления, обеспечивающими режимы работы ЗУ.

Перечисленные ЗУ не являются исчерпывающими, эта область электроники бурно развивается и появляются новые разновидности ЗУ с новыми принципами функционирования.

По способу хранения информации ЗУ делятся на статические и динамические. Элементы памяти статических ОЗУ представляют собой бистабильные

ячейки памяти (триггеры), на биполярных или МОП-транзисторах. что даёт возможность считывания информации без её разрушения.

В динамических ОЗУ для хранения информации используются инерционные свойства реактивных элементов (МОП-конденсаторов), что требует периодического восстановления (регенерации) состояния ЯП в процессе хранения информации. При регенерации производится перезапись каждого хранимого в ЗУ бита либо в тот же ЗУ, либо в соседний. В последнем случае информация сдвигается на один разряд с каждым циклом регенерации.

По технологическому исполнению ЗУ делятся на полупроводниковые ЗУ на основе биполярных и полевых транзисторов, использующие ТТЛ, ЭСЛ, КМОП технологии.

По способу обращения к массиву памяти все ЗУ делятся на адресные и безадресные (ассоциативные). В адресных ЗУ обращение к элементам памяти производится по их физическим координатам, задаваемым внешним двоичным кодом-адресом. В безадресных ЗУ отсутствуют входы адресных сигналов: поиск и выборка информации в таких ЗУ осуществляется по её содержанию и не зависит от физических координат элементов памяти.

Основными параметрами ЗУ являются: быстродействие и информационная ёмкость. Быстродействие характеризуется временем выборки и циклом записи.

Время выборки t_b - интервал времени между моментом подачи сигнала выборки и появлением информа-

ции на выходе микросхемы ЗУ. Цикл записи $t_{ц.з}$ - минимально допустимое время между моментом подачи сигнала выборки при записи и моментом начала последующей операции считывания (записи).

Информационная ёмкость N характеризует количество информации, которое может храниться в ЯП на кристалле и определяется в битах или в количестве n слов (строк) с указанием их разрядности m (рис.6.2)

$$N = n \times m$$



Рисунок 6.2.- ЗУ, состоящее из n слов по m бит ($n \times m$)

Кроме указанных параметров, могут использоваться квалификационные параметры ЗУ, по которым выполняют их разделение по группам в соответствующих сериях ИМС ЗУ (табл.6.1).

Как следует из вышесказанного, структура ЗУ состоит из n ячеек памяти, каждая из которых хранит слово из m бит в каждом. С помощью двоичной адресации можно вызвать n ячеек памяти ЗУ и по командам ЗАПИСЬ/ ЧТЕНИЕ записать или прочитать в них n слов. Информационная ёмкость учитывает сколько слов и какой длины слова может содер-

жать ЗУ. Например, мы говорим о ЗУ объемом в 256×4 бит, которое содержит 256 ячеек памяти по 4 бита каждая. Современные ЗУ, содержащие сотни тысяч ячеек памяти, обозначаются с помощью символов, применяемых для маркировки резисторов. Например, ЗУ ёмкостью 1К4, 2К8, 64К1 соответствующим структурам, имеющим 1024×4 , 2048×8 и 65536×1 бит.

Таблица 6.1- Классификационные параметры ЗУ

Параметр	Обозначение	Определение
Информационная емкость	N	Число бит памяти в накопителе ЗУ
Число слов в ЗУ	n	Число адресов слов в накопителе ЗУ
Разрядность	m	Число разрядов в накопителе ЗУ
Коэффициент разветвления по выходу	K_p	Число единичных нагрузок (входов других ИМС), которые можно одновременно подключить к выходу ЗУ
Число циклов перепрограммирования	$N_{ст}$	Число циклов запись-стирание, при котором сохраняется работоспособность ЗУ
Потребляемая мощность	$P_{сс}$	Потребляемая ЗУ мощность в установленном режиме работы
Потребляемая мощность в режиме хранения	$P_{сх}$	Мощность, потребляемая ЗУ при хранении информации в режиме невыбора
Время хранения информации	$t_{ис}$	Интервал времени, в течение которого ЗУ в заданном режиме сохраняет информацию

Условные обозначения микросхем ЗУ (рис.6.3) присваиваются в зависимости от их классификации. Например, рассмотрим обозначение КР565РУ1А, где К- ИМС общего применения, Р- в пластмассовом корпусе, 5- полупроводниковая, серия 565, РУ- ОЗУ, 1- разработка первая, А- типонаимал.

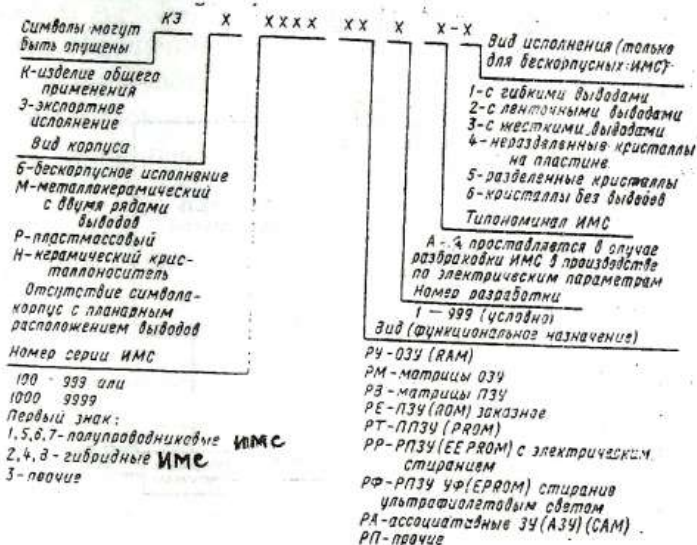


Рисунок 6.3- Условные обозначения микросхем ЗУ

Статические ОЗУ (рис 6.4). Основой статического ОЗУ является **накопитель** или матрица памяти, состоящая из отдельных запоминающих ячеек. Обычно в качестве этих ячеек используются триггеры. Двоичная информация, записанная в такую ячейку, может сохраняться в такой ячейке до тех пор, пока не будет заменена другой или не будет снято напряжение питания.

Составными элементами статического ОЗУ, кроме накопителя, являются устройства: управления, записи, считывания; дешифраторы строк и столбцов. В

таблице 6.2 приведены основные сигналы, поступающие на составные элементы ЗУ.

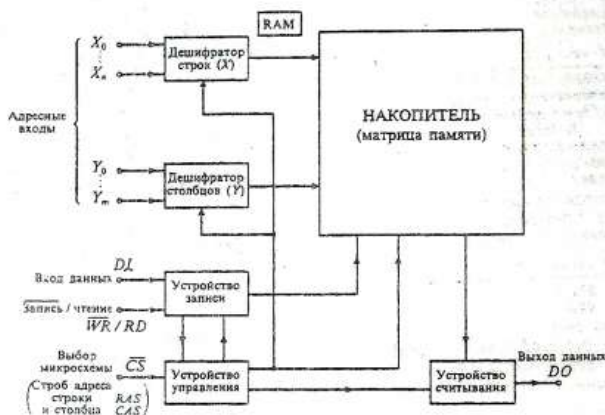


Рисунок 6.4- Структурная схема статического ОЗУ

При использовании накопителя ОЗУ приходится решать две задачи: выбор конкретной ячейки накопителя, в которую будет записана или из которой будет считана информация; что нужно сделать – записать или прочитать информацию в ячейке. **Первая** задача решается с помощью адресации всех ячеек накопителя. **Вторая** задача решается переводом ячейки памяти в режим записи или считывания по сигналу на входе схемы управления.

Принцип работы накопителя можно пояснить рисунком 6.5, где соответствующие шины в накопителе управляются от дешифраторов строк (X) и столбцов (Y), на входы которых поступают адресные

сигналы $A_0 - A_n$. При записи и считывании осуществляется обращение (**выборка**) к одной или к нескольким запоминающим ячейкам одновременно. Дешифраторы строк и столбцов выполняют выбор требуемых ячеек памяти с помощью адресных сигналов $X_0 - X_n$ и $Y_0 - Y_n$.

Таблица 6.2- Основные сигналы ЗУ

Наименование сигнала	Обозначение		
	Международное	Отечественное	МЭК*
Адрес	A	a	A
Тактовый сигнал	C	T	C
Адрес столбца	CA	CA	CA
Строб адреса столбца	CAS	CAS	CAS
Цикл	CY	Ц	C
Входные данные	DI	$U_{вх. и}$	D
Данные вход-выход	DIO (DI/DO)	$U_{вх. и} / U_{вых. и}$	DO
Сигнал разрешения	CE	P	E
Сигнал обнуления (стирания)	EP	УСТО	ER
Сигнал разрешения по выходу	CEO	—	G
Выходные данные	DO	$U_{вых. и}$	Q
Сигнал информации	D	У	D
Сигнал считывания	RD	СЧ	R
Адрес строки	RA	РА	RA
Строб адреса строки	RAS	RAS	RAS
Сигнал регенерации	REF	РЕГ	RF
Сигнал запись-считывание	WR/RD (W/R)	ЗП/СЧ	WR
Сигнал считывание-запись	RD/WR	СЧ/ЗП	RW
Выбор микросхемы	CS	ВМ	S
Сигнал записи	WR	ЗП	W

* МЭК — международная электротехническая комиссия.

Адресные шины $X_0 - X_n$ электрически связаны с каждой ЗЯ одного слова, в то время как разрядные шины $Y_0 - Y_n$ имеют связь с ЗЯ одноимённого разряда всех слов.

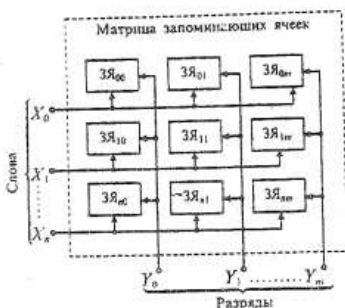


Рисунок 6.5- Структура накопителя ЗУ

При наличии в адресной шине X_i сигнала выбора i -го слова, соответствующего высокому уровню, состояние каждой ячейки в этом слове может быть считано по разрядным шинам $Y_0 - Y_n$. Если необходимо записать информацию по выбранному адресу X_i , то на разрядные шины $Y_0 - Y_n$ подаются соответствующие электрические сигналы, которые подводятся ко всем ЗЯ i - строки (слова).

Простейшей ЗЯ является схема RS-триггера, построенная на многоэмиттерных биполярных транзисторах VT1 и VT2, изображённая на рис. 6.6. Первые эмиттеры обоих транзисторов соединены с адресной шиной X_i , потенциал которой U_a в установившемся состоянии должен быть самым низким. Вторые эмиттеры этих транзисторов присоединены к разрядным шинам Y_i и Y_j . На разрядной шине Y_i

установлено опорное напряжение $U_{оп}$, а на шину Y_j подаётся напряжение U_p . Режим работы схемы зависит от соотношения между напряжениями $U_{оп}$, U_p , U_a .

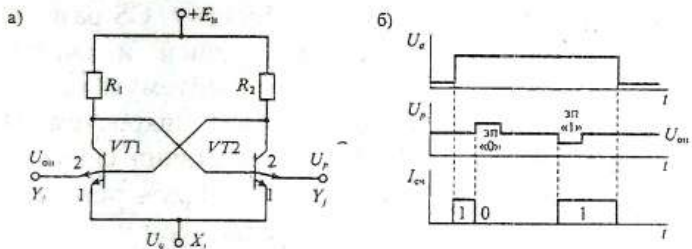


Рисунок 6.6- Простейшая схема ЗЯ накопителя (а), временные диаграммы работы ЗЯ (б)

Таблица 6.3 поясняет принцип действия ЗЯ. Следует обратить внимание на то, что для записи 0 необходимо по разрядной шине Y_j подать напряжение $U_p > U_{оп}$ при условии $U_a > U_p$, триггер перейдёт в новое состояние, при котором транзистор $VT2$ закроется, а транзистор $VT1$ откроется.

Таблица 6.3-Режимы работы ЗЯ

Режимы работы триггера	Соотношение напряжений	Состояние транзисторов	Запись единицы в триггер
Хранение	$U_a < U_{оп} = U_p$	$VT2$ (откр) $VT1$ (закр)	наличие тока в $VT2$ принимается за 1
Считывание	$U_a > U_{оп} = U_p$	$VT2$ (откр)	наличие тока в шине Y_j соответствует 1
Запись 1	$(U_p < U_{оп})$ на шине и $U_a > U_{оп}$	$VT2$ (откр) $VT1$ (закр)	наличие тока в $VT2$ принимается за 1

Временные диаграммы работы ЗЯ в режимах записи нуля или единицы приведены на рис. 6.6 б.

Устройство управления (рис.6.4) определяет режим работы схемы ОЗУ. По сигналу \overline{CS} разрешаются или запрещаются операции записи и считывания. Сигнал \overline{CS} позволяет выбрать требуемую микросхему памяти в ЗУ, состоящем из ряда микросхем. Подача сигнала на вход \overline{WR}/RD при наличии сигнала $\overline{CS}=0$ выбора микросхемы позволяет выбрать режим записи, если $\overline{WR}/RD=0$, или считывания, если $\overline{WR}/RD=1$.

Данные, подлежащие записи, поступают на вход DI, а данные, подлежащие чтению, снимаются с выхода D0. Устройства записи и считывания обеспечивают приём и выдачу сигналов информации с уровнями, согласующимися с серийными цифровыми микросхемами.

Динамические ОЗУ. Для увеличения информационной ёмкости широко используются динамические ОЗУ, в которых информация хранится в виде заряда ёмкостей. При токе утечки обратно смещённого р-п-перехода около 10^{-10} А и ёмкости хранения 0,1пФ время хранения информации не превышает 1 мс. В связи с этим необходимо восстановление (регенерация) хранимой информации с периодом не более 1мс. Ёмкостные ячейки памяти выполняются или на биполярных, или на МОП- транзисторах.

Особенности динамических ОЗУ: не требуются источники питания; для выполнения регенерации заряда необходимы соответствующие блоки; малая потребляемая мощность; для управления исполь-

зуются импульсы, которые формируются специальными генераторами.

Отличительной особенностью микросхем динамических ОЗУ является **последовательная** адресация. Вначале на адресный вход подаётся строб адреса строки RAS, а затем строб адреса столбца CAS (рис.6.4). Адресные сигналы поступают в регистры-фиксаторы, а затем на дешифраторы адресов.

Хранение информации в ячейках памяти динамических ОЗУ (рис.6.7) осуществляется в ёмкости C_{GS} (затвор-исток) полевого транзистора, а транзистор VT1 выполняет роль ключа **выборки**. Сохранность информации при выборке и хранении обеспечивается при помощи усилителя-регенератора. Режим хранения осуществляется периодической регенерацией заряда ёмкости C_{GS} с частотой около сотни герц. В процессе регенерации уменьшение заряда на ёмкости C_{GS} компенсируется усилителем-регенератором.



Рисунок 6.7- Простейшая схема ЗЯ накопителя динамического ОЗУ

Динамические ОЗУ имеют малую потребляемую мощность (50 - 500 мВт) при увеличении информа-

ционной ёмкости по сравнению со статическими ОЗУ почти на порядок. Это можно объяснить тем, что для хранения информации почти не требуется энергия и все структуры работают в импульсном (ключевом) режиме.

Постоянные запоминающие устройства. В ПЗУ информация после записи меняться не может, и микросхема работает только в режиме считывания. Структурная схема ПЗУ (рис.6.8) отличается от схемы ОЗУ (рис.6.4) отсутствием устройства записи и линий связи, которые его обслуживают, кроме того, изменено выполнение накопителя (матрицы памяти).

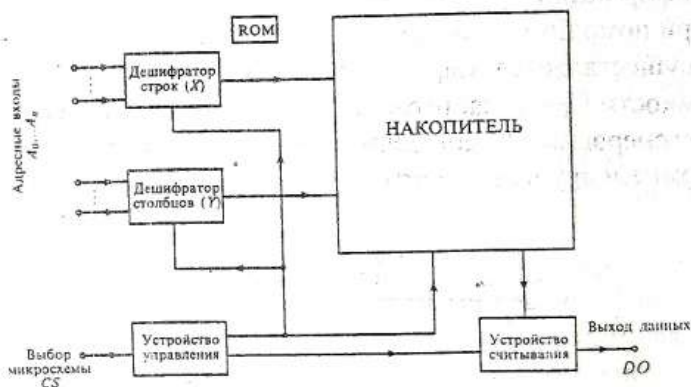


Рисунок 6.8- Структурная схема ПЗУ

В настоящее время нашли применение два вида накопителей ПЗУ: **масочные** и **программируемые**. В **масочных** ПЗУ накопитель программируется на стадии изготовления, когда информация, записыва-

емая в него, определяется построением одного из слоёв схемы при помощи специального фотошаблона.

В программируемых ПЗУ (ППЗУ) накопитель выполняется на базе ЗЯ с плавкими переключками (рис. 6.9). При программировании эти переключки (предохранители) пережигаются с помощью специального программирующего устройства. Они включаются в цепь между эмиттерами многоэмиттерных транзисторов $VT_0 \dots VT_n$ и разрядными шинами. Наличие переключки соответствует логическому нулю на выходе усилителя считывания, а отсутствие её — логической единице. Пережигание переключек в режиме программирования выполняется серией импульсов по специальной программе.

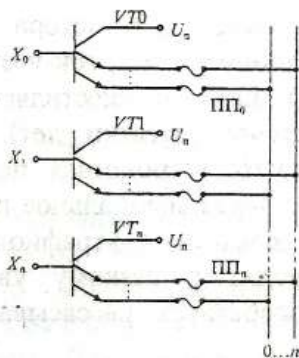


Рисунок 6.9- Схема ячейки ППЗУ с плавкими переключками

Программирование предусматривает подачу серии 40 - 100 импульсов после фиксации момента пережигания переключки, а также специальную термо-

тренировку запрограммированного ПЗУ при определённой температуре (около 100°C) в заданном электрическом режиме.

Репрограммируемые ПЗУ (РПЗУ). Репрограммируемые ПЗУ делятся на две группы: с электрическим программированием и ультрафиолетовым стиранием; с электрическим программированием и электрическим стиранием.

Запоминающие ячейки РПЗУ обычно строятся на n -МОП или КМОП транзисторах. Для построения ЗЯ используются различные физические явления хранения заряда на границе между двумя различными диэлектрическими средами или проводящей и диэлектрической средой.

Поскольку затвор транзистора со всех сторон окружён изолирующим слоем, ток утечки очень мал, и хранение информации осуществляется в течение длительного времени (десятки лет). Для стирания информации в таких устройствах пользуются облучением кристалла через специальное прозрачное стекло в корпусе микросхемы ультрафиолетовым светом. Облучение приводит к резкому увеличению тока утечки, что способствует рассасыванию носителей зарядов.

При втором способе электрического программирования подача напряжения на управляющий затвор транзистора приводит к рассасыванию заряда за счёт туннельного эффекта. Условное схематическое изображение микросхем статического ОЗУ, динамического ОЗУ и ПЗУ представлены на рис. 6.10.

Имеется отличие в обозначении микросхем статического (рис.6.10 а) и динамического ОЗУ (рис.6.10 б) Оно состоит в наличии входов RAS и CAS у динамических ОЗУ. На обозначениях микросхем ПЗУ (рис.6.10.в) отсутствует вход WR / RD.

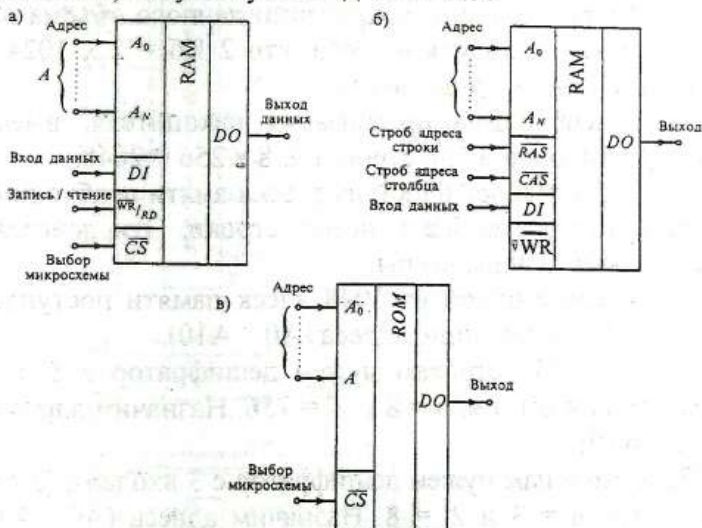


Рисунок 6.10- Условные схематические обозначения статического ОЗУ(а), динамического ОЗУ(б) и ПЗУ (в)

Отдельные типы микросхем ОЗУ могут иметь выходные каскады с тремя состояниями или с открытым коллектором. Для обозначения выхода с тремя состояниями используется знак \diamond Микросхемы, имеющие выход с открытым коллектором, обозначаются индексом \square , а с открытым эмиттером – знаком \square . Применение микросхем с тремя состояниями выхода или с открытым коллектором (открытым эмиттером) поз-

воляет создавать модули ЗУ с различными параметрами.

Пример организации памяти статического ОЗУ объемом 2Кб

1 При записи и сохранении данного объема памяти нужно исходить из того, что $2 \text{ Кб} = 2 \times 1024 = 2048$ восьмиразрядных ячеек.

2 Необходима организация накопителя, имеющего 8 столбцов и 256 строк, т.е. $8 \times 256 = 2048$.

3 Для выбора одной из ячеек памяти необходимо задать номер столбца и номер строки. Эти действия выполняют дешифраторы.

4 Адрес одной из 2048 ячеек памяти поступает по 11-разрядной шине адреса ($A_0 - A_{10}$).

5 По 256 строкам нужен дешифратор с 8 входами (8 линий), т.е. $n = 8$ и $2^8 = 256$. Назначим адреса ($A_3 - A_{10}$).

6 По 8 столбцам нужен дешифратор с 3 входами (3 линии), т.е. $n = 3$ и $2^3 = 8$. Назначим адреса ($A_0 - A_2$). Структура организации статического ОЗУ представлена на рис. 6.11. Основные параметры различных видов запоминающих устройств (ОЗУ, ПЗУ) представлены в приложении А, а их обозначения на схемах в приложении Б.

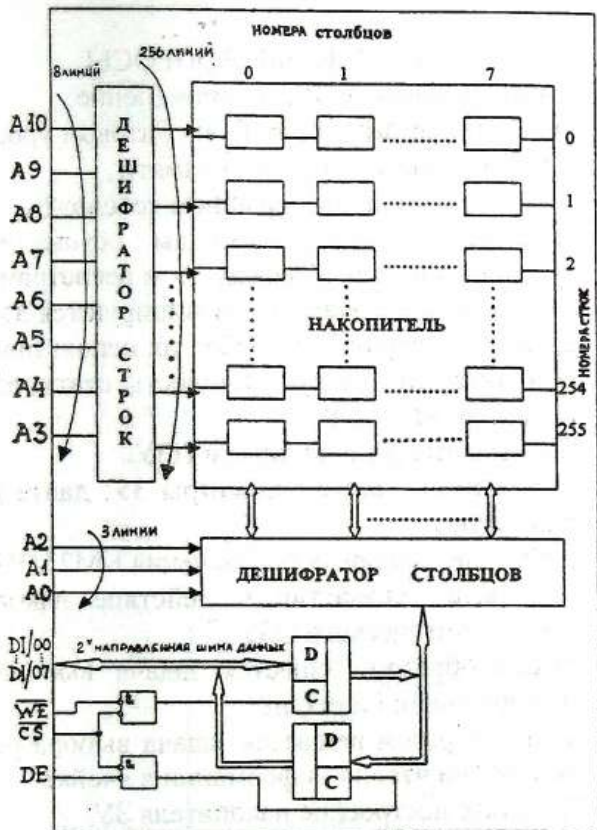


Рисунок 6.11- Структура организации статического ОЗУ

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Дайте назначение ЗУ, их применение.
- 2 Поясните организацию ЗУ на битовом уровне.
- 3 Дайте определение ячейки памяти.
- 4 Что понимается под термином «слово»?
- 5 Посредством какой команды осуществляется обмен информацией между ЗУ и регистрами?
- 6 По каким признакам классифицируются ЗУ?
- 7 Дайте назначение ОЗУ, ПЗУ, их использование.
- 8 Поясните физическую сущность статических и динамических ОЗУ.
- 9 Перечислите разновидности ПЗУ.
- 10 Назовите основные параметры ЗУ, дайте их определение.
- 11 Дайте расшифровку обозначения КМ254РТ1А.
- 12 Поясните устройство и действие накопителя памяти статического ОЗУ.
- 13 Каким образом решается задача выбора конкретной ячейки памяти?
- 14 Каким образом решается задача выбора режима записи или чтения информации в ячейке?
- 15 Поясните построение накопителя ЗУ.
- 16 Приведите простейшую схему триггера, поясните принцип её действия.
- 17 Поясните, в чём отличие динамических и статических ОЗУ?
- 18 Приведите структурную схему ПЗУ.
- 19 В чём сущность работы накопителя ППЗУ?
- 20 Поясните принцип организации памяти статического ОЗУ объёмом 2Кб.

ПРИЛОЖЕНИЕ А
(справочное)

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
<i>Статические ОЗУ</i>						
КМ155РУ2	ТТЛ	64(16×4)	60	105.0	201.16-6	1
К500РУ145	ЭСЛ	64(16×4)	10	140	236.16-2	2
К155РУ5	ТТЛ	256(256×1)	60	140.0	238.16-2	3
К500РУ410	ЭСЛ	256(256×1)	25	125	238.16-2	4
К561РУ2А	КМОП	256(256×1)	600	0.01	2106.16-2	5
КР185РУ9	ТТЛ	512(512×1)	45	200	2121.28-4	6
132РУ1	пМОП	1К(1К×1)	450	70	4112.16-2	7
КР132РУ3А	пМОП	1К(1К×1)	60	100	2103.16-6	8
КР132РУ4А	пМОП	1К(1К×1)	25	60	2103.16-2	9
К155РУ7	ТТЛ	1024(1024×1)	45	140.0	238.16-2	10
КМ185РУ7	ТТЛ	1К(256×4)	45	155	21.8.22-1	11
К500РУ415А	ЭСЛ	1К(1К×1)	20	140	238.16-2	12
КР565РУ2А	пМОП	1К(1К×1)	450	60	2103.16-8	13
1604РУ1	КМОП	1К(1К×1)	200	3	4112.16-1	14
				(динамический)		
КМ185РУ8	ТТЛ	2К(256×8)	45	185	2108.22-1	—
КМ132РУ5А	пМОП	4К(4К×1)	75	160	2104.18-1	15
КМ132РУ8А	пМОП	4К(1К×4)	60	150	2104.18-1	16
КМ132РУ9А	пМОП	4К(1К×4)	50	180	2104.18-1	17
537РУ2А	КМОП	4К(4К×1)	320	0.3	427.18-2	18
				(режим хранения)		
КР537РУ3В	КМОП	4К(4К×1)	150	20.0	2107.18-1	19
537РУ13	КМОП	4К(1К×4)	200	15	427.18-2.02	20
				(динамический)		
537РУ14А	КМОП	4К(4К×1)	110	45	427.18-2.02	21
				(динамический)		
К541РУ1А	И ² Л	4К(4К×1)	70	95	4112.18-1	22
КР541РУ2А	И ² Л	4К(1К×4)	90	100	2102.18-1	23
КР132РУ6А	пМОП	16К(16К×1)	45	25	2140.60.20-3	24
				(режим хранения)		
КМ185РУ10	ТТЛ	16К(16К×1)	50	150	2108.22-1	—
КР537РУ8А	КМОП	16К(2К×8)	150	20.0	239.24-2	25
537РУ8А	КМОП	16К(2К×8)	220	10	405.24-2	25
				(динамический)		

Продолжение приложения А

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
537P9A	КМОП	16К(2К×8)	240	1 (режим хранения)	4131.24-3	26
K1500PУ480	ЭСЛ	16К(16К×1)	35	210	4114.24-3	27
<i>Динамические ОЗУ</i>						
KP565PУ1A	пМОП	4К(4К×1)	200	400	210А.22-3	28
KP565PУ6B	пМОП	16К(16К×1)	120	230	2103.16-2	29
KP565PУ5B	пМОП	64К(64К×1)	120	230	2103.16-8	30
K565PУ7B	пМОП	256К(256К×1)	150	340	2103.16-13.01	31
<i>Постоянные ЗУ, программируемые маскированием</i>						
KP568PE1	пМОП	16К(2К×8)	450	37	2120.24-3	32
541PE1	ИЛ	16К(2К×8)	100	90	405.24.2	33
KA1603PE1	КМОП	16К(2К×8)	50	0.100 (три состояния)	405.24.7	34
KP568PE2	рМОП	64К(8К×8)	250	53	2121.28-5	35
KP588PE1	КМОП	64К(4К×16)	50	3	239.24-2	36
K596PE1	ТЛ	64К(8К×8)	350	145	4131.24-3	37
KP1801PE2A	пМОП	64К(4К×16)	30	60 (динамический)	239.24-1	38
KP568PE3	рМОП	128К(16К×8)	550	50	2121.28-5	39
<i>Постоянные ЗУ с электрическим программированием</i>						
K300PT416	ЭСЛ	1К(256×4)	20	140 (открытый эмиттер)	238.16-2	40
KP556PT4	ТТЛШ	1К(256×4)	70	130 (открытый коллектор)	238.16-2	41
556PT4	ТТЛШ	1К(256×4)	90	140	402.16-32	41
556PT11	ТТЛШ	1К(256×4)	45	130	238.16-2	42
556PT5	ТТЛШ	4К(512×8)	70	190	4118.24-1	43

Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условное обозначение корпуса	Номер рисунка
KP556PT5	ТТЛШ	4К(512×8)	70	190 (открытый коллектор)	239.24-2	43
KP556PT12	ТТЛШ	4К(1К×4)	60	140	2104.18-5	44
KP556PT13	ТТЛШ	4К(1К×4)	60	140	2104.18-5	45
KP556PT17	ТТЛШ	4К(512×8)	50	175 (три состояния)	239.24-2	46
KM1608PT2	ТТЛШ	4К(518×8)	35	185 (три состояния)	2108.22-1	47
KP556PT14	ТТЛШ	8К(2К×4)	60	140	2104.-18-5	48
KP556PT15	ТТЛШ	8К(2К×4)	60	140	2104.-18-5	49
556PT6	ТТЛШ	16К(2К×8)	100	185	405.24-1	50
556PT7	ТТЛШ	16К(2К×8)	100	185	405.24-2	51
KP556PT18	ТТЛШ	16К(2К×8)	60	180 (три состояния)	239.24-2	52
KP556PT16	ТТЛШ	64К(8К×3)	85	190 (три состояния)	239.24-2	53
KM1608PT1	ТТЛШ	256(32×8)	35	115 (три состояния)	201.16-17	54

Программируемые логические матрицы

556PT1	ТТЛШ	16-входные переменные	50	180 (динамическая)	4119.28-1	55
KP556PT1	ТТЛШ	48 конъюнций, 8 выходных функций	70	170 (открытый коллектор)	2121.28-1	55
KP556PT2	ТТЛШ	То же	80	180 (три состояния)	2121.28-1	56
1515XM1	КМОП	Многофункциональная цифровая матрица	6	0,5	4135.64.-2	—
K1520XM1	пМОП	То же	—	—	4135.54-1	—
K1520XM2	пМОП	»	—	—	Макет 4-1С8	—
556PT3	ТТЛШ	»	60	185	4119.28-1	57

Постоянные ЗУ с многократным перепрограммированием с электрической записью и стиранием информации

KP558PP1	рМОП	2К(256×8)	500	20 (суммарный ток, 3000)	405.24-7	58
558PP1	пМОП	2К(256×8)	220	15 (динамический 3000)	405.24-2	58

Продолжение приложения А

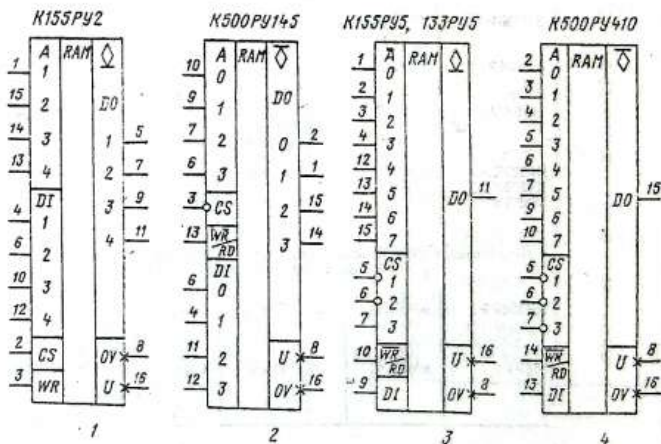
Тип микросхем	Технология	Емкость, (организация), бит	Время выборки адреса, нс	Ток потребления, мА (тип выхода, время хранения информации при отключенном источнике питания, ч)	Условные обозначения корпуса	Номер рисунка
KP1601PP1	pMНОМ	4K (1K×4)	1700	30 (5000)	2120.24-3	59
KP558PP2A	pMНОМ	16K (2K×8)	350	120 (3000)	405.24-7	60
KP1601PP3	pMНОМ	16K (2K×8)	600	40 (3000)	2121.28-5	61
KM558PP3	pMНОМ	64K (8K×8)	430	80 (15000)	2121.28-6	62

Постоянные ЗУ с многократным программированием и УФ-стиранием

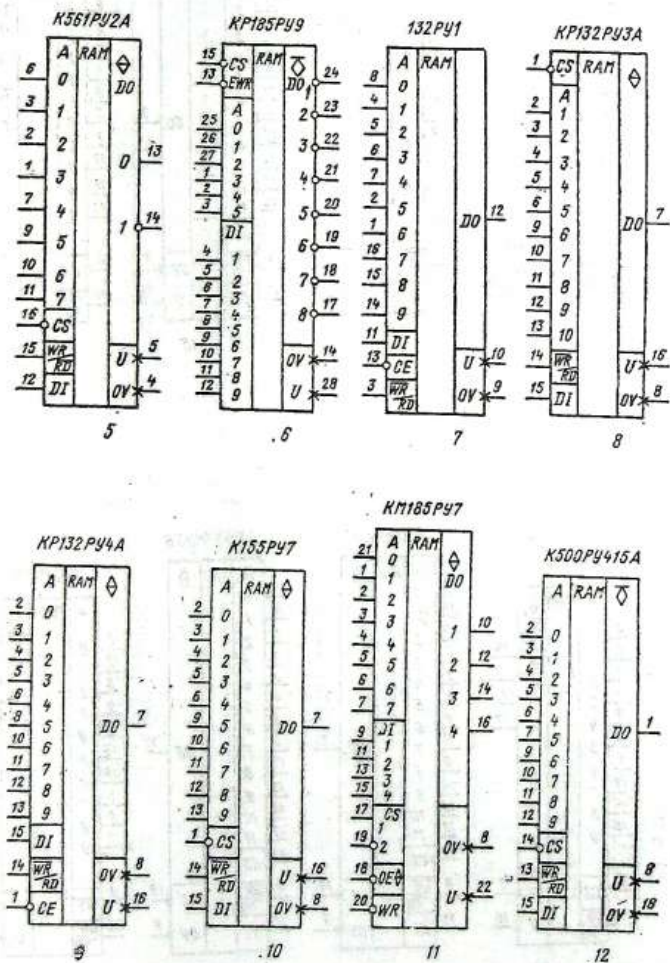
K573PФ1	n.ЛИЗМОП	8K (1K×8)	450	130 (100 000)	210Б.24-5	63
K573PФ2	n.ЛИЗМОП	16K (2K×8)	450	90 (100 000)	210Б.24-5	64
K573PФ5	n.ЛИЗМОП	16K (2K×8)	450	100 (150 000)	210Б.24-5	65
K573PФ3	n.ЛИЗМОП	64K (4K×16)	400	85 (15 000)	210Б.24-5	66
K573PФ4A	n.ЛИЗМОП	64K (8K×8)	300	70 (100 000)	2121.28-8	67
K573PФ6A	n.ЛИЗМОП	64K (8K×8)	300	120 (43 000)	2121.28-6	68
K573PФ81A	n.ЛИЗМОП	128K (16K×8)	350	100 (25 000)	2121.28-8	69
K573PФ8A	n.ЛИЗМОП	256K (32K×8)	350	100 (25 000)	2121.28-8	69

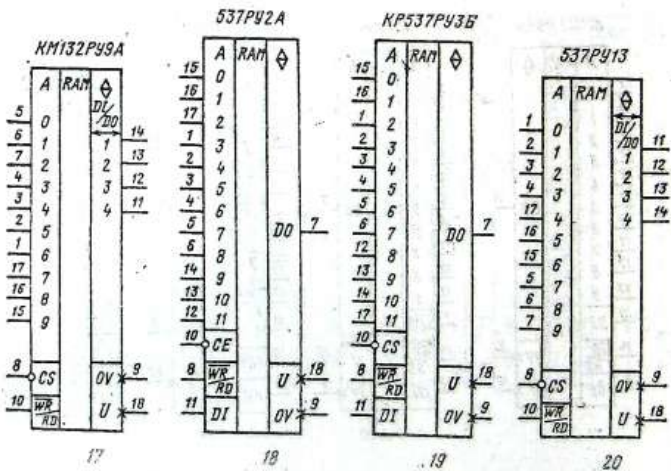
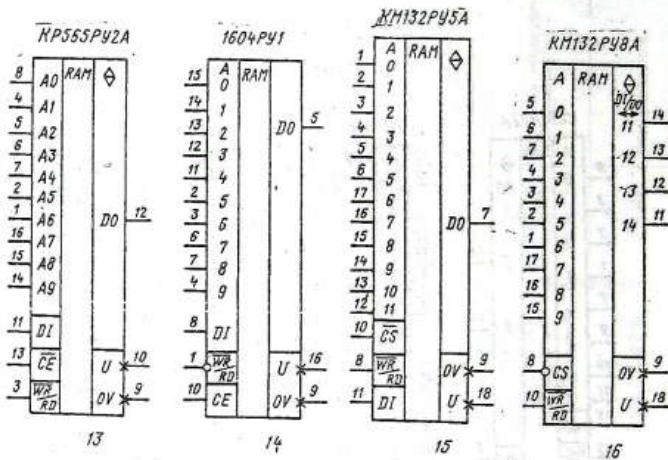
Ассоциативные ЗУ

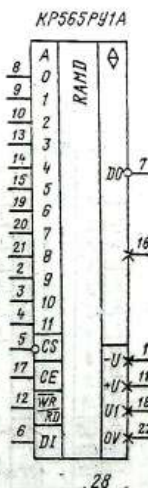
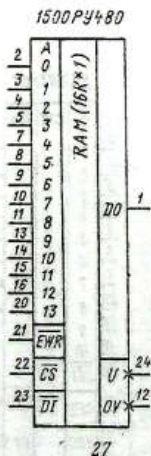
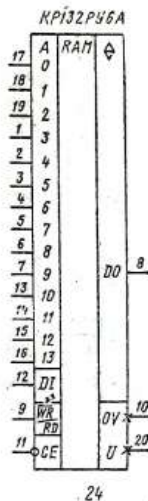
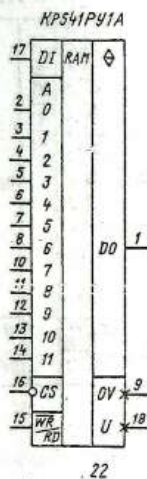
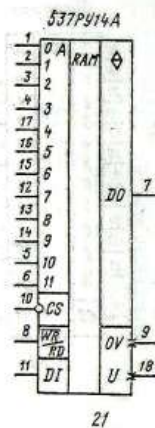
K589PA04	ТТЛШ	16(4×4)	30	120	239.24-2	70
----------	------	---------	----	-----	----------	----

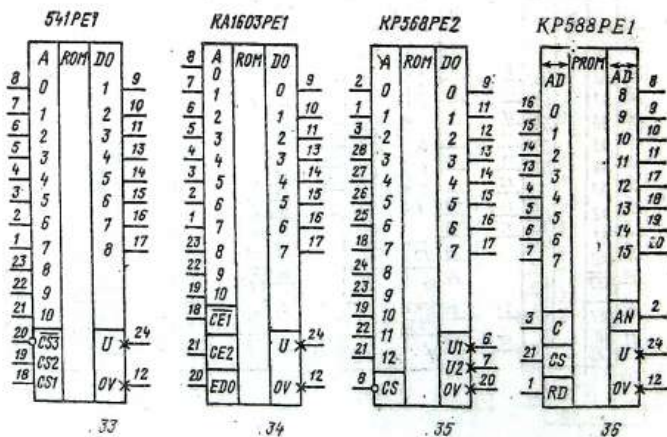
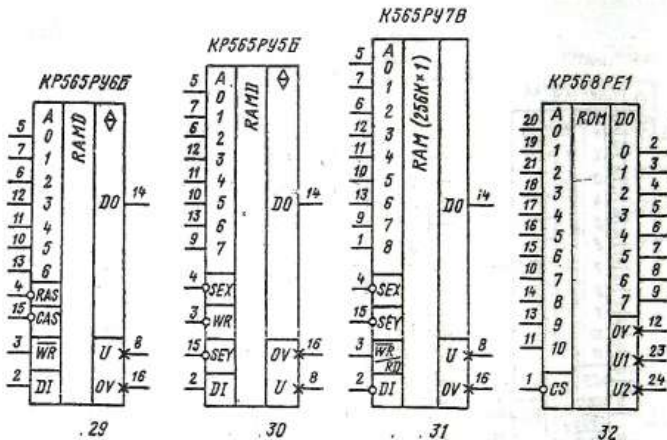


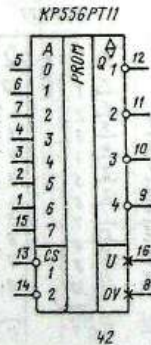
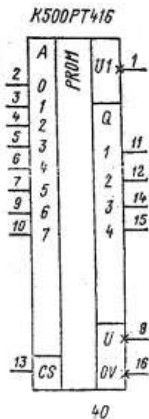
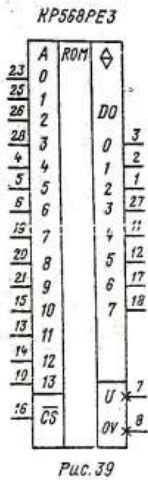
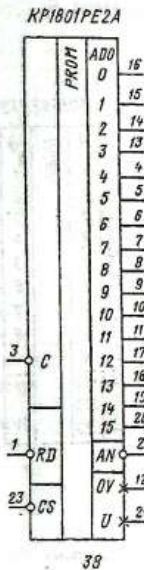
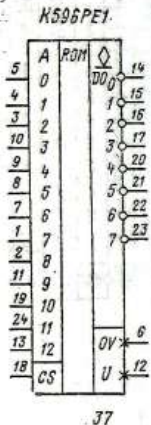
ПРИЛОЖЕНИЕ Б (справочное)

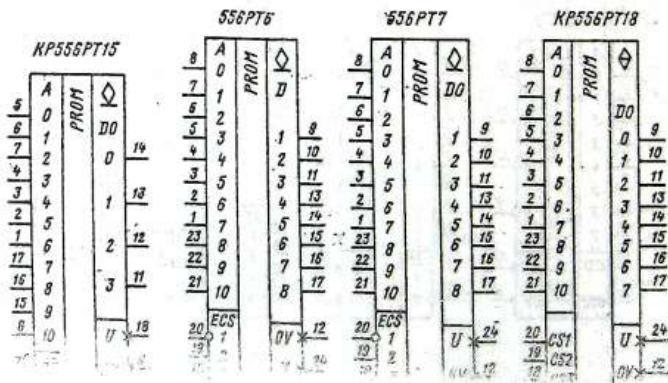
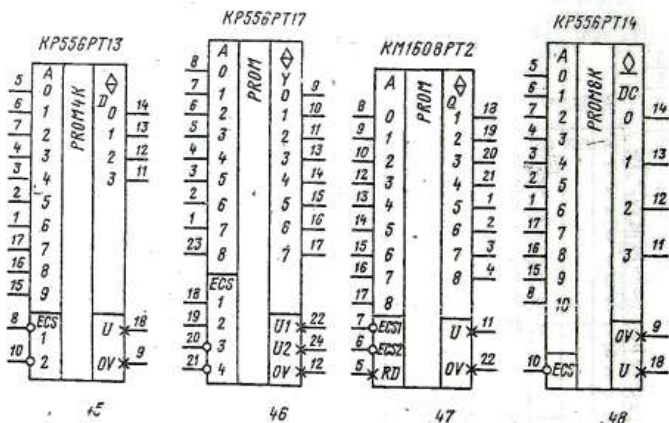


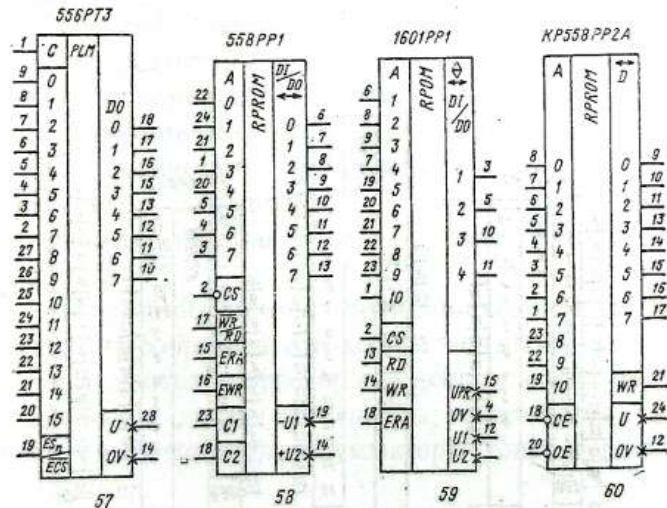
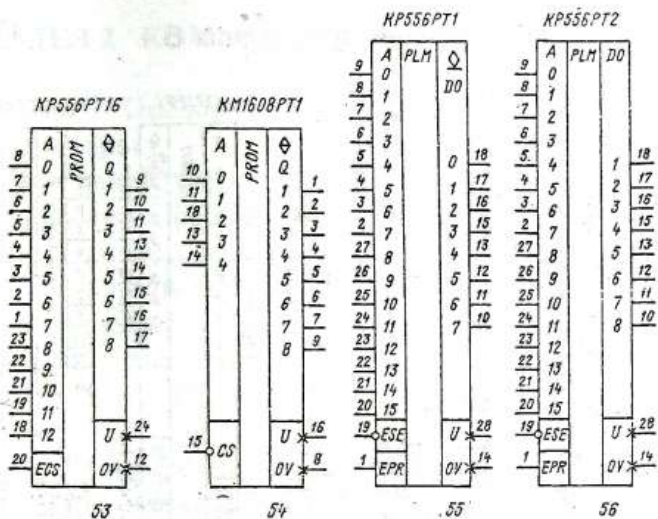




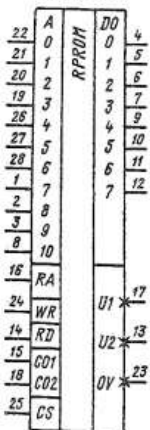






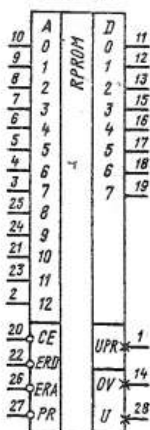


KP1601PP3



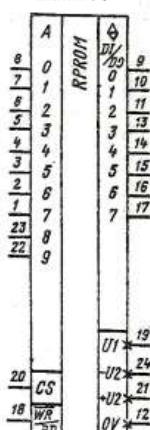
51

KM558PP3



52

K573PФ1



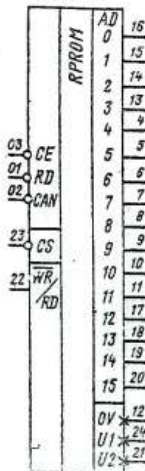
53

K573PФ2



54

K573PФ3



РАЗДЕЛ 2 КОМБИНАЦИОННЫЕ УСТРОЙСТВА

Лекция 7 Преобразователи кодов, шифраторы, дешифраторы

- 1 Преобразователи кодов, типы, примеры построения
- 2 Шифраторы, работа, построение схем, применение
- 3 Дешифраторы, назначение, действие, построение схем

Функциональные узлы **комбинационного** типа характеризуются однозначным соответствием **выходных сигналов** допустимым комбинациям сигналов **на входе** и не зависят от последовательности их смены.

Для построения комбинационного функционального узла должны быть заданы все множества **кодов** (слов) и соответствующий им набор выходных кодов либо **система уравнений**, описывающая зависимость каждого разряда выходного кода от независимых входных переменных.

Комбинационные схемы строятся либо на основе логических элементов, либо на основе постоянных запоминающих устройств, в которые записывается таблица преобразования входных слов в выходные.

К комбинационным функциональным узлам относятся: преобразователи кодов, частным случаем которых являются шифраторы и дешифраторы; мультиплексоры и демультимплексоры; устройства сдвига чисел; комбинационные сумматоры; цифровые компараторы и др.

Преобразователи кодов предназначены для перевода чисел из одной формы представления в другую. Например, при вводе информации в ЭВМ десятичные числа преобразуются в двоичные, а при выводе информации на печатающее устройство осуществляется обратное действие - преобразование двоичных чисел в десятичные.

Существует достаточно много различных кодов, используемых в цифровой технике (табл. 7.1).

Таблица 7.1 - Двоичные коды цифровой схемотехники

Десятичное число N	Код 8421 N	Код 7421	Код 5421	Код Аiken 2421	Код Грея	Код «с избытком» $N+3$	Дополнение до 9; «9 - N »	Дополнение до 10; «10 - N »	Код Джонсона
0	0000	0000	0000	0000	0010	0011	1001	1010	00000
1	0001	0001	0001	0001	0001	0100	1000	1001	00001
2	0010	0010	0010	0010	0011	0101	0111	1000	00011
3	0011	0011	0011	0011	0010	0110	0110	0111	00111
4	0100	0100	0100	0100	0110	0111	0101	0110	01111
5	0101	0101	1000	1011	0111	1000	0100	0101	11111
6	0110	0110	1001	1100	0101	1001	0011	0100	11110
7	0111	1000	1010	1101	0100	1010	0010	0011	11100
8	1000	1001	1011	1110	1100	1011	0001	0010	11000
9	1001	1010	1100	1111	1101	1100	0000	0001	10000

Код «с избытком» $(N+3)$, код Дополнение до 9 - $(9 - N)$, код Дополнение до 10 - $(10 - N)$ используются в арифметических устройствах для выполнения операций сложения и вычитания двоично-десятичных чисел.

Код Грея образован последовательностью двоичных чисел, в которой два любых соседних числа (первое и последнее число также считаются соседни-

ми) отличаются только одним разрядом. Переход от двоичного кода к коду Грея осуществляется по правилу: старшие разряды совпадают, а любой следующий разряд кода Грея равен сумме по модулю 2 соответствующего и предыдущего разрядов двоичного кода. Код Грея используется в аналого-цифровых преобразователях и пересчётных устройствах, существенно сокращает время преобразования, упрощает кодирующую логику, повышает помехозащищённость.

В коде Джонсона переход к последующему числу осуществляется последовательной заменой 0 на 1, начиная справа, а после установки во всех разрядах 1-заменой 1 на 0. Код Джонсона используется в цифровых счётчиках.

Код Айкена (2421) используется для выполнения арифметических операций над десятичными числами в обратном или дополнительном коде. Особенность его заключается в том, что если произвести замену 0 на 1, а 1 на 0, то получим обратный код. Например, числу 3 соответствует код 0011, т.е. ($3 \rightarrow 0011$), в обратном коде — ($1100 \rightarrow 6$). В коде Айкена, чтобы получить 1100, необходимо от $9 \rightarrow 1111$ отнять $3 \rightarrow 0011$, получим $1100 \rightarrow 6$.

В табл. 7.1 в обозначениях кодов 8421, 7421, 5421, 2421 указан десятичный вес r_i двоичной единицы x_i соответствующего разряда.

Построим преобразователь двоичного кода 421 в 3-разрядный код Грея. Необходимым условием построения является таблица истинности (табл. 7.2).

Входными данными таблицы являются x_2, x_1, x_0 , выходными — y_2, y_1, y_0 . Каждый разряд p_i получаемого на выходе кода будет независимой функцией входных наборов x_2, x_1, x_0 , которую необходимо найти и минимизировать. Для этого воспользуемся картами Карно, записав в клетки карт значения y_i для каждого набора.

Таблица 7.2- Набор данных

Десятичные числа	Код 421 x_2, x_1, x_0	Код Грея y_2, y_1, y_0
0	000	000
1	001	001
2	010	011
3	011	010
4	100	110
5	101	111
6	110	101
7	111	100

Для трёх входных переменных карта Карно состоит из восьми клеток. Определим контуры, состоящие из чётного числа клеток, найдём минимизированные значения функций y_2, y_1, y_0 (рис.7.1). В каждом контуре исключаем те переменные, которые принимают инверсные значения. В результате синтеза получены функции y_0 и y_1 в виде суммы по модулю 2 от переменных $(x_0 + x_1)$ и (x_1+x_2) соответственно, значение функции y_2 равно x_2 .

	$x_1 x_0$	00	01	11	10
x_2	0	0	1	0	1
1	0	1	0	1	

$$y_0 = \overline{x_0 x_1} + \overline{x_0 x_1} = \overline{x_0 x_1} \cdot \overline{x_0 x_1} = x_0 \oplus x_1 \quad (7.1)$$

	$x_1 x_0$	00	01	11	10
x_2	0	0	0	1	1
1	1	1	0	0	

$$y_1 = \overline{x_1 x_2} + \overline{x_1 x_2} = \overline{x_1 x_2} \cdot \overline{x_1 x_2} = x_1 + x_2 + \overline{x_1 + x_2} = x_1 \oplus x_2 \quad (7.2)$$

		0	0	0	0
x_2	1	1	1	1	1

$$y_2 = x_2 \quad (7.3)$$

Рисунок 7.1 - Карты Карно, минимизация функций

В соответствии с выражениями функций (7.1-7.3) получены различные виды логических схем преобразователя (рис.7.2).

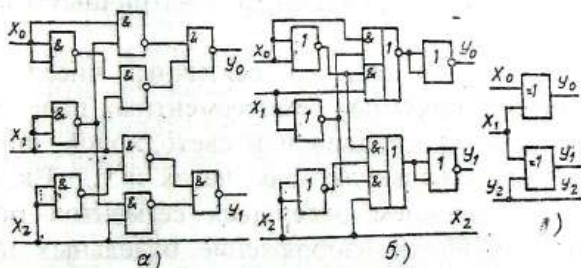


Рисунок 7.2 - Логические схемы преобразователя на ЛЭ: И-НЕ (а), ИЛИ-НЕ (б), исключающее ИЛИ (в)

Аналогично решается задача обратного преобразования кода Грея в код 421.

Прослеживается методика построения преобразователей кодов:

необходимо получить таблицу состояний, где указывается полный набор входных переменных и соответствующий им набор выходных переменных;

установить связь между разрядами выходных переменных и входных переменных, т.е. получить функции;

осуществить минимизацию полученной функции с помощью карт Карно;

полученную функцию необходимо реализовать в заданном элементном базисе И-НЕ, ИЛИ-НЕ.

Интегральные МС преобразователей кодов выпускаются только для наиболее распространенных операций: преобразование двоично-десятичного кода в двоичный и обратно, двоичного кода в двоично-десятичный; преобразование двоичного кода в код Грея; преобразование двоичного кода в код управления сегментными, шкальными и матричными индикаторами.

Визуализация двоично-десятичных чисел часто производится с помощью семисегментных панелей на основе жидких кристаллов или светодиодов, широко используемых в калькуляторах, часах и т.д. Включением и выключением отдельных сегментов можно получить светящееся изображение отдельных цифр. Конфигурация и расположение сегментов индикатора показаны на рис.7.3 а. Каждой цифре соответствует свой набор включения определённых сегментов индикатора. Таблица соответствия кодов представлена

на рис. 7.3 б, в ней приведены также двоичные коды соответствующих цифр.

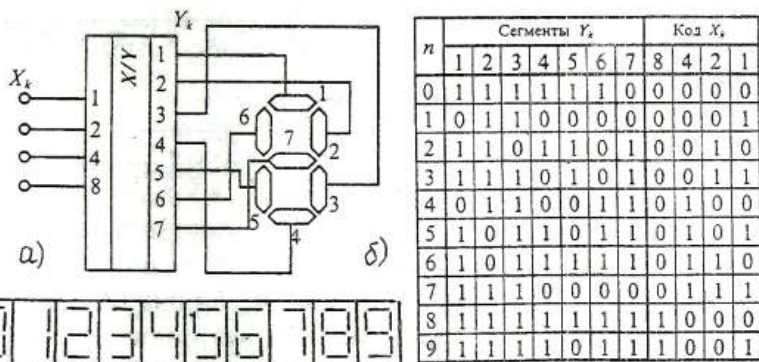


Рисунок 7.3- Схема преобразователя кода для семи-сегментного индикатора (а), таблица состояния кодов (б).

Для данного преобразователя входным кодом является код 8421, выходами представляются сегменты, которые определяются наборами кода 8421.

Для каждого сегмента необходимо построить карту Карно, состоящей из 4 переменных (16 клеток), найти функции $y_1, y_2, y_3, \dots, y_7$. На рис. 7.4 представлена карта Карно для функции y_1 , аналогично получены выражения для остальных функций y_2, \dots, y_7 .

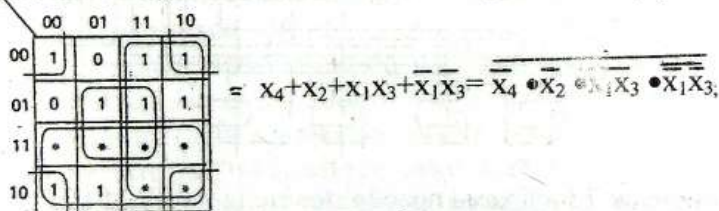


Рисунок 7.4- Карта Карно для функции y_1

Выражения для остальных функций:

$$Y_2 = x_1 x_2 + \bar{x}_1 \bar{x}_2 + \bar{x}_3 + x_4 = \overline{\bar{x}_1 \bar{x}_2 \cdot \bar{x}_1 \bar{x}_2 \cdot x_3 \cdot \bar{x}_4},$$

$$Y_3 = x_1 + \bar{x}_2 + x_3 + x_4 = \overline{\bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \cdot \bar{x}_4},$$

$$Y_4 = \bar{x}_1 x_2 + x_2 \bar{x}_3 + \bar{x}_1 \bar{x}_3 + x_1 \bar{x}_2 x_3 + \bar{x}_4 = \overline{\bar{x}_1 \bar{x}_2 \cdot x_2 \bar{x}_3 \cdot \bar{x}_1 \bar{x}_3 \cdot x_1 \bar{x}_2 x_3 \cdot \bar{x}_4},$$

$$Y_5 = \bar{x}_1 x_2 + \bar{x}_1 \bar{x}_3 + \bar{x}_1 x_4 = \overline{\bar{x}_1 \bar{x}_2 \cdot \bar{x}_1 \bar{x}_3 \cdot \bar{x}_1 x_4},$$

$$Y_6 = \bar{x}_1 \bar{x}_2 + \bar{x}_1 x_3 + \bar{x}_2 x_3 + x_4 = \overline{\bar{x}_1 \bar{x}_2 \cdot \bar{x}_1 x_3 \cdot \bar{x}_2 x_3 \cdot \bar{x}_4},$$

$$Y_7 = \bar{x}_1 x_2 + x_2 \bar{x}_3 + \bar{x}_2 x_3 + x_4 = \overline{\bar{x}_1 \bar{x}_2 \cdot x_2 \bar{x}_3 \cdot \bar{x}_2 x_3 \cdot \bar{x}_4}.$$

Такие индикаторы позволяют получить светящееся изображение не только цифр от 0 до 9, но и других знаков, используемых в 8- и 16-ричной системах счисления. Для управления такими индикаторами выпускаются интегральные МС типов КР514ИД1, КР514ИД2, К133П1, 176 ИД2, 176ИД3 и т.д.

Схема преобразования кода 8421 в код семи-сегментного индикатора, реализованная на ЛЭ И-НЕ, представлена на рис. 7.5.

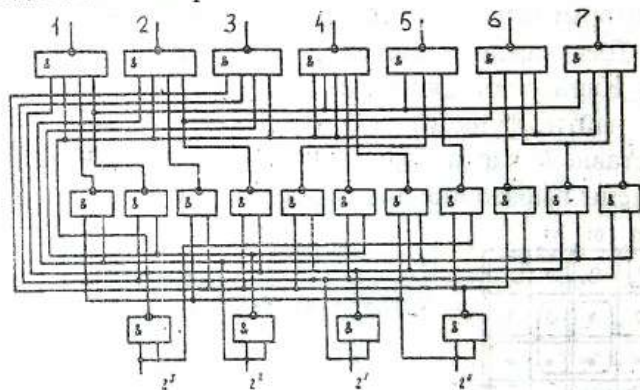


Рисунок 7.5 - Схема преобразователя на ЛЭ И-НЕ

Шкальные индикаторы представляют собой линейку светодиодов с одним общим анодом или катодом. Преобразователи двоичного кода в код управления шкальным индикатором обеспечивают перемещение светящегося пятна, определяемое двоичным кодом на адресном входе.

Матричные индикаторы представляют собой наборы светодиодов, расположенные по строкам и столбцам. Матричные индикаторы форматом 7 строк и 5 столбцов (7×5) являются наиболее распространёнными. Количество светодиодов в таких индикаторах равно 35. Управление осуществляется путём выбора номера строки и номера столбца, на пересечении которых находится нужный светодиод. Примером такого матричного индикатора является прибор АЛС340А (рис. 7.6 а).

Для управления матричными индикаторами выпускаются микросхемы, в которых положение светодиода задаётся номерами столбца i и строки j , причём не все комбинации i и j используются. К ним относятся микросхемы К155ИД8 и К155ИД (рис. 7.6 б).

Примерами простейших преобразователей кодов, которые широко используются в цифровых устройствах, являются шифраторы и дешифраторы.

Шифратором (СД) называют кодовый преобразователь, который имеет n входов и k выходов, и при подаче сигнала на один из входов (обязательно только на один) на выходах появляется двоичный код возбуждённого входа. Число входов и выходов в полном шифраторе связано соотношением $n = 2^k$.

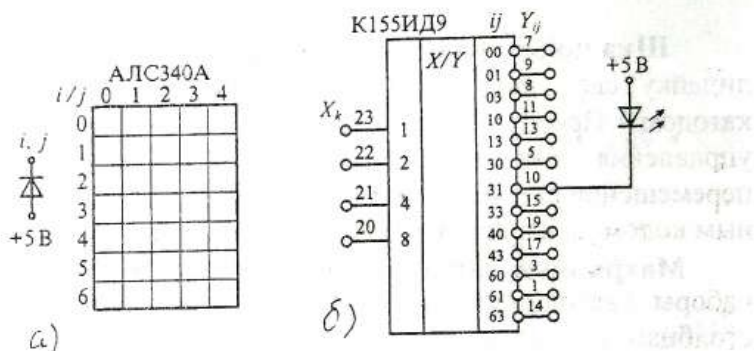


Рисунок 7.6- Устройство матричного индикатора формата 7×5 (а), включение МС 155ИД9 (б)

Рассмотрим принцип построения полного шифратора на примере преобразования 8-разрядного единичного кода в двоичный код. Функционирование шифратора (8 × 3) описывается табл. 7.3. При подаче сигнала на один из входов (обязательно только на один) на выходах появляется двоичный код возбужденного входа.

Таблица 7.3- Состояния выходов шифратора (8 × 3)

X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

Если все входные сигналы имеют нулевое значение, то на выходе шифратора формируется нулевой код $Y_0 = Y_1 = Y_2 = 0$.

Выход с весовым коэффициентом, равным 1, должен возбуждаться при входном сигнале на любом из нечётных входов, так как все нечётные номера в двоичном представлении содержат 1 в младшем разряде.

Следующий выход имеет вес два. Он должен возбуждаться при подаче сигналов на входы с номерами 2, 3, 6, 7, т.е. с номерами, имеющими в двоичном представлении 1 во втором разряде.

Старший разряд формируется из входных сигналов с номерами 4, 5, 6, 7, т.е. из четырёх старших разрядов единичного кода.

Уравнения, описывающие структуру шифратора (8×3), имеют вид

$$\begin{aligned} Y_0 &= x_1 + x_3 + x_5 + x_7, \\ Y_1 &= x_2 + x_3 + x_6 + x_7, \\ Y_2 &= x_4 + x_5 + x_6 + x_7. \end{aligned} \quad (7.4)$$

На основе уравнений (7.4) построена логическая схема шифратора (рис. 7.7 а), его условное схематическое обозначение представлено на рис. 7.7 б.

В цифровых системах с помощью шифратора обеспечивается связь между различными устройствами посредством ограниченного числа линий связи. Рассмотрим пример построения шифратора для ввода данных с клавиатуры (рис. 7.8). Ввод числовых данных выполняется в унитарном коде посредством нажатия одной из десяти кнопок, а ввод данных в микропро-

цессор выполняется в двоичном коде. Для преобразования кода кнопочного пульта в код микропроцессора используется шифратор (10×4). Поскольку четырёхразрядный двоичный код имеет не 10, а 16 возможных комбинаций, то такой шифратор будет **неполным**.

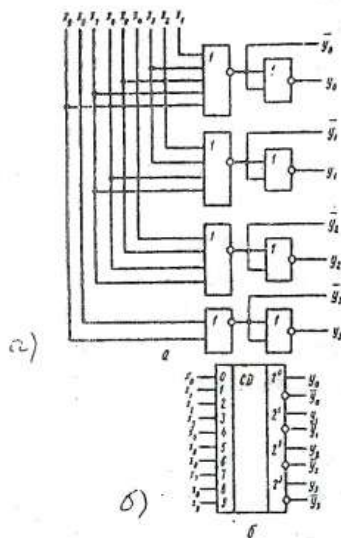


Рисунок 7.7- Схема шифратора восьмиразрядного единичного кода (а), его условное схематическое обозначение (б)

Принцип работы шифратора для ввода данных с клавиатуры можно пояснить следующим образом. В зависимости от нажатия номера клавиши на выходе формируется соответствующий двоичный код.

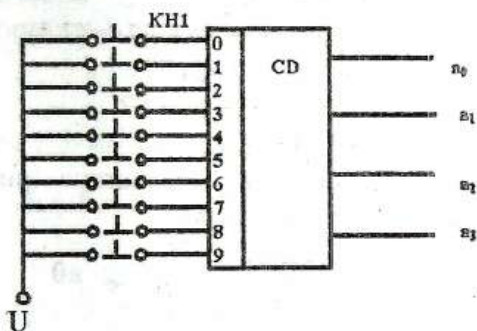


Рисунок 7.8- Устройство для ввода данных с клавиатур

Если нажать КН1, то выходы шифратора имеют значения $a_0 = 0$, $a_1 = 0$, $a_2 = 0$, $a_3 = 0$. В устройстве должна формироваться команда ввода и запоминания очередной десятичной цифры. Если нажать КН2, то $a_0 = 1$, $a_1 = 0$, $a_2 = 0$, $a_3 = 0$ и т.д. На основе принципа работы составляется таблица состояний (табл.7.4).

Таблица 7.4-Состояния устройства ввода с клавиатуры

Вход	a3	a2	a1	a0
F0	0	0	0	0
F1	0	0	0	1
F2	0	0	1	0
F3	0	0	1	1
F4	0	1	0	0
F5	0	1	0	1
F6	0	1	1	0
F7	0	1	1	1
F8	1	0	0	0
F9	1	0	0	1

цессор выполняется в двоичном коде. Для преобразования кода кнопочного пульта в код микропроцессора используется шифратор (10×4). Поскольку четырёхразрядный двоичный код имеет не 10, а 16 возможных комбинаций, то такой шифратор будет **неполным**.

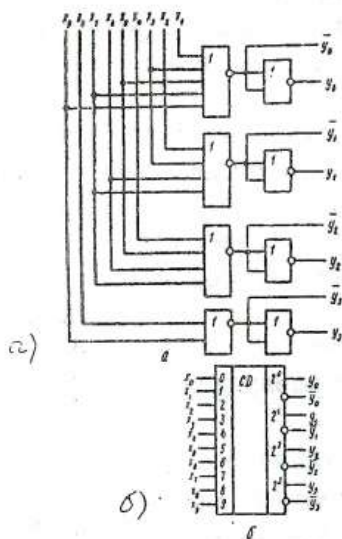


Рисунок 7.7- Схема шифратора восьмиразрядного единичного кода (а), его условное схематическое обозначение (б)

Принцип работы шифратора для ввода данных с клавиатуры можно пояснить следующим образом. В зависимости от нажатия номера клавиши на выходе формируется соответствующий двоичный код.

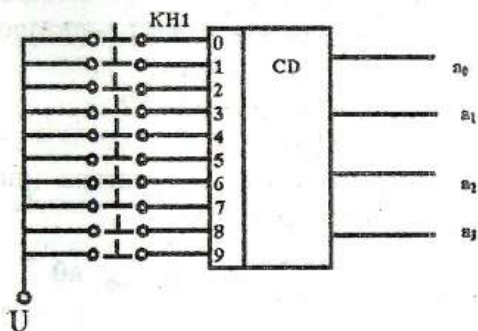


Рисунок 7.8- Устройство для ввода данных с клавиатур

Если нажать КН1, то выходы шифратора имеют значения $a_0 = 0$, $a_1 = 0$, $a_2 = 0$, $a_3 = 0$. В устройстве должна формироваться команда ввода и запоминания очередной десятичной цифры. Если нажать КН2, то $a_0 = 1$, $a_1 = 0$, $a_2 = 0$, $a_3 = 0$ и т.д. На основе принципа работы составляется таблица состояний (табл.7.4).

Таблица 7.4-Состояния устройства ввода с клавиатуры

Вход	a_3	a_2	a_1	a_0
F0	0	0	0	0
F1	0	0	0	1
F2	0	0	1	0
F3	0	0	1	1
F4	0	1	0	0
F5	0	1	0	1
F6	0	1	1	0
F7	0	1	1	1
F8	1	0	0	0
F9	1	0	0	1

Используя таблицу состояний, получим зависимости входных и выходных значений:

$$a_0 = F_1 + F_3 + F_5 + F_7 \quad (7.5)$$

$$a_1 = F_2 + F_3 + F_6 + F_7$$

$$a_2 = F_4 + F_5 + F_6 + F_7$$

$$a_3 = F_8 + F_9$$

Построим логическую схему шифратора (рис.7.9) в соответствии с уравнениями (7.5).

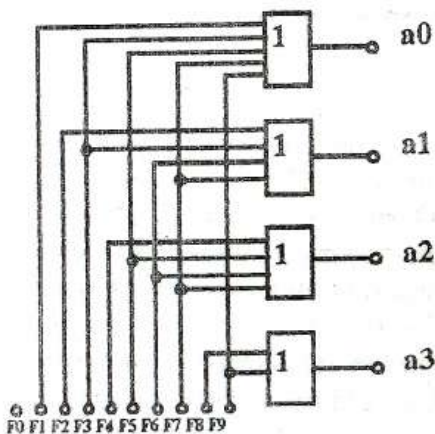


Рисунок 7.9- Логическая схема шифратора ввода данных с клавиатуры

Часто ограничение на количество нажимаемых клавиш оказывается неприемлемым и требуется построить шифратор так, чтобы он при одновременном нажатии нескольких клавиш реагировал на самый старший (или младший) из них. Преобразователи кода данного вида называют приоритетными шифратора-

ми. В качестве примера рассмотрим функционирование приоритетного шифратора К555ИВ1 (табл.7.5)

Таблица 7.5- Функционирование шифратора

E	X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀	Y ₂	Y ₁	Y ₀	G	E ₀
0	x	x	x	x	x	x	x	x	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	1	x	0	0	1	1	0
1	0	0	0	0	0	1	x	x	0	1	0	1	0
1	0	0	0	0	1	x	x	x	0	1	1	1	0
1	0	0	0	1	x	x	x	x	1	0	0	1	0
1	0	0	1	x	x	x	x	x	1	0	1	1	0
1	0	1	x	x	x	x	x	x	1	1	0	1	0
1	1	x	x	x	x	x	x	x	1	1	1	1	0

Примечание-x=0 или 1.

Условное схематическое изображение шифратора К555ИВ1 показано на рис. 7.10 а. Сигнал на входе шифратора E-это сигнал включения шифратора (0- выключен, 1- включён). Сигналы на выходе: G- сигнал, свидетельствующий о наличии хотя бы одного возбуждённого входа x_i ; E₀- сигнал разрешения, свидетельствует об отсутствии возбуждённых входов x_i . Таким образом, трёхразрядный двоичный код можно считать с выхода шифратора только при условии G= 1. Выходной сигнал E₀ можно использовать при каскадном включении шифраторов. Схема шифратора К555ИВ1 форматом 16×4 приведена на рис.7.10 б.

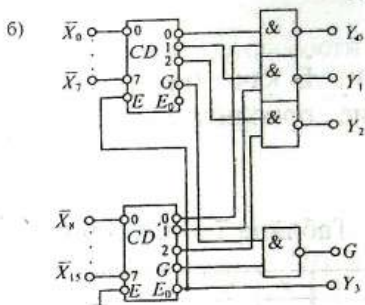
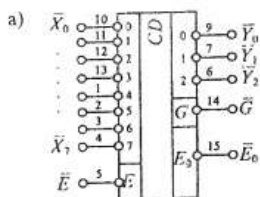


Рисунок 7.10- Условное схематическое обозначение шифратора К555ИВ1 (а), его логическая схема (б)

В этой схеме наивысший приоритет имеет вход X15. Первый шифратор (верхний по схеме) включается только в том случае, если не возбуждён ни один вход второго (нижнего) шифратора. Сигнал $G=1$, если возбуждён хотя бы один вход $X_0 - X_{15}$.

В заключение покажем таблицу состояний шифратора (табл. 7.6) для преобразования десятичных чисел в код 8421.

Таблица 7.6- Состояния шифратора

Десятичное число	Входной код								Код 8421			
	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	1	0	0	0	0	1
3	0	0	0	0	0	1	0	0	0	1	1	0
4	0	0	0	0	1	0	0	0	1	0	0	0
5	0	0	0	1	0	0	0	0	1	0	1	0
6	0	0	1	0	0	0	0	0	1	1	0	0
7	0	1	0	0	0	0	0	0	1	1	1	0
8	0	1	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	1	0	0	1

$$\begin{aligned}
 Y_0 &= x_1 + x_3 + x_5 + x_7 + x_9 = \\
 &= \overline{x_1} \cdot \overline{x_3} \cdot \overline{x_5} \cdot \overline{x_7} \cdot \overline{x_9}, \\
 Y_1 &= x_2 + x_3 + x_6 + x_7 = \\
 &= \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_6} \cdot \overline{x_7}, \\
 Y_2 &= x_4 + x_5 + x_6 + x_7 = \\
 &= \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_6} \cdot \overline{x_7}, \\
 Y_3 &= x_8 + x_9 = \overline{x_8} \cdot \overline{x_9}.
 \end{aligned} \quad (7.6)$$

Предлагается самостоятельно построить логическую схему шифратора для преобразования десятичных чисел в код 8421, используя выражения (7.6).

Дешифратором (ДС) называют преобразователь двоичного n -разрядного кода в унитарный 2^n -разрядный код, все разряды которого, за исключением одного, равны нулю. Они бывают полные и неполные. Для полного ДС выполняется условие $N = 2^n$, где n - число входов, N - число выходов. В неполных ДС имеется n входов, но реализуется $N < 2^n$ выходов.

Наиболее широко ДС используются в устройствах вывода информации из ЭВМ и других цифровых устройств на внешние устройства визуализации и документирования алфавитно-цифровой информации. Для этого нужно подать сигнал на «1 из n » элементов выборки символов печатающего устройства.

Синтез структуры ДС начинается с записи таблицы соответствия входных и выходных кодов. Пусть требуется преобразовать двоичный код 21 в код «1 из 4». В табл. 7.7 определены значения выходов для всех входных наборов. Затем для каждой выходной функции необходимо составить карту Карно и получить её минимизированное выражение. В рассматриваемом примере это делать нецелесообразно, т.к. для каждой функции карта Карно содержит только одну минтерму «1». На основе табл. 7.7 запишем выражения (7.7) для функций y_0, y_1, y_2, y_3 , которые могут быть реализованы либо на ЛЭ И-НЕ (рис. 7.11 а), либо на ЛЭ ИЛИ-НЕ (7.11 б). Условное обозначение ДС показано на рис. 7.11 в.

Таблица 7.7- DC кода 21 в «1 из 4»

Входной код 21 $x_1 x_0$	Выходной код «1 из 4» $y_3 y_2 y_1 y_0$
0 0	0 0 0 1
0 1	0 0 1 0
1 0	0 1 0 0
1 1	1 0 0 0

$$y_0 = \bar{x}_0 \bar{x}_1 = \overline{x_0 + x_1}; \quad (7.7)$$

$$y_1 = x_0 \bar{x}_1 = \overline{x_0 + x_1};$$

$$y_2 = \bar{x}_0 x_1 = x_0 + \bar{x}_1;$$

$$y_3 = x_0 x_1 = \overline{x_0 + \bar{x}_1}.$$

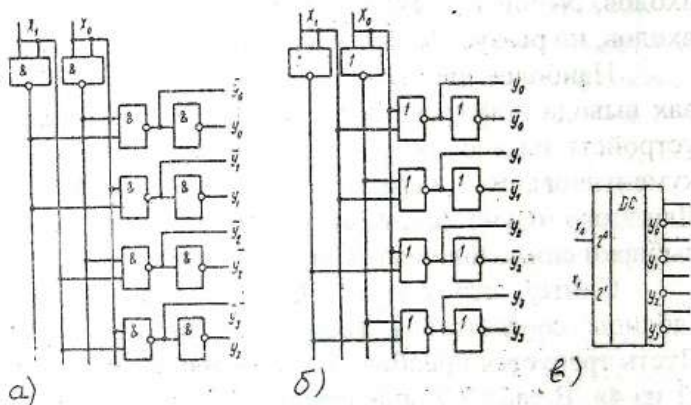


Рисунок 7.11—Реализация DC- кода 21 в код«1 из 4» в элементном базисе И-НЕ (а), ИЛИ-НЕ (б), условное обозначение (в)

Рассмотрим пример неполного DC – преобразователь двоичного кода 8421 в код «1 из 10» согласно табл.7.8. Выражения функций находятся аналогично рассмотренному предыдущему случаю с той только разницей, что возможно получение функций с помощью карт Карно, которые необходимо доопределить.

Таблица 7.8- DC 8421 в код «1 из 10»

Входной код 8421 $x_3x_2x_1x_0$	Выходной код «1 из 10» $y_9 \dots y_0$
0 0 0 0	1 0 0 0 0 0 0 0 0 0
0 0 0 1	0 1 0 0 0 0 0 0 0 0
0 0 1 0	0 0 1 0 0 0 0 0 0 0
0 0 1 1	0 0 0 1 0 0 0 0 0 0
0 1 0 0	0 0 0 0 1 0 0 0 0 0
0 1 0 1	0 0 0 0 0 1 0 0 0 0
0 1 1 0	0 0 0 0 0 0 1 0 0 0
0 1 1 1	0 0 0 0 0 0 0 1 0 0
1 0 0 0	0 0 0 0 0 0 0 0 1 0
1 0 0 1	0 0 0 0 0 0 0 0 0 1

$$y_0 = \overline{x_3} \overline{x_2} \overline{x_1} \overline{x_0} = \overline{x_3 + x_2 + x_1 + x_0}$$

$$y_1 = \overline{x_3} x_2 x_1 x_0 = \overline{x_3 + x_2 + x_1 + x_0}$$

$$y_2 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_3 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_4 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_5 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_6 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_7 = \overline{x_2} x_1 x_0 = \overline{x_2 + x_1 + x_0}$$

$$y_8 = x_3 x_0 = \overline{x_3 + x_0}$$

$$y_9 = x_3 x_1 = \overline{x_3 + x_1}$$

Соответствующий десятичный DC реализован на основе ЛЭ ИЛИ-НЕ (рис. 7.12).

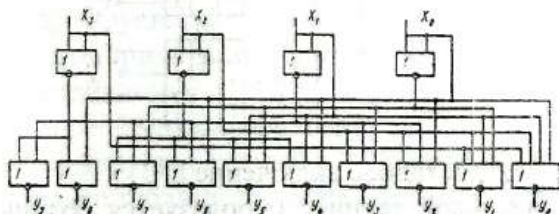


Рисунок 7.12-Десятичный DC на ЛЭ ИЛИ-НЕ

Для расширения числа входов и выходов используют каскадное включение DC. На рис. 7.13 показана группа из пяти DC, соединённых последовательно в два каскада. Все DC одинаковые. Кроме кодовых входов, каждый DC имеет вход стробирующего сигнала (вход С). Сигнал на выходе появляется только при $C=1$. Если $C=0$, то на всех выходах DC будут нули, т.е. DC заперт. Дешифратор DD1 определяет, какой из че-

тырёх дешифраторов DD2- DD5 будет выполнять дешифрирование младших разрядов числа. Однако выполнять эту операцию будет только тот DC, который включён сигналом, поданным на вход С от дешифратора DD1.

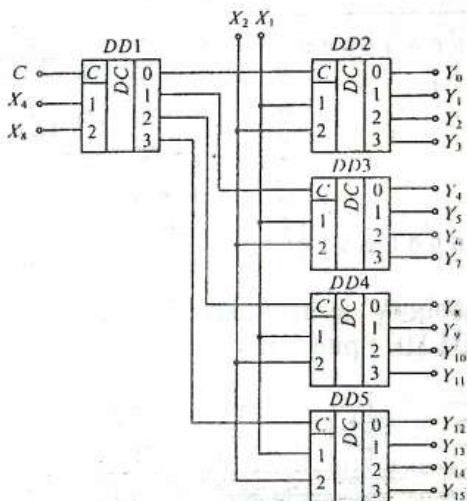


Рисунок 7.13-Каскадное включение DC

В цифровой технике используется большое количество интегральных МС преобразователей кодов, шифраторов и дешифраторов, некоторые из них приведены в приложении А. Кроме приведённых МС, иногда используются программируемые постоянные запоминающие устройства, которые применяются для вывода различных символов на экран монитора при управлении от двоичного кода. К таким ПЗУ относятся К155РЕ21, К155РЕ24. Они используются в качест-

ве преобразователей двоичного кода в код русского, латинского алфавитов, код арифметических и дополнительных символов.

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Приведите особенности построения комбинационных устройств.
- 2 Дайте назначение преобразователей кодов.
- 3 Запишите основные коды, используемые в преобразователях.
- 4 Поясните правила формирования кода Грея.
- 5 Постройте карты Карно для преобразования трёхразрядного кода Грея в код 421.
- 6 Поясните методику построения преобразователей кодов.
- 7 Как формируется семисегментный код?
- 8 Приведите примеры использования шкальных и матричных индикаторов.
- 9 Дайте определение шифратору.
- 10 Как формируется полный и неполный шифратор?
- 11 Приведите таблицу состояния выходов шифратора.
- 12 Поясните работу шифратора для ввода данных с клавиатуры.
- 13 Порядок построения дешифраторов.
- 14 Приведите примеры применения дешифраторов.
- 15 Поясните порядок получения функций дешифратора кода 21 в код «1 из 4».
- 16 Приведите пример получения неполного дешифратора.
- 17 Расшифруйте обозначение К155ИД13.

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Установить, в каком из 2^n возможных состояний находится n -разрядный регистр, позволяет дешифратор (от фр. *dechiffre*-расшифровывать). Он имеет n входов и 2^n выходов. При любой комбинации сигналов на входах сигнал 1 появляется только на одном из выходов, т.е. каждое из 2^n возможных состояний регистра обуславливает появление 1 на «своём» выходе.

В простейшем случае дешифратор представляет собой набор из n -входных схем И. На входы каждой из них поступают прямые или инверсные сигналы с выходов всех триггеров регистра (рис. 7.14).

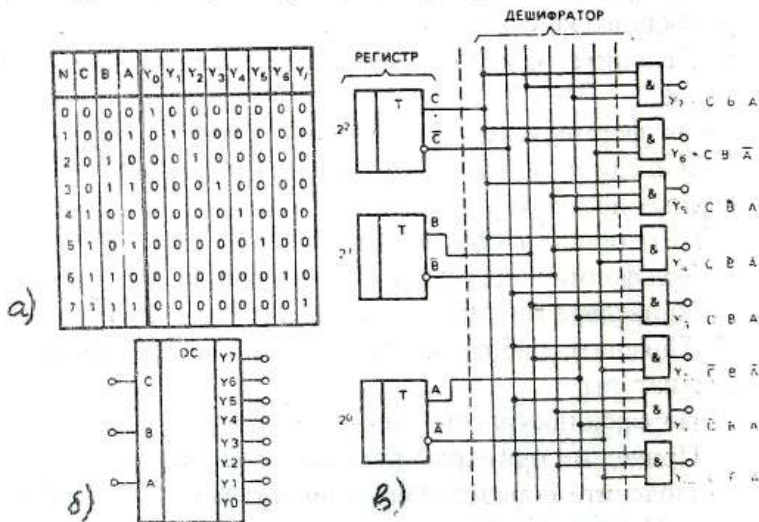


Рисунок 7.14- Трёхразрядный двоичный дешифратор: таблица состояний (а), обозначение (б), структура и принцип подключения к регистру (в)

Эта схема может рассматриваться как преобразователь двоичного кода в код «1 из n».

Обратную функцию выполняет шифратор (рис.7.7), где логическая 1 на любой из вертикальных шин преобразуется в параллельный двоичный код. В этом легко убедиться, вспомнив принцип действия ЛЭ ИЛИ.

Аналогично осуществляется преобразование и в коды других типов, а комбинация устройств дешифратор-шифратор позволяет преобразовывать код одного типа в другой код. Схема преобразования параллельного двоичного кода в код управления семисегментным индикатором абвгдежзи представлена на рис.7.15 (часть соединительных проводов не показана).

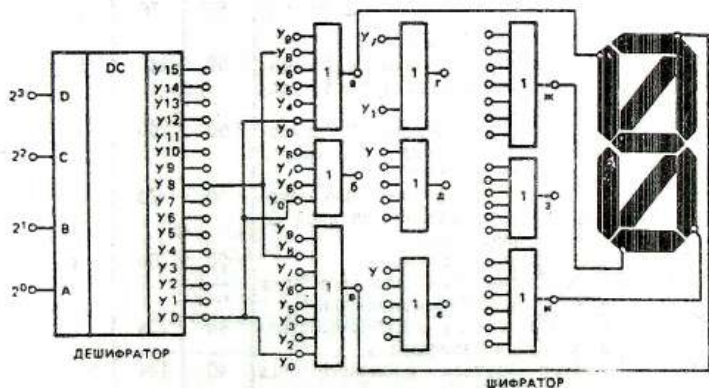


Рисунок 7.15- Комбинация устройств дешифратор — шифратор преобразования кода одного типа в другой код

ПРИЛОЖЕНИЕ А

(справочное)

Тип ИМС	Функциональное назначение	$t_{зд. р.}$ нс	$I_{пот.}$ мА	УГО
K155 (ТТЛ): $U_{вых}^0 < 0,4$ В; $U_{вых}^1 > 2,4$ В; $I_{вых}^0 < 1,6$ мА; $I_{вых}^1 < 0,04$ мА				
ИД1	Двоично-десятичный дешифратор с высоковольтным выходом. $U_{вых}^0 < 2,5$ В, $U_{вых}^1 < 60$ В	—	25	а
ИД3	Дешифратор двоично-десятичного кода в десятичный	36	56	б
ИД4	Сдвоенный дешифратор	32	40	в
ИД8	Дешифратор для управления матрицей 7×5 на светодиодах $I_{вых} < 10$ мА	100	65	г
ИД9	Дешифратор для управления матрицей 7×4 на светодиодах	100	65	д
ИД10	Двоично-десятичный дешифратор $U_{вых}^1 < 15$ В, $I_{вых} < 80$ мА	50	70	е
ИД11	Дешифратор на 3 входа и 8 выходов для управления шкалой с заполнением	50	140	ж
ИД12	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом одной точки	50	60	з
ИД13	Дешифратор на 3 входа и 8 выходов для управления шкалой со сдвигом двух точек	50	70	из
ИВ4	Приоритетный шифратор	20	60	в
ГН15	Преобразователь двоичного кода для 7-сегментного индикатора	—	11	и
ГР6	Преобразователь двоично-десятичного кода в двоичный	40	104	к
ПР7	Преобразователь двоичного кода в десятичный	40	104	л

Продолжение приложения А

Тип ИМС	Функциональное назначение	$t_{эд. р.}$ вс	$I_{пот.}$ мА	УГО
---------	---------------------------	--------------------	------------------	-----

К500 (ЭСЛ): $U_{вых}^0 = -1,63$ В; $U_{вых}^1 = -0,98$ В;
 $I_{вх}^0 = 0,5$ мкА; $I_{вх}^1 = 0,3$ мА

ИД161	3-разрядный дешифратор низкого уровня	6	125	м
ИД162	3-разрядный дешифратор высокого уровня	6	125	н
ИВ165	Шифратор с приоритетом	18	140	о

К531 (ТТЛШ): $U_{вых}^0 < 0,5$ В; $U_{вых}^1 > 2,7$ В;
 $I_{вх}^0 < 2$ мА; $I_{вх}^1 < 0,05$ мА

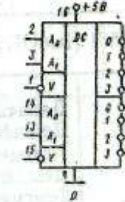
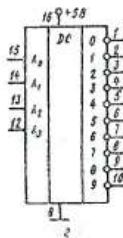
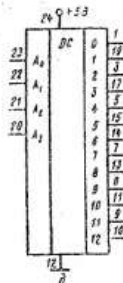
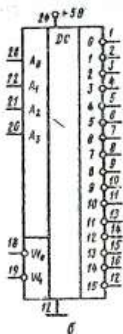
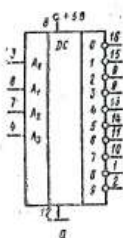
ИД7	3-разрядный дешифратор	12	74	п
ИД14	Два 2-разрядных дешифратора	12	90	р

К555 (ДТТЛШ): $U_{вых}^0 < 0,5$ В; $U_{вых}^1 > 2,7$ В;
 $I_{вх}^0 < 0,4$ мА; $I_{вх}^1 < 0,04$ мА

ИД4	Сдвоенный дешифратор	30	10	в
ИД7	3-разрядный дешифратор	40	10	л
ИД10	Двоично-десятичный дешифратор	50	10	е
ИВ3	с открытым коллектором Шифратор с приоритетом	19	70	с

К561 (КМОП): $U_{вых}^0 < 0,8$ В; $U_{вых}^1 > 4,2$ В; $I_{вх}^{(1)} < \dots$ нА

ИД1	Двоично-десятичный дешифратор	580	0,01	т
ИД4	Дешифратор двоичного кода для 7-сегментного индикатора	1200	0,01	у
ИД5	Дешифратор двоичного кода для 7-сегментного индикатора	—	—	ф



Лекция 8 Мультиплексоры, демультиплексоры, комбинационные устройства сдвига

- 1 Мультиплексоры, структура, принцип работы, схемы.
- 2 Демультиплексоры, структура, принцип работы, схемы.
- 3 Комбинационные устройства сдвига.

В цифровой технике часто возникает задача передачи цифровой информации через один канал (рис.8.1). Для этого на входе канала устанавливается устройство, называемое **мультиплексором**, которое согласно цифровому коду адреса A_m подключит к каналу один из источников информации. На выходе канала **демультиплексор** обеспечит передачу информации к приёмнику, имеющему код адреса A_n . Символы m и n обозначают число источников и приёмников информации соответственно.

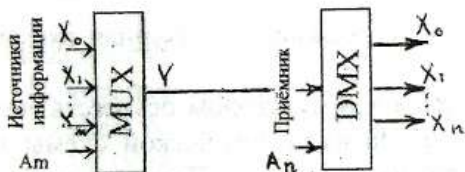


Рисунок 8.1 – Структура передачи информации в системе мультиплексор-демультиплексор

Мультиплексор и демультиплексор включают в себя дешифратор адреса. Сигналы дешифратора управляют логическими элементами, разрешив передачу информации только через один из них. **Мультиплексор MUX (Multiplexer)** – это элек-

тронное устройство, предназначенное для поочередного включения входных линий связи на одну выходную. Обобщённая структурная схема мультиплексора (рис.8.2.) представляет собой входную логику и коммутатор, на который подаются входные информационные сигналы X_i и через коммутатор передаются на выход Y .

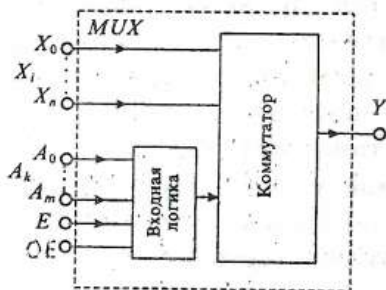


Рисунок 8.2- Обобщённая структурная схема мультиплексора

Управление коммутатором осуществляется логической схемой. На вход логической схемы подаются адресные сигналы A_i (Adress). Дополнительный управляющий вход E (Enable) выполняет стробирование выхода Y . Некоторые MUX могут иметь выход с тремя состояниями: два состояния 0 и 1 и третье состояние-отключённый выход (выходное сопротивление равно бесконечности). Перевод MUX в третье состояние производится сигналом OE (Output Enable).

Большинство MUX способны передавать сигналы информации X_i только в одном направлении – от входа к выходу. Однако имеются MUX, которые могут

передавать информацию в обоих направлениях - это двунаправленные MUX. Такой тип MUX способен передавать не только цифровые, но и аналоговые сигналы и называются они **селекторами-мультиплексорами**. Мультиплексоры, имеющие три состояния выходов, можно каскадировать.

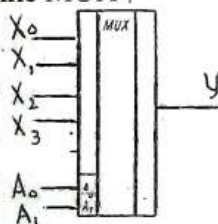
Для обозначения коммутационных возможностей MUX можно пользоваться условной записью $(n \rightarrow 1)$, где n - число входов. Так, например, MUX с функцией $(4 \rightarrow 1)$ имеет четыре входа и один выход.

Число информационных входов n и число адресных входов m мультиплексора связаны соотношением $n = 2^m$. Наибольшее распространение получили MUX с $n = 2$ и $m = 1$, т.е. $(2 \rightarrow 1)$, а также $n = 4$ и $m = 2$, т.е. $(4 \rightarrow 1)$, $n = 8$ и $m = 3$, т.е. $(8 \rightarrow 1)$, $n = 16$ и $m = 4$, т.е. $(16 \rightarrow 1)$.

Приведём таблицу состояний (табл.8.1) для MUX $(4 \rightarrow 1)$, которая связывает входные и выходные сигналы, покажем условное обозначение MUX.

Таблица 8.1 - MUX $(4 \rightarrow 1)$

X_0	X_1	X_2	X_3	A_1	A_0	Y
X_0	0	0	0	0	0	X_0
0	X_1	0	0	0	1	X_1
0	0	X_2	0	1	0	X_2
0	0	0	X_3	1	1	X_3



Адреса A_0 и A_1 представляются в двоичном коде. Каждому коду адреса соответствует свой информационный вход. Только при этом соответствии сигнал проходит на выход. Коммутация входных сигналов и

подача их на выход может осуществляться в желаемом порядке. Используя таблицу 8.1, составим выражение для выходной функции

$$Y = X_0 (\bar{A}_0 \bar{A}_1) + X_1 (A_0 \bar{A}_1) + X_2 (\bar{A}_0 A_1) + X_3 (A_0 A_1), \quad (8.1)$$

На четыре входа схемы подаются четыре информационных сигнала и соответствующий адресный код. С помощью адресных шин выбирается нужный вход. Для кода адреса 00 к выходу подключается вход X_0 , для кода адреса 01- X_1 и т. д. Логическая схема MUX (4→1) строится в соответствии с уравнением (8.1) на логических элементах И-НЕ и ИЛИ-НЕ (рис. 8.3).

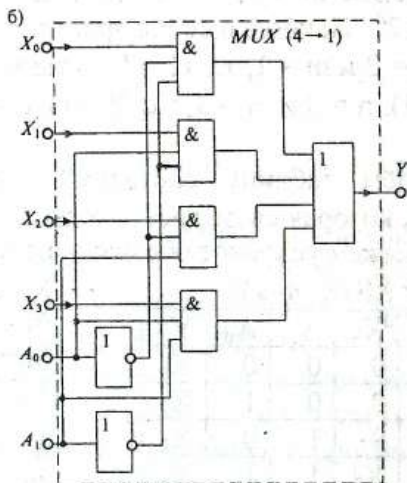


Рисунок 8.3- Логическая схема MUX (4→1)

Для получения прямых и инверсных адресных сигналов используются два дополнительных инвертора. Так как для построения MUX с большим числом входов требуются логические элементы И и ИЛИ с числом входов больше четырёх, то их проще выполнять путём **каскадирования** (рис.8.4). В этой схеме каждый MUX является четырёхвходовым. Адресные входы A_0 и A_1 для MUX 0 - MUX3 являются общими, адресные входы A_2 и A_3 обслуживают MUX4.

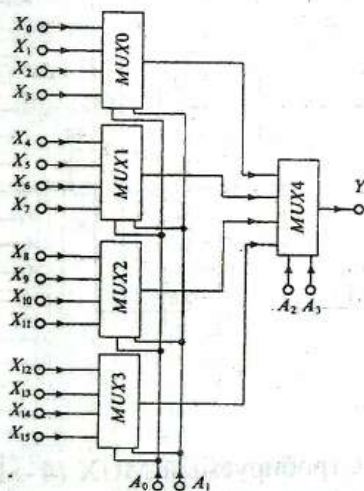


Рисунок 8.4- Пирамидальное каскадирование MUX- (4→1) для реализации выходной функции (16→1)

MUX (64→1) состоит из восьми MUX (8→1), на входы каждого из которых подаются одни и те же адресные сигналы $A_0 - A_2$, производящие выбор одно-

го из восьми каналов в каждом MUX. Последний MUX DD9 управляется адресными сигналами A_3, A_4, A_5 и определяет, какой из восьми MUX DD1 – DD8 будет подключён к выходу Y . Ввод стробирования E можно использовать только у последнего MUX DD9. Таким образом, на рис.8.5 показана схема стробируемого MUX с форматом $(64 \rightarrow 1)$.

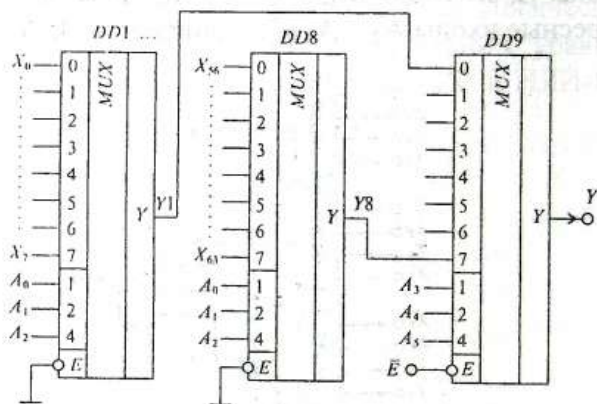


Рисунок 8.5- Стробируемый MUX $(4 \rightarrow 1)$ для реализации выходной функции $(64 \rightarrow 1)$

Интегральные микросхемы MUX можно разделить на группы по следующим признакам: по числу входов (2-, 4-, 8- и 16- входовые); по числу мультиплексоров в одном корпусе; по наличию стробируемого входа E ;

по наличию выхода с тремя состояниями (наличие входа OE);

по способности передавать сигналы в двух направлениях.

Применение MUX с тремя состояниями выходов (рис.8.6) позволяет увеличить число коммутируемых каналов. Схема MUX (16→1) выполнена на MUX (8→1) и дешифраторе адреса, который на рисунке не показан. Выходы Y мультиплексоров DD1 и DD2 соединены вместе для организации функции ИСКЛЮЧАЮЩЕЕ ИЛИ. В зависимости от значения адресного сигнала $A_3 = 0$ или $A_3 = 1$ включаются микросхемы DD1 или DD2 соответственно.

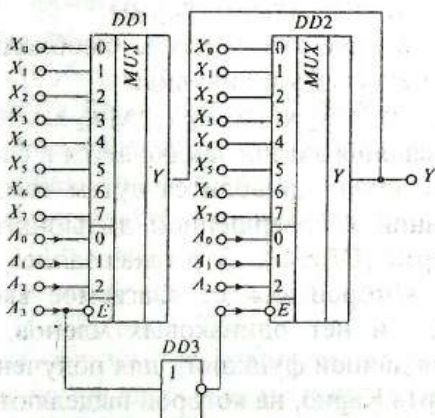


Рисунок 8.6- Мультиплексор с тремя состояниями выхода

При включении микросхемы DD1 на общий выход поступает один из информационных сигналов $x_0 - x_7$, при включении микросхемы DD2- $x_8 - x_{15}$.

Мультиплексоры могут применяться в качестве преобразователя параллельного m -разрядного двоичного кода в последовательный. Для этого достаточно на входы MUX подать параллельный код и затем последовательно изменять код адреса в требуемой последовательности. При этом строб- импульс на время переключения адреса должен отключать выход от входов во избежание появления ложного сигнала на выходе MUX.

MUX могут быть использованы для построения логических функций нескольких переменных в виде дизъюнктивной нормальной формы.

Пусть в качестве примера необходимо реализовать логическую функцию вида

$$F(x_1, x_2, x_3, x_4, x_5) = \bar{x}_3 \bar{x}_2 \bar{x}_1 + x_4 \bar{x}_2 x_1 + x_3 \bar{x}_2 x_1 + x_5 x_4 x_1. \quad (8.2)$$

Алгоритм решения задачи заключается в следующем: исходная функция приводится путём тождественных преобразований к совершенной дизъюнктивной нормальной форме (СДНФ). Это такая запись логической функции, в которой каждое слагаемое включает все переменные и нет одинаковых членов, она единственная для данной функции; для полученной СДНФ строится карта Карно, на которой выделяются области, где элементы имеют одинаковые адреса; для каждой адресной области определяется минимальная форма относительно переменных, подаваемых на информационные входы;

согласно полученным минимальным формам реализуется схема управления каждым информационным входом MUX.

Алгоритм решения (8.2) представим в следующем виде:

дополним каждый минтерм недостающими аргументами

$$\bar{x}_3 \bar{x}_2 \bar{x}_1 = (\bar{x}_5 + x_5)(\bar{x}_4 + x_4) \bar{x}_3 \bar{x}_2 \bar{x}_1 = x_5 \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + x_5 \bar{x}_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1,$$

дополняя аналогично каждый минтерм, получим из выражения (8.2) СДНФ

$$F(x) = x_5 \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + x_5 \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_5 x_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_5 \bar{x}_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + \bar{x}_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1 + x_5 x_4 x_3 \bar{x}_2 \bar{x}_1. \quad (8.3)$$

Для функции (8.3) построим карту Карно, распределив для наглядности адресные переменные по строкам и столбцам (рис. 8.7 а).

На карте Карно выделим области D_0, D_1, D_2, D_3 , определяющие функции управления соответствующим информационным входом MUX.

Минимизируем функции управления:

$$D_0 = \bar{x}_3, \quad D_1 = x_3 + x_4, \quad D_2 = 0, \quad D_3 = x_4 x_5 \quad (8.4)$$

Реализуем функции (8.4) на логических элементах ИЛИ, И-НЕ (рис. 8.7 б).

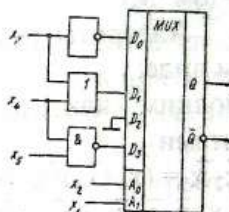
Таким образом, если аргументы функции подавать не только на адресные, но и на информационные входы, то MUX используется более эффективно. Это осуществляется за счёт того, что аргументы синтезируемой функции (8.2) разделяются на информационные и адресные входы так, чтобы адресными

входами управляли переменные, наиболее часто входящие в минтермы функции.

а)

	x_1, x_2, x_3, x_4	000	001	011	010	110	111	101	100
x_2, x_3	00	1	1	0	0	1	1	1	0
	01	1	1	0	0	1	1	1	0
	11	0	0	0	0	0	1	1	0
	10	0	0	0	0	0	0	0	0

а)



б)

Рисунок 8.7- Карта Карно с адресными переменными по строкам и столбцам (а), реализация функции на ЛЭ (б)

В приложении 1 приведены основные параметры и функциональное назначение выводов микросхем, наиболее часто используемых MUX.

Демультимплексоры (DMX) - устройства, выполняющие преобразование, обратное действию мультиплексора, т.е. обеспечивают передачу цифровой информации, поступающей по одной линии, на несколько выходных линий. Выбор выходной линии осуществляется при помощи сигналов, поступающих на адресные входы.

Обобщённая структурная схема (рис.8.8) сходна со схемой MUX. Входной сигнал X поступает на вход коммутатора и через него передаётся на выходы $Y_0 \dots Y_n$. Адресные сигналы $A_0 \dots A_k$ имеют тоже назначение, что и у MUX. Сигнал стробирования E разрешает передачу входного сигнала через коммутатор.

Для обозначения коммутационных возможностей DMX используется запись, аналогичная MUX.

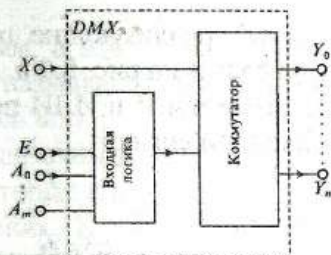


Рисунок 8.8- Обобщённая структурная схема DMX

Для обозначения коммутационных возможностей DMX используется запись, аналогичная MUX ($1 \rightarrow n$), где n - число выходов DMX. Например, DMX ($1 \rightarrow 2$) имеет два выхода, а DMX ($1 \rightarrow 4$)- четыре выхода. В качестве примера рассмотрим DMX ($1 \rightarrow 4$), состояния входа и выходов которого приведены в табл.8.2. Используя данные этой таблицы, получим выражения для выходных сигналов DMX:

$$Y_0 = X (\bar{A}_0 \bar{A}_1) = \bar{X} + A_0 + A_1, \quad Y_1 = X (A_0 \bar{A}_1) = \bar{X} + \bar{A}_0 + A_1,$$

$$Y_2 = X (\bar{A}_0 A_1) = \bar{X} + A_0 + \bar{A}_1, \quad Y_3 = X (A_0 A_1) = \bar{X} + \bar{A}_0 + \bar{A}_1.$$

Таблица 8.2-Состояния входа и выходовDMX ($1 \rightarrow 4$)

A_0	A_1	Y_0	Y_1	Y_2	Y_3
0	0	X	0	0	0
0	1	0	X	0	0
1	0	0	0	X	0
1	1	0	0	0	X

Логические схемы DMX, реализующие приведенные выражения, иллюстрированы на рис. 8.9 а, б. В каждой схеме на логические элементы И и ИЛИ подаются два адресных сигнала и входной сигнал.

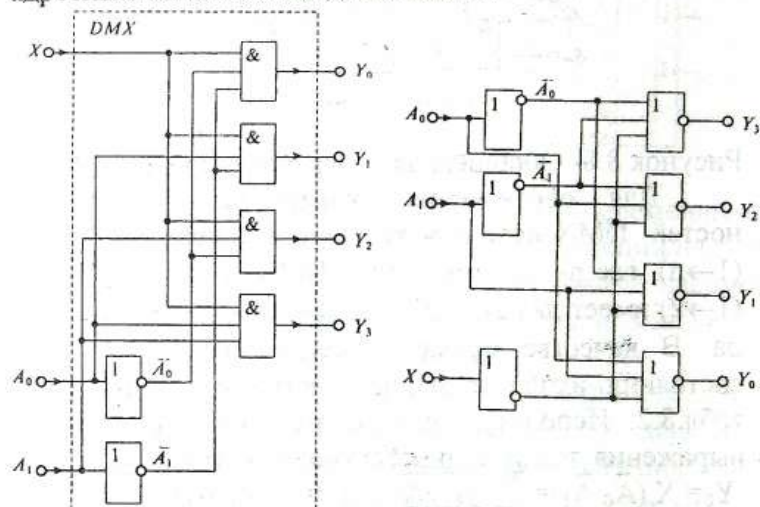


Рисунок 8.9- Построение DMX (1→4) на ЛЭ И (а) и ЛЭ ИЛИ (б)

Интегральные микросхемы DMX так же, как и схемы MUX, можно разделить на группы по следующим признакам:

- по числу выходов;
- по числу DMX в одном корпусе;
- по наличию стробирующего импульса E;
- по способности передавать сигналы в двух направлениях.

Поскольку функции DMX сходны с функциями дешифраторов, их условное обозначение сделано

одинаковым, а именно ИД. Поэтому такие микросхемы часто называют дешифраторами-демультиплексорами (табл. 8.3).

Среди схем коммутации можно особо выделить схемы, которые способны пропускать сигналы в обоих направлениях. К таким элементам относятся микросхемы, выполненные по технологии КМОП. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. В табл. 8.4 приведены сведения о некоторых ИМС мультиплексоров-демультиплексоров.

Таблица 8.3-ИМС дешифраторы-демультиплексоры

Наименование микросхемы	Функциональное назначение	Число выходов	Число разрядов
K155ИД3	Дешифратор-демультиплексор со стробированием	16	1
K155ИД4	Два дешифратора-демультиплексора со стробированием	4	2
K531ИД7	Скоростной дешифратор-демультиплексор	8	1
K531ИД14	Скоростной дешифратор-демультиплексор	4	2

Таблица 8.4-ИМС мультиплексоров-демультиплексоров

Наименование микросхемы	Функциональное назначение	Число входов-выходов	Число разрядов
564КП1	Двухразрядный мультиплексор-демультиплексор	4	2
564КП2	Мультиплексор-демультиплексор с тремя состояниями выхода	8	1
590КН1	Мультиплексор-демультиплексор	8	1

Комбинационные устройства сдвига (КУС).

Сдвиг цифровых данных необходим при нормализации чисел, при выполнении арифметических операций над ними, а также при построении различных цифровых схем.

Регистр сдвига, построенный на триггерах, используется в том случае, если за один рабочий такт требуется сдвиг всего лишь на **один** разряд влево или вправо. В случае если за один такт выполняется сдвиг на **произвольное** количество разрядов в любом направлении (сдвиг влево или вправо), то целесообразно воспользоваться комбинационным логическим устройством на основе MUX. Количество требуемых MUX равно разрядности выходного двоичного числа.

Исходными данными при построении сдвигающего устройства является таблица истинности, устанавливающая связь кода адреса MUX с подключением к каждому из его выходов разрядов сдвигающего числа. Разрядность адреса MUX p определяет максимально возможный сдвиг числа на один такт $\Delta S_{\max} = 2^p - 1$. Условное обозначение КУС представлено на рис. 8.10. Построим КУС согласно табл.8.5.

Таблица 8.5- КУС ?

Адрес	Выходы			
	y_3	y_2	y_1	y_0
0 0	x_3	x_2	x_1	x_0
0 1	x_2	x_1	x_0	x_{-1}
1 0	x_1	x_0	x_{-1}	x_{-2}
1 1	x_0	x_{-1}	x_{-2}	x_{-3}

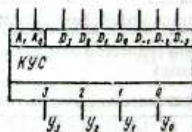


Рис.8.10- Обозначение КУС

Для данного примера $p=2$, тогда $\Delta S_{\max} = 3$, т.е. входное слово должно содержать $m = 2^p + \Delta S_{\max} = 7$ разрядов. Реализация табл.8.5 представлена на рис.8.11.

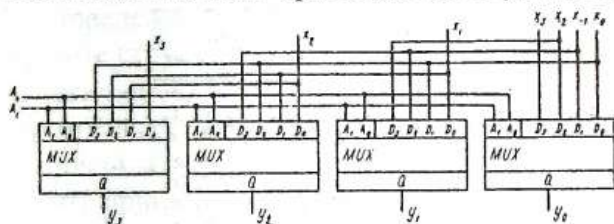


Рисунок 8.11- Комбинационное устройство сдвига числа влево

При построении арифметико-логических устройств (АЛУ), а также тактовых генераторов и генераторов последовательностей импульсов часто необходимы **кольцевые сдвигающие регистры**, обеспечивающие циркуляцию некоторого числа и формирование на выходах кольцевого регистра требуемых последовательностей импульсов. Эти же функции можно реализовать **кольцевым КУС**, на вход которого подаётся двоичное число, являющееся операндом АЛУ или программирующее работу тактового генератора.

К качестве примера приведём схему 8-разрядного кольцевого КУС (рис.8.12), реализующего таблицу истинности (табл.8.6).

КУС обеспечивают дополнительные функциональные возможности: одношаговый сдвиг информации в любом направлении на ΔS разрядов; возможность переключения входной информации независимо

от установки кода адреса, т.е. оперативной смены операндов сдвигателя.

Таблица 8.6- Таблица истинности кольцевого КУС

Адрес A_2, A_1, A_0	Выходы сдвигателя							
	y_7	y_6	y_5	y_4	y_3	y_2	y_1	y_0
0 0 0	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0
0 0 1	x_6	x_5	x_4	x_3	x_2	x_1	x_0	x_7
0 1 0	x_5	x_4	x_3	x_2	x_1	x_0	x_7	x_6
0 1 1	x_4	x_3	x_2	x_1	x_0	x_7	x_6	x_5
1 0 0	x_3	x_2	x_1	x_0	x_7	x_6	x_5	x_4
1 0 1	x_2	x_1	x_0	x_7	x_6	x_5	x_4	x_3
1 1 0	x_1	x_0	x_7	x_6	x_5	x_4	x_3	x_2
1 1 1	x_0	x_7	x_6	x_5	x_4	x_3	x_2	x_1

Как видно из табл.8.6, имеется три адреса, восемь информационных входов и восемь выходов. С изменением адресного кода осуществляется сдвиг числа влево.

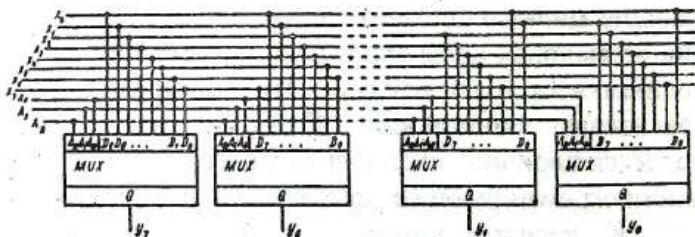


Рисунок 8.12- Восьмиразрядный кольцевой КУС

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Изобразите на рисунке схему передачи информации через один канал.
- 2 Дайте определение мультиплексору.
- 3 Приведите структурную схему мультиплексора.
- 4 Получите таблицу состояний мультиплексора ($4 \rightarrow 1$).
- 5 Получите выражение для выходной функции мультиплексора ($4 \rightarrow 1$).
- 6 Поясните принцип каскадирования мультиплексоров.
- 7 Каким образом мультиплексор может быть использован в качестве преобразователя кодов?
- 8 Дайте определение демультимплексору.
- 9 Приведите структурную схему демультимплексора.
- 10 Получите таблицу состояний демультимплексора вида ($1 \rightarrow 4$).
- 11 Получите выражение для выходной функции демультимплексора ($1 \rightarrow 4$).
- 12 Постройте логическую схему демультимплексора вида ($1 \rightarrow 4$).
- 13 Дайте определение микросхем, которые пропускают по одному каналу как аналоговые, так и цифровые сигналы.
- 14 Какое назначение имеют комбинационные устройства сдвига?
- 15 Приведите таблицу состояний комбинационного устройства сдвига на два адреса и четыре выхода.
- 16 Поясните назначение и применение кольцевых сдвигающих регистров.
- 17 Поясните маркировку ИМС К155КП1, К555КП1.

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Слово мультиплексор заимствовано из английского языка и обозначает молоточек для выстукивания больного. Звук от ударов по различным точкам тела воспринимаются врачом на слух. Таким образом, различные источники информации (точки тела) передаются для анализа через один и тот же канал (ухо врача). Можно сказать, что мультиплексоры- это устройства сведения информации в одну шину. Обратная операция- разделение информации по адресам назначения производится при помощи демультиплексора. Обработка информации в системе мультиплексор- демультиплексор показана на рис.8.13.

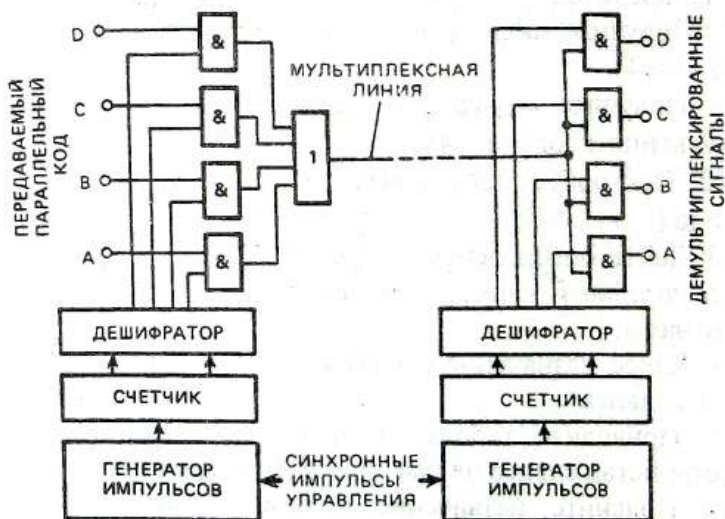


Рисунок 8.13- Передача и прием информации в системе мультиплексор-демультиплексор

ПРИЛОЖЕНИЕ А
(справочное)

Тип ИМС	Функциональное назначение	$I_{эд. р. ис}$	$I_{пот. МА}$	УГО
---------	---------------------------	-----------------	---------------	-----

К155 (ТТЛ): $U_{вых}^0 < 0,4$ В; $U_{вых}^1 > 2,4$ В;

$I_{вх}^0 < 1,5$ мА; $I_{вх}^1 < 0,04$ мА

КП1	Мультиплексор на 16 каналов со стробированием	30	68	а
КП2	Сдвоенный мультиплексор на 4 канала со стробированием	30	60	б
КЛ5	Мультиплексор на 8 каналов	35	43	в
КП7	Мультиплексор на 8 каналов со стробированием	52	48	г

К500 (ЭСЛ): $U_{вых}^0 = -1,63$ В; $U_{вых}^1 = -0,98$ В;

$I_{вх}^0 = 0,5$ мкА; $I_{вх}^1 = 0,3$ мА

ИД164	Мультиплексор на 8 каналов со стробированием	8	125	д
-------	--	---	-----	---

К531 (ТТЛШ): $U_{вых}^0 < 0,5$ В; $U_{вых}^1 > 2,7$ В;

$I_{вх}^0 < 2$ мА; $I_{вх}^1 < 0,05$ мА

КП2	Сдвоенный мультиплексор на 4 канала со стробированием	9	70	б
КП7	Мультиплексор на 8 каналов со стробированием	18	70	г
КП11 (14)	Четыре двухходовых мультиплексора со стробированием	12	70 (61)	е (ж)

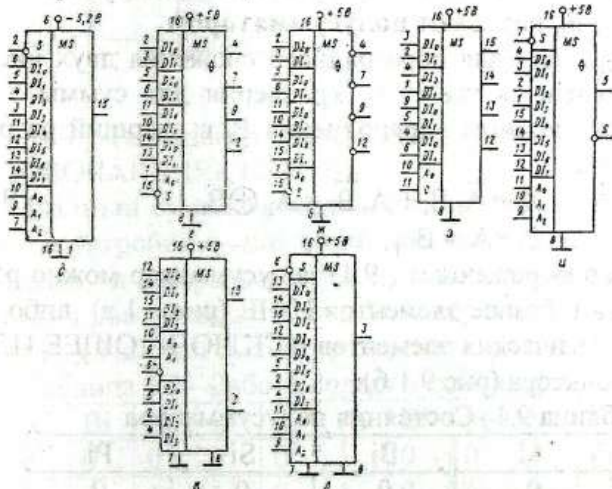
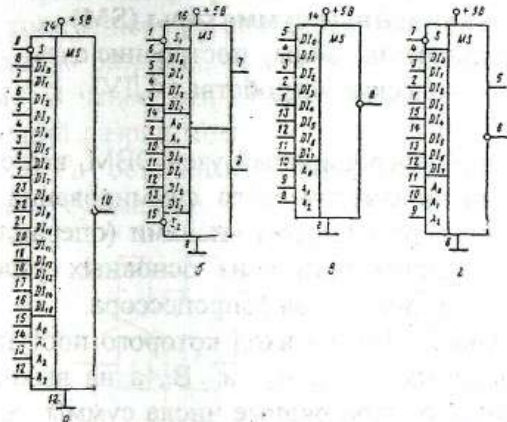
Тип ИМС	Функциональное назначение	$I_{\text{эд. р. нс}}$	$I_{\text{пот. МА}}$	УГО
---------	---------------------------	------------------------	----------------------	-----

К555 (ДТЛШ): $U_{\text{вых}}^0 \leq 0,5 \text{ В}$; $U_{\text{вых}}^1 \geq 2,7 \text{ В}$;
 $I_{\text{вх}}^0 \leq 0,8 \text{ мА}$; $I_{\text{вх}}^1 \leq 0,06 \text{ мА}$

КП11 (14)	Четыре двухходовых мультиплексора со стробированием $I_{\text{вых}} = 6 \text{ мА}$	21	14 (12)	2/3/4
КП12	Два четырехходовых мультиплексора со стробированием	32	14	5
КП13	Четыре двухходовых мультиплексора с заминанием $I_{\text{вых}} = 6 \text{ мА}$	32	20	3
КП15	Мультиплексор на 8 каналов со стробированием	45	10	4

К561 (КМСЛ): $U_{\text{вых}}^0 \leq 0,5 \text{ В}$; $U_{\text{вых}}^1 \geq 4,2 \text{ В}$; $I_{\text{вх}}^{0(1)} \leq 0,05 \text{ мА}$

КП1	Сдвоенный мультиплексор на 4 канала со стробированием	400	0,01	5
КП2	Мультиплексор на 8 каналов со стробированием $I_{\text{вых}} = 10 \text{ мА}$	400	0,01	4



Лекция 9 Комбинационные сумматоры (SM)

- 1 Сумматоры, назначение, виды, построение схем.
- 2 Арифметико-логические устройства (АЛУ).

Сумматор — операционный узел ЭВМ, выполняющий операции арифметического суммирования и вычитания над многоразрядными числами (операндами). Сумматор является одним из основных узлов арифметического устройства микропроцессора.

Одноразрядный SM, на вход которого поступают два одноразрядных числа A_i и B_i , а на выходе формируются также одноразрядные числа суммы S_i и переноса P_i , называют **полусумматором**.

Правила для поразрядного сложения двух чисел представлены в табл.9.1. Уравнения для суммы S_i и переноса единицы переполнения P_i в старший разряд имеют вид

$$\begin{aligned} S_i &= \bar{A}_i B_i + A_i \bar{B}_i = A_i \oplus B_i, \\ P_i &= A_i \cdot B_i. \end{aligned} \quad (9.1)$$

Согласно выражениям (9.1) полусумматор можно реализовать в базисе элементов И-НЕ (рис.9.1 а) либо на основе логических элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и конъюнктора (рис.9.1 б).

Таблица 9.1 -Состояния полусумматора

A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Если одноразрядный сумматор реализует сложение трёх одноразрядных чисел A_i , B_i , P_{i-1} (перенос из младшего разряда), то такой сумматор называют **полным**. В многоразрядном сумматоре только самый младший разряд можно выполнить по схеме полусумматора, а остальные разряды выполняют функции полного сумматора.

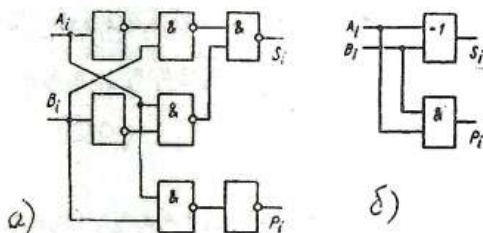


Рисунок 9.1-Реализация полусумматора на ЛЭ И-НЕ(а) и ИСКЛЮЧАЮЩЕЕ ИЛИ (б)

Полный сумматор можно рассматривать как логическое устройство, имеющее три входа (две цифры слагаемых и цифра переноса из соседнего младшего разряда) и два выхода (сумма S_i и перенос в старший разряд P_i). Полный сумматор описывается табл.9.2.

Таблица 9.2- Работа полного сумматора

A_i	B_i	P_{i-1}	S_i	P_i	A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1

Карта Карно для функций S_i и P_i даёт минимальную форму и её тождественные варианты:

$P_{i-1} \backslash A_i B_i$		00	01	11	10	
0	$S_i =$	0	1	0	1	$= \bar{A}_i \bar{B}_i \bar{P}_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + \bar{A}_i \bar{B}_i P_{i-1} + A_i B_i P_{i-1} =$ $= (\bar{A}_i \bar{B}_i + A_i \bar{B}_i) \bar{P}_{i-1} + (\bar{A}_i \bar{B}_i + A_i B_i) P_{i-1} =$ $= (A_i \oplus B_i) \bar{P}_{i-1} + \overline{(A_i \oplus B_i)} P_{i-1} = A_i \oplus B_i \oplus P_{i-1}$
1		1	0	1	0	

(9.2)

$P_{i-1} \backslash A_i B_i$		00	01	11	10	
0	$P_i =$	0	0	1	0	$= A_i B_i \bar{P}_{i-1} + \bar{A}_i B_i P_{i-1} + A_i B_i P_{i-1} + A_i \bar{B}_i P_{i-1} =$ $= A_i B_i + A_i P_{i-1} + B_i P_{i-1} = A_i B_i + (A_i \oplus B_i) P_{i-1} =$ $= \overline{A_i B_i \cdot (A_i \oplus B_i) P_{i-1}}$
1		0	1	1	1	

(9.3)

Рисунок 9.2-Карты Карно для функций S_i и P_i

Согласно выражениям (9.2) и (9.3) приведена схема построения полного сумматора (рис.9.3 а) и его условное графическое обозначение (рис 9.3 б).

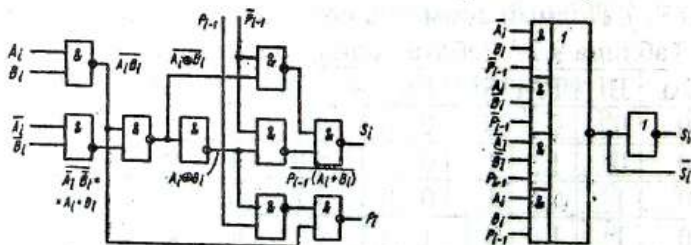


Рисунок 9.3- Схема полного SM (а), его обозначение (б)

Сумматор, выполненный по схеме (рис.9.3 а), обладает минимальной задержкой распространения сигнала и, следовательно, максимальным быстродействием, может с успехом применяться при построении БИС многоразрядного сумматора.

Определим функцию переключения полного вычитателя- устройства, реализующего операцию вычитания D_i двух одноразрядных чисел с формированием сигнала заёма V_i из старшего разряда (табл.9.3).

Таблица 9.3- Работа полного вычитателя

A_i	B_i	V_i	D_i	V_i	A_i	B_i	V_i	D_i	V_i
0	0	0	0	0	1	0	0	1	0
0	0	1	1	1	1	0	1	0	0
0	1	0	1	1	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

В соответствии с таблицей состояний вычитателя (табл.9.3) выражения функции для разности D_i и функции заёма V_i имеют вид (рис.9.4)

$$\begin{array}{c}
 \begin{array}{c} A_i B_i \\ V_{i-1} \end{array} \begin{array}{c|c|c|c} 00 & 01 & 11 & 10 \\ \hline 0 & 0 & 1 & 0 & 1 \\ \hline 1 & 1 & 0 & 1 & 0 \end{array} \\
 \hline
 \begin{array}{l} D_i = \\ \hline \end{array}
 \end{array}
 \quad (9.4)$$

$$\begin{aligned}
 &= \bar{A}_i \bar{B}_i \bar{V}_{i-1} + \bar{A}_i B_i \bar{V}_{i-1} + \bar{A}_i \bar{B}_i V_{i-1} + A_i B_i V_{i-1} = \\
 &= (\bar{A}_i B_i + A_i \bar{B}_i) \bar{V}_{i-1} + (\bar{A}_i \bar{B}_i + A_i B_i) V_{i-1} = \\
 &= (A_i \oplus B_i) \bar{V}_{i-1} + (A_i \oplus B_i) V_{i-1} = A_i \oplus B_i \oplus V_{i-1}
 \end{aligned}$$

$$\begin{array}{c}
 \begin{array}{c} A_i B_i \\ V_{i-1} \end{array} \begin{array}{c|c|c|c} 00 & 01 & 11 & 10 \\ \hline 0 & 0 & 1 & 1 & 0 \\ \hline 1 & 1 & 1 & 1 & 0 \end{array} \\
 \hline
 \begin{array}{l} V_i = \\ \hline \end{array}
 \end{array}
 \quad (9.5)$$

$$\begin{aligned}
 &= \bar{A}_i \bar{B}_i V_{i-1} + \bar{A}_i B_i \bar{V}_{i-1} + \bar{A}_i B_i V_{i-1} + A_i B_i V_{i-1} = \\
 &= \bar{A}_i B_i + (A_i \oplus B_i) V_{i-1} = \bar{A}_i B_i + \bar{A}_i \bar{V}_{i-1} + B_i V_{i-1}
 \end{aligned}$$

Рисунок 9.4- Карты Карно для вычитателя

Сравнивая выражения для суммы S_i (9.2) и переноса P_i (9.3) полного сумматора с выражениями для разности D_i (9.4) и заёма V_i (9.5) вычитателя, можно сделать вывод, что функции S_i и D_i одинаковы, а P_i и V_i отличаются. Если в выражения для S_i и P_i вместо B_i подставить \bar{B}_i , а вместо $P_{i-1} - \bar{V}_{i-1}$, то $S_i = D_i$, $P_i = V_i$. Это означает, что вычитание можно заменить суммированием, представив вычитаемое в обратном коде с учётом необходимой инверсии функции заёма. При построении сумматора, выполняющего сложение чисел с произвольными знаками, это особенно важно.

В соответствии с выражениями (9.4), (9.5) представляется возможным построить вычитатель (рис.9.5), реализующий схему только вычитания.

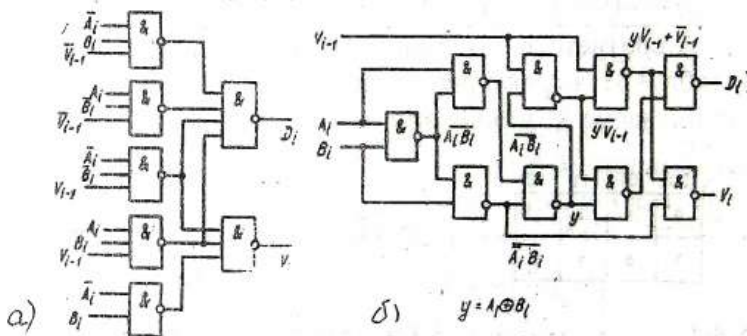


Рисунок 9.5- Логические схемы вычитателя на 3-входовых ЛЭ И-НЕ (а), на 2 - входовых ЛЭ И-НЕ (б)

Логическая схема (рис.9.5-а) имеет минимальную задержку сигнала, но для её реализации требуется больше ЛЭ и с большим количеством входов. Логиче-

ская схема (рис.9.5 б) выполнена только на 2- входных ЛЭ И-НЕ, но имеет большую задержку.

Совмещение операции сложения и вычитания требует дополнительного сигнала F , устанавливающего режим работы сумматора. В SM (рис.9.6) при $F=0$ производится суммирование чисел и формирование переноса в следующий разряд, а при $F=1$ – вычитание B_i из A_i и формирование заёма из старшего разряда.

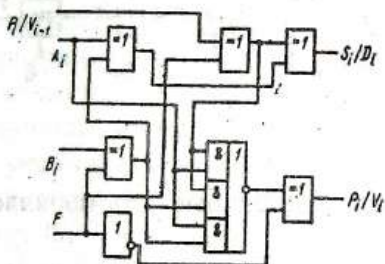


Рисунок 9.6- Логическая схема сумматора, реализующего функции сложения и вычитания

Различают последовательные и параллельные сумматоры. При последовательном суммировании требуется одноразрядный полный сумматор, на вход которого в течение тактового интервала последовательно, начиная с младшего разряда, подаются соответствующие разряды слагаемых и результат переноса от сложения на предыдущем такте (рис. 9.7). Результат суммирования поразрядно с выхода сумматора передаётся в линию связи либо запоминается в буферном сдвигающем регистре суммы. Для последовательного сумматора требуются минимальные затраты на оборот-

дование, однако, использовать их целесообразно в медленно-действующих цифровых устройствах, т.к. длительность операции суммирования пропорциональна разрядности операндов.

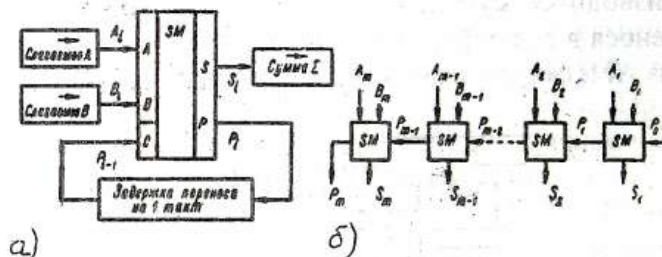


Рисунок 9.7- Последовательные (а), параллельные (б) сумматоры

В параллельном m -разрядном сумматоре используется m -полных сумматоров (рис.9.7.б), т.е. затраты оборудования пропорциональны разрядности операндов, но операция суммирования выполняется за один такт. Увеличение быстродействия параллельного сумматора достигается за счёт одновременного формирования сигналов переноса во всех его m -разрядах.

В микрокалькуляторах, устройствах регистрации и преобразования цифровой информации, представленной в десятичной системе исчисления, широко используются арифметические устройства с двоично-десятичным кодированием операндов, с представлением десятичных чисел в коде $N + 3$ (код с избытком 3) либо в коде Айкана (2421).

Пример 2

$$\begin{array}{r}
 + A_{10} = -6184 \\
 + B_{10} = +4527 \\
 \hline
 S_{10} = -1657 \\
 \\
 + A_{9-10} = 1\ 0011\ 1000\ 0001\ 0101 \text{ — обратный код} \\
 + B_{9-10} = 0\ 0100\ 0101\ 0010\ 0111 \text{ — прямой код} \\
 \hline
 S_{9-10} = 1\ 1000\ 0011\ 0100\ 0010 \text{ — обратный код} \\
 S_{9-10} = 1\ 0001\ 0110\ 0101\ 0111 \text{ — прямой код (результат)}.
 \end{array}$$

Таким образом, если рассмотренные выше двоично-десятичные сумматоры дополнить преобразователями кода из N в « $9 - N$ » для модуля каждого слагаемого и модуля результата, а также замкнуть цепь циклического переноса, то можно получить **двоично-десятичный алгебраический сумматор**.

Комбинационные сумматоры благодаря высокому быстродействию применяют в различных устройствах обработки цифровой информации. В частности, на их основе строятся устройства **перемножения чисел**.

Для перемножения двух чисел A и B можно просто число A сложить с самим собой B раз. Это можно выполнить комбинационными сумматорами, но гораздо быстрее и экономичнее простое суммирование заменить суммированием со сдвигом (пример 3). Как видно из примера, частные произведения однозначно определяются множимым и очередным битом множителя. Частное i -е произведение либо равно множителю, если $V_i = 1$, либо равно нулю, если $V_i = 0$. Каждое последующее частное произведение сдвинуто на один

Пример 3

$$\begin{array}{r}
 \times 1101 \text{ — множимое} \\
 \times 0101 \text{ — множитель} \\
 \hline
 \begin{array}{r}
 1101 \\
 0000 \\
 1101 \\
 0000
 \end{array} \left. \vphantom{\begin{array}{r} 1101 \\ 0000 \\ 1101 \\ 0000 \end{array}} \right\} \text{— частные произведения} \\
 \hline
 100001 \text{ — произведение}
 \end{array}$$

$$\begin{array}{r}
 \times \begin{array}{cccc} A_4 & A_3 & A_2 & A_1 \\ B_4 & B_3 & B_2 & B_1 \end{array} \\
 \hline
 \begin{array}{cccc} A_4 B_1 & A_3 B_1 & A_2 B_1 & A_1 B_1 \\ A_4 B_2 & A_3 B_2 & A_2 B_2 & A_1 B_2 \\ A_4 B_3 & A_3 B_3 & A_2 B_3 & A_1 B_3 \\ A_4 B_4 & A_3 B_4 & A_2 B_4 & A_1 B_4
 \end{array} \\
 \hline
 \begin{array}{cccc} S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5 \\ S_8 & S_7 & S_6 & S_5
 \end{array}
 \end{array}$$

разряд по отношению к предыдущему. Окончательное произведение получается последовательным суммированием частных произведений. Функциональная схема, реализующая данный алгоритм на основе полных комбинационных сумматоров, показана на рис.9.8. Операнды полных сумматоров A_i и B_i получают с помощью 2-входовых схем И аналогично $S_i = A_i B_i$. Основное достоинство комбинационного перемножителя — высокое быстродействие (длительность умножения 8-разрядных двоичных чисел менее 100 нс).

Комбинационные перемножители эффективно используются при построении цифровых фильтров, для выполнения вычислений преобразования Фурье, в микропроцессорных системах.

Арифметико-логическое устройство (АЛУ) — операционный узел ЭВМ, выполняющий арифметические и логические операции над двумя многобитовыми словами в зависимости от управляющего слова. Основные требования к АЛУ:

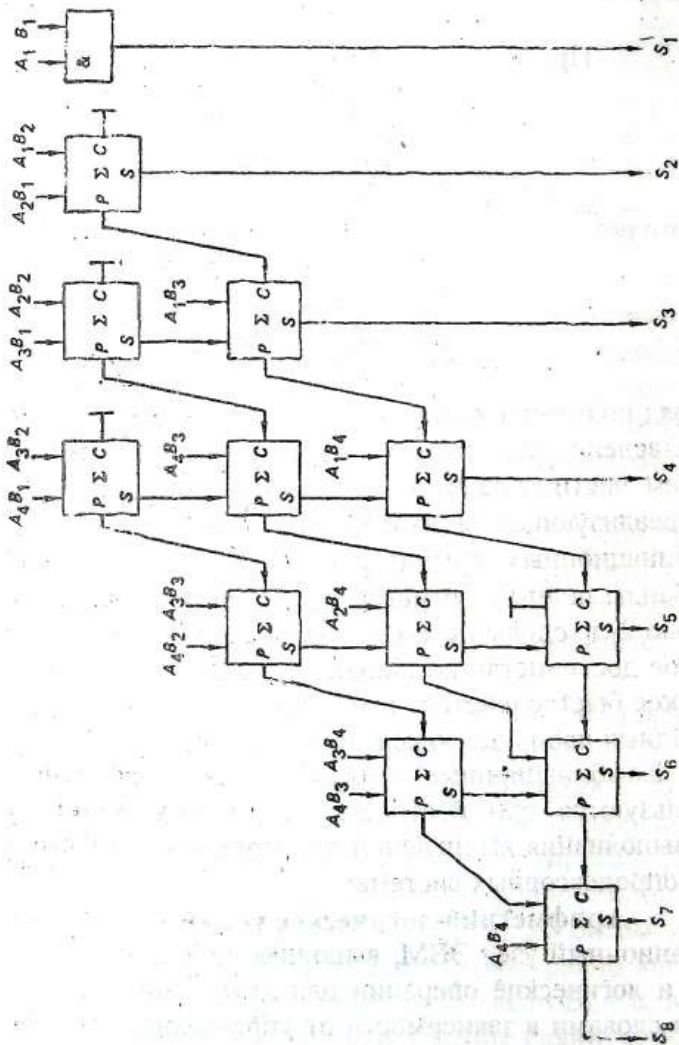


Рисунок 9.8- Комбинационный сумматор, реализующий перемножение

выполнение заданного набора операций;
 обеспечение поразрядного переноса и возможности его блокирования;
 обеспечение наращиваемости разрядности обрабатываемых слов.

Рассмотрим основные сведения об АЛУ на примере МС К155ИПЗ (рис.9.8). Схема имеет восемь информационных входов $A_0, B_0, \dots, A_3, B_3$. На эти входы подаются четыре разряда чисел A и B , над которыми производятся арифметические или логические операции, определяемые управляющими входами $S_0 - S_3$. Вход M (модификатор) обеспечивает выбор между арифметическими и логическими операциями. При $M=1$ АЛУ выполняет логические операции, при $M=0$ - арифметические операции.

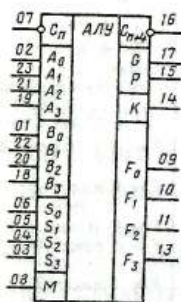


Рисунок 9.8- Условное обозначение АЛУ в примере микросхемы К155ИПЗ

Вход C_n является входом переноса из предыдущего разряда. Выходы $F_0 - F_4$ являются информационными, с них снимается результат арифметической или

логической операции над соответствующими разрядами чисел A и B . Выход K – специальный выход сравнения ($A = B$). Для ускоренного переноса в АЛУ предусмотрены три выхода: G - выход образования переноса 4-разрядного каскада; P - выход распространения переноса 4-разрядного каскада; C_{n+1} - выход переноса 4-разрядного каскада.

Представим полный набор операций (табл.9.4), выполняемых АЛУ.

Таблица 9.4- Вычислительные операции АЛУ

Выбор функций $S_2 S_1 S_0$	Положительная логика		
	$M=1$ Логические функции	$M=0$ Арифметические операции	
		$\bar{C}_n=1$ (нет входного переноса)	$\bar{C}_n=0$ (есть входной перенос)
0000	$F = \bar{A}$	$F = A$	$F = A$ плюс 1
0001	$F = \bar{A} + B$	$F = A + B$	$F = (A + B)$ плюс 1
0010	$F = A \cdot B$	$F = A + B$	$F = (A + \bar{B})$ плюс 1
0011	$F = 0$	$F = \text{минус 1}$ (дополнение до 2)	$F = 0$
0100	$F = \bar{A} \cdot B$	$F = A$ плюс $A \cdot \bar{B}$	$F = A$ плюс $A \cdot \bar{B}$ плюс 1
0101	$F = \bar{B}$	$F = (A + B)$ плюс $A \cdot \bar{B}$	$F = (A + B)$ плюс $A \cdot \bar{B}$ плюс 1
0110	$F = A \oplus B$	$F = A$ минус B минус 1	$F = A$ минус B
0111	$F = \bar{A} \cdot \bar{B}$	$F = A \cdot \bar{B}$ минус 1	$F = A \cdot \bar{B}$
1000	$F = \bar{A} + B$	$F = A$ плюс $A \cdot B$	$F = A$ плюс $A \cdot B$ плюс 1
1001	$F = \bar{A} \oplus B$	$F = A$ плюс B	$F = A$ плюс B плюс 1
1010	$F = B$	$F = (A + \bar{B})$ плюс $A \cdot B$	$F = (A + \bar{B})$ плюс $A \cdot B$ плюс 1
1011	$F = A \cdot B$	$F = A \cdot B$ минус 1	$F = A \cdot B$
1100	$F = 1$	$F = A$ плюс A (сдвиг)	$F = A$ плюс A плюс 1
1101	$F = A + \bar{B}$	$F = (A + B)$ плюс A	$F = (A + B)$ плюс A плюс 1
1110	$F = A + B$	$F = (A + \bar{B})$ плюс A	$F = (A + \bar{B})$ плюс A плюс 1
1111	$F = A$	$F = A$ минус 1	$F = A$

Кроме 32 арифметических (16 при наличии переноса и 16 при отсутствии переноса) и 16 логических операций, АЛУ может осуществлять операцию сравнения двух чисел. Выход К используется для указания $A = B$, когда АЛУ находится в режиме, позволяющем осуществлять операцию вычитания. Для этого необходимо подать комбинацию 0110 на входы $S_0 \dots S_3$, $M = 0$, $C_n = 1$, тогда АЛУ будет выполнять операцию вычитания и на каждом выходе F_i появится результат произведения операции $F_i = A$, минус B_i , минус единица.

При $A = B$ на всех выходах F_i будет единица, т.е. на выходе К будет также единица. Выход сравнения К имеет открытый коллектор и поэтому может быть соединён (ИСКЛЮЧАЮЩЕЕ ИЛИ) с другими выходами К аналогичных схем для сравнения более чем 4-разрядных чисел.

АЛУ являются основой при разработке микропроцессорных комплектов БИС.

Функциональное назначение сумматоров, их основные параметры приведены в приложении А, а условное графическое обозначение показано в приложении Б.

КОНТРОЛЬНЫЕ ВОПРОСЫ

- 1 Дайте определение полусумматору.
- 2 Приведите таблицу состояний полусумматора.
- 3 Запишите формулы для суммы и переноса в старший разряд для полусумматора.
- 4 Приведите варианты логических схем для полусумматора на ЛЭ И-НЕ.
- 5 Дайте определение сумматору.

- 6 Приведите таблицу состояний сумматора.
- 7 Запишите формулы для суммы и переноса в старший разряд для сумматора.
- 8 Приведите варианты логических схем для сумматора на ЛЭ И-НЕ.
- 9 Приведите таблицу состояний вычитателя.
- 10 Приведите карту Карно для разности и заёма.
- 11 Поясните порядок построения сумматора, реализующего функции сложения и вычитания.
- 12 Дайте схему построения последовательного суммирования.
- 13 Изобразите схему построения параллельного суммирования.
- 14 Приведите правила суммирования двоичных чисел, имеющих отрицательный знак.
- 15 Приведите примеры суммирования двоичных чисел, поясните последовательность суммирования.
- 16 Сформулируйте правило перемножения двух чисел, используя сумматор.
- 17 Приведите примеры перемножения двух чисел на основе сумматора.
- 18 Приведите функциональную схему сумматора, выполняющего перемножение двух чисел.
- 19 Дайте определение АЛУ.
- 20 Поясните основные требования к АЛУ.
- 21 Дайте примеры выполнения основных вычислительных операций АЛУ.
- 22 Приведите основные логические операции АЛУ.
- 23 Как образом осуществляется операция сравнения двух чисел в АЛУ?

ДОПОЛНИТЕЛЬНЫЙ МАТЕРИАЛ

Как известно, микропроцессор функционально выполняет логические и арифметические операции. Например, используя представление чисел в дополнительном коде, операции вычитания, умножения и деления можно свести к операции одного типа - суммированию. Как уже упоминалось, сочетание суммирования со сдвигом позволяет осуществить умножение и деление n -разрядных двоичных чисел за n - операций суммирования и $(n-1)$ операций сдвига.

Микропроцессор состоит из двух составляющих: АЛУ (рис. 9.9), где выполняются операции над кодами чисел, и устройства управления (УУ), которое подаёт в АЛУ оба операнда и шифр операции, выполняемой над ними. АЛУ - это система комбинационных схем, входами которых являются коды чисел A , B и сигнал переноса C . На выходе АЛУ формируется код результата и сигнал переноса P . Вид операции, выполняемой над числами A и B , определяет код управления F .



Рисунок 9.9- АЛУ, его входные и выходные сигналы

В режиме арифметического суммирования АЛУ функционирует как, например, четырёхразрядный сумматор, который, как и любой параллельный много-разрядный сумматор, составлен из одноразрядных сумматоров. Каждая из его составляющих должна уметь складывать три одноразрядных числа, так как к суммируемым числам данного разряда может прибавляться ещё и цифра переноса из младшего разряда.

Проиллюстрируем действие одноразрядного сумматора логическими схемами и таблицами состояний. Основой сумматора, как уже указывалось, является ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ (рис.9.10), на основе которого строятся полусумматоры (рис 9.11). Сумматор традиционно представляют в виде двух полу-сумматоров (рис.9.12).

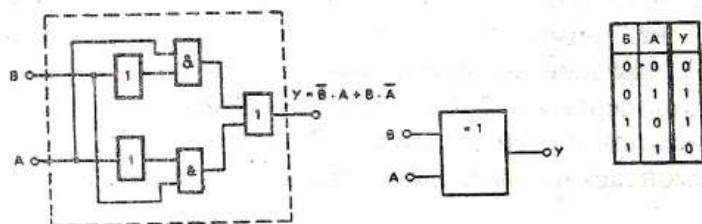


Рисунок 9.10- Схема ИСКЛЮЧАЮЩЕЕ ИЛИ (а), условное обозначение (б), таблица состояний (в)

Иллюстрации (рис.9.10, 9.11, 9.12), возможно, являются повторением, но такой подход изложения материала позволяет систематизировать знания в этой области.

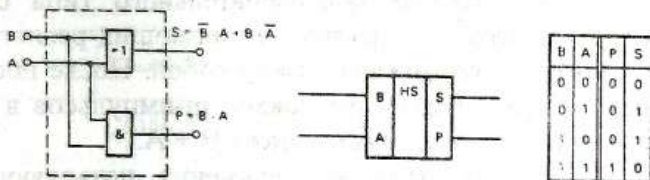


Рисунок 9.11- Схема полусумматора (а), условное обозначение (б), таблица состояний (в)

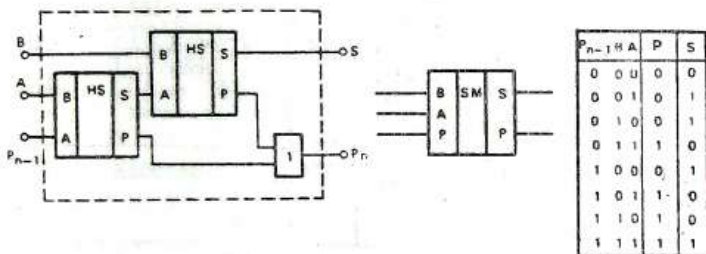


Рисунок 9.12- Схема сумматора (а), условное обозначение (б), таблица состояний (в)

Для суммирования многоразрядных двоичных чисел разработаны сумматоры параллельного типа (рис.9.13) и последовательного типа (рис.9.14).

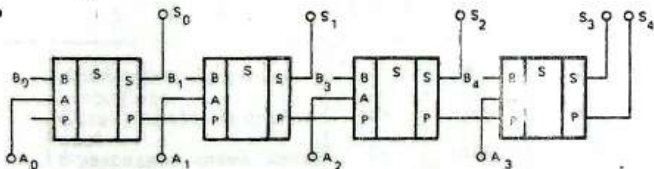


Рисунок 9.13- Сумматор параллельного типа

Для сумматоров последовательного типа синхровходы C всех m -разрядных сдвигающих регистров и D - триггеров соединены между собой. После поступления на этот общий синхровход m -импульсов в регистре будет записана сумма чисел $B + A$.

Пунктиром показаны соединения, позволяющие занести сумму в регистр A (т.е. превратить его в аккумулятор и сохранить слагаемое в регистре B).

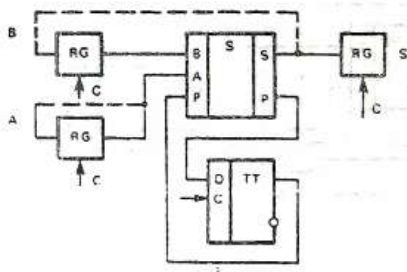


Рисунок 9.14- Сумматор последовательного типа

ПРИЛОЖЕНИЕ А
(справочное)

245

Тип ИМС	Функциональное назначение	$t_{эд. р. ис}$	$I_{пот. мА}$	УГО
---------	---------------------------	-----------------	---------------	-----

К155 (ТТЛ): $U_{вых}^0 < 0,4$ В; $U_{вых}^1 > 2,4$ В,

$I_{вх}^0 < 1,6$ мА; $I_{вх}^1 < 0,015$ мА

ИМ1	Одноразрядный сумматор	80	35	а
ИМ2	2-разрядный сумматор	40	58	б
ИМ3	4-разрядный сумматор	55	128	в
ИП2	8-разрядная схема контроля четности и нечетности числа единиц	68	56	г
ИП3	Арифметико-логическое устройство	50	150	д
ИП4	Схема ускоренного переноса	22	72	е

К500 (ЭСЛ): $U_{вых}^0 = -1,63$ В; $U_{вых}^1 = -0,98$ В;

$I_{вх}^0 < 0,5$ мкА; $I_{вх}^1 < 0,35$ мА

ИМ180	Сдвоенный сумматор-вычитатель	7	90	ж
ИП179	Схема ускоренного переноса	6	90	з
ИП181	Арифметико-логическое устройство	10	145	и

К531 (ТТЛШ): $U_{вых}^0 < 0,5$ В; $U_{вых}^1 > 2,7$ В,

$I_{вх}^0 < 2$ мА; $I_{вх}^1 < 0,05$ мА

ИП3	Арифметико-логическое устройство	12	220	д
ИП4	Схема ускоренного переноса	10	109	е
ИП5	9-разрядная схема контроля четности	21	105	к

Продолжение приложения А

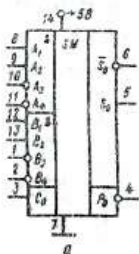
Тип ИМС	Функциональное назначение	$t_{зд. р. нс}$	$I_{пот, мА}$	УГО
---------	---------------------------	-----------------	---------------	-----

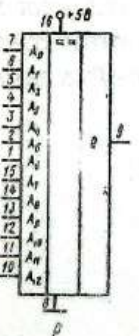
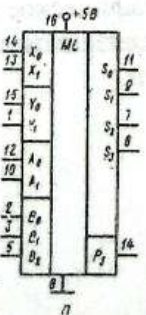
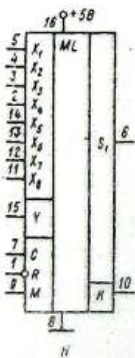
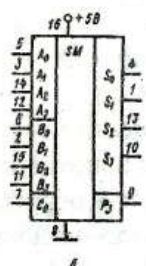
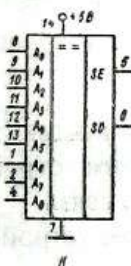
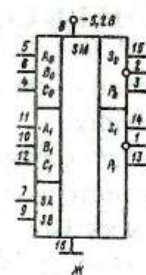
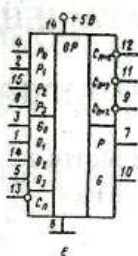
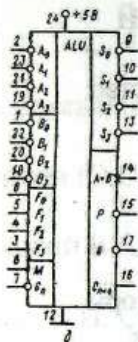
К555 (ДТТЛШ): $U_{вых}^0 < 0,5 В$; $U_{вых}^1 > 2,7 В$,
 $I_{вх}^0 < 1,6 мА$; $I_{вх}^1 < 0,06 мА$

ИМ6	4-разрядный сумматор	24	34	л
ИМ7	4-разрядный последовательный сумматор-вычитатель			м
ИП3	Арифметико-логическое устройство	62	34	д
ИП4	Схема ускоренного переноса	22	20	е
ИП9	Умножитель X и Y			н

К561 (КМОП): $U_{вых}^0 < 0,8 В$; $U_{вых}^1 > 4,2 В$; $I_{вх}^{0(1)} < 50 нА$

ИМ1	4-разрядный сумматор	1100	0,02	о
ИП3	Арифметико-логическое устройство	1100	0,1	д
ИП4	Схема сквозного переноса	700	0,1	е
ИП5	Умножитель $X \times Y + A + B$	1500	0,01	п
СА1	12-разрядная схема контроля четности	900	0,05	р





ПЕРЕЧЕНЬ СОКРАЩЕНИЙ

- АЛУ- арифметическо- логическое устройство
БУ - блок управления
ВАХ- вольт-амперная характеристика
ДТЛ- диодно-транзисторная логика
ЗЯ- запоминающая ячейка
ИМС- интегральная микросхема
КМОП- комплементарные МОП-транзисторы
КУС- комбинационное устройство сдвига
КС- комбинационная схема
ЛЭ- логический элемент
МП – микропроцессор
МОП- металл- окисел- полупроводник (транзистор)
ОЗУ- оперативное запоминающее устройство
ПОС- положительная обратная связь
ПЗУ- постоянное запоминающее устройство
ППЗУ- программное ПЗУ
РПЗУ- репрограммируемое ПЗУ
СТ- счётчик
ТТЛ- транзисторно- транзисторная логика
УГО- условное графическое обозначение
ЭСЛ- эмиттерно-связанная логика
ЯП- ячейка памяти

СПИСОК ЛИТЕРАТУРЫ

1. Бильдюкевич Е.В. и др. ЭВМ и микропроцессор. - М.: Народная освіта, 1990.
2. Забродин Ю.С. Промышленная электроника: Учебник для вузов. - М.: Высш. шк., 1982.
3. Завадский В.А. Компьютерная электроника. - К.: Век, 1996.
4. Зубчак В.И. Справочник по цифровой схемотехнике. - К.: Техніка, 1990.
5. Й. Янсен Курс цифровой электроники в 4-х томах. - М.: Мир, 1987.
6. Малахов В.П. Электронные цепи непрерывного и импульсного действия. - К., Одесса: Лыбидь, 1991.
7. Микропроцессоры в трёх книгах / Под ред. Л.Н. Преснухина. - М.: Высшая школа, 1986.
8. Скаржепа В.А. и др. Электроника и микросхемотехника. - К.: Выща шк. Головное изд-во, 1989.
9. Прянишников В.А. Электроника. - С. - Пб.: Корона принт, 1998.