



УКРАЇНА

(19) **UA** (11) **104939** (13) **C2**
(51) МПК (2014.01)
Н03К 23/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

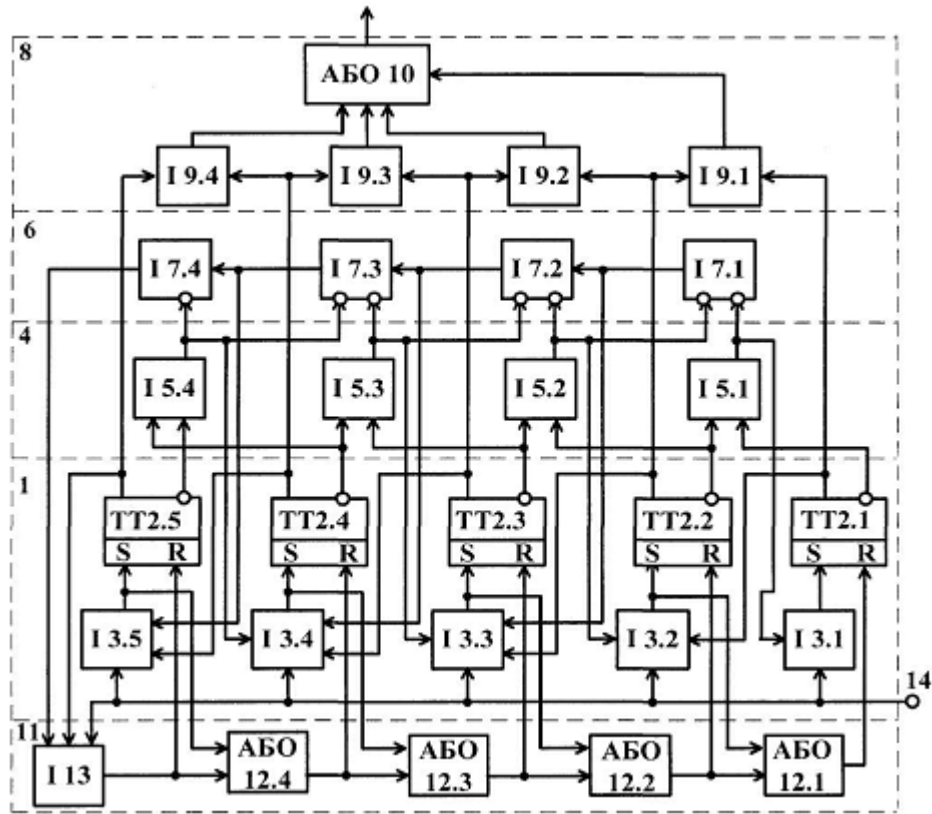
<p>(21) Номер заявки: а 2012 10506</p> <p>(22) Дата подання заявки: 05.09.2012</p> <p>(24) Дата, з якої є чинними права на винахід: 25.03.2014</p> <p>(41) Публікація відомостей про заявку: 11.03.2014, Бюл.№ 5</p> <p>(46) Публікація відомостей про видачу патенту: 25.03.2014, Бюл.№ 6</p>	<p>(72) Винахідник(и): Борисенко Олексій Андрійович (UA), Стахов Олексій Петрович (UA)</p> <p>(73) Власник(и): СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ, вул. Римського-Корсакова, 2, м. Суми, 40007 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: SU 1077054 A1; 28.02.1984 UA 48328 U; 10.03.2010 SU 1172006 A1; 07.08.1985 SU 1034197 A1; 07.08.1983 RU 2038692 C1; 27.06.1995 US 2008267341 A1; 30.10.2008 JP 2004110902 A; 08.04.2004 JPS 60169223 A; 02.09.1985</p>
---	---

(54) ПЕРЕШКОДОСТІЙКИЙ ЛІЧИЛЬНИК ІМПУЛЬСІВ БОРИСЕНКО-СТАХОВА

(57) Реферат:

Перешкодостійкий лічильник імпульсів Борисенко-Стахова належить до автоматики і обчислювальної техніки та може бути використаний в пристроях дискретної обробки і передачі інформації. Лічильник складається з регістра, що містить n тригерів і n схем І та додатково введені блок аналізу, блок диспозицій, блок контролю, блок установки нуля. Так, в блок аналізу вводять додатково $n-1$ двохходові схеми І, входи яких з'єднуються з інверсними виходами двох тригерів регістра, що стоять поряд, а виходи сполучені з інверсними входами відповідних їм двох схем І блока диспозицій, вихід кожної з яких при цьому заведений на відповідний вхід схеми І сусіднього старшого розряду цього ж блока. У регістрі введені зв'язки з прямих виходів тригерів на відповідні входи схем І регістра, що стоять поряд у сусідніх старших розрядах. На кожний з інших двох їх входів заведений відповідно зв'язок з виходу схеми І блока аналізу цього ж розряду і з виходу схеми молодшого розряду блока диспозицій, який знаходиться на відстані двох розрядів. Виходи схем І регістра заведені на відповідні входи двохходових схем АБО сусідніх молодших розрядів, які створюють з допоміжною схемою І блок установки нуля, на інші входи яких, за винятком схеми АБО розряду $n-1$, заведені виходи схем АБО сусідніх старших розрядів. До схеми АБО $n-1$ розряду підключається вихід допоміжної схеми І, на входи якої підключена шина тактових імпульсів, прямий вихід тригера n розряду і вихід $n-2$ розряду схеми І блока диспозицій. Прямі виходи двох тригерів регістра, що стоять поряд, пов'язані з входами відповідних їм двохходових схем І блока контролю, виходи яких об'єднуються на схемі АБО, що видає сигнал, який говорить про правильну або неправильну роботу лічильника. Технічним результатом є підвищення швидкодії, при збереженні перешкодостійкості.

UA 104939 C2



Винахід належить до автоматики і обчислювальної техніки і може бути використаний в пристроях дискретної обробки і передачі інформації, наприклад, таких як завадостійкі лічильники, розподільники імпульсів, пристрої кодування інформації.

5 Відомий лічильник імпульсів з послідовним переносом одиниць, що працює в двійковому коді, містить в кожному розряді тригер, елемент І, вихід якого сполучений з входом тригера і входом елементу І подальшого старшого розряду, а вхід елемента І нульового розряду сполучений з шиною тактових імпульсів (1).

Недоліками цього лічильника є низька швидкодія і відсутність можливості виявлення помилок, що пояснюється наявністю перенесень і відсутністю надмірності в числах.

10 Найбільш близьким по технічній суті до лічильника, що заявляється, є перешкодостійкий лічильник імпульсів, що використовує в своїй роботі біноміальні числа, містить вхідну шину і регістр, що складається з n тригерів з відповідними їм схемами І, вхід кожної з яких сполучений з вхідною шиною, на яку надходять тактові імпульси, а вихід з входом установки в одиницю відповідного тригера (2).

15 Проте вказаний лічильник має відносно невисоку швидкодю, зв'язану із затримкою сигналів в послідовно сполучених комбінаційних суматорах і ланцюгах перенесення.

У основу винаходу поставлено задачу удосконалення конструкції прототипу за рахунок введення в нього нових конструктивних ознак у вигляді елементів, що дають можливість реалізувати рахунок на основі чисел Фібоначчі, що дозволяє зрештою підвищити швидкодю пропонуваного пристрою за рахунок відсутності в ньому суматорів і ланцюгів перенесення, зберігаючи при цьому його перешкодостійкість.

20 Поставлена задача у винаході вирішується тим, що у відомий перешкодостійкий лічильник імпульсів вводяться додатково $n-1$ двовходові схеми І блока аналізу, $n-1$ двовходові схеми І з інверторами на вході блока диспозицій, об'єднані схемою АБО $n-1$ двовходові схеми І блока контролю, $n-1$ двовходові схеми АБО з допоміжною схемою І блока установки нуля, до якої приєднана шина тактових імпульсів. При цьому входи установки тригерів регістра в одиницю сполучені з першими входами двовходових схем АБО сусідніх молодших розрядів блока установки нуля, виходи яких сполучені з входами установки в нуль відповідних тригерів і з 25 другими входами схем АБО сусідніх молодших розрядів цього блока, до другого входу схеми АБО $n-1$ розряду і входу установки в нуль тригера n розряду підключений вихід допоміжної схеми І блока установки нуля, інверсні виходи кожного з тригерів регістра заведені на перші входи відповідних йому двох двовходових схем І блока аналізу. Прямий вихід кожного з $n-1$ тригерів заведений на другий вхід схеми І сусіднього старшого розряду регістра, а прямий вихід тригера n розряду сполучений з другим входом допоміжної схеми І блока установки нуля. 30 Виходи кожної схеми І блока аналізу зв'язані через інвертори з першим і другим входом двох відповідних їм двовходових схем І блока диспозицій і з третім входом схеми І сусіднього молодшого розряду регістра. Вихід кожної з $n-2$ схем І блока диспозицій, починаючи з першого розряду, заведений на третій вхід сусідньої схеми І старшого розряду цього ж блока і четвертий вхід схеми І старшого розряду регістра, що стоїть через 2 розряди. Вихід старшої $n-1$ схеми І 40 блока диспозицій заведений на третій вхід допоміжної схеми І блока установки нуля. Прямі входи двох тригерів, що стоять поряд, заведені на перші і другі входи відповідних їм двох двовходових схем І блока контролю, виходи яких об'єднані схемою АБО.

Особливістю роботи лічильника є те, що для рахунку він використовує числа Фібоначчі, в яких заборонена поява двох і більше одиниць підряд. Поява такої комбінації є ознакою помилки. Ваги розрядів в таких числах, в даному випадку званих мінімальною формою представлення чисел Фібоначчі, йдуть в наступній послідовності: 1 2 3 5 8, тобто перші 2 числа рівні 1 і 2, а інші виходять з них як сума двох попередніх. Нижче в табл. 1 надані, як приклад, всі числа Фібоначчі для ваг 1 2 3 5 8:

Числа Фібоначчі

5	4	3	2	1	n
8	5	3	2	1	F_n
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	2
0	0	1	0	0	3
0	0	1	0	1	4
0	1	0	0	0	5
0	1	0	0	1	6
0	1	0	1	0	7
1	0	0	0	0	8
1	0	0	0	1	9
1	0	0	1	0	10
1	0	1	0	0	11
1	0	1	0	1	12

З табл. 1, видно, що діапазон чисел Фібоначчі для даного прикладу дорівнює 13. Очевидно, що він визначається як сума ваг двох старших розрядів.

5 Конструкція перешкодостійкого лічильника імпульсів Борисенко-Стахова, що заявляється, дозволяє здійснити послідовний перебір цих чисел в зростаючому порядку, скорочуючи час їх перебору і тим самим вирішуючи поставлену задачу, підвищуючи швидкодію лічильника в порівнянні зі схемами (1,2), зберігаючи при цьому перешкодостійкість лічильника (2).

10 Винахід (перешкодостійкий лічильник імпульсів Борисенко-Стахова), що заявляється, представлений на кресленні, містить регістр 1, що складається з тригерів ТТ2.1 -ТТ2.5 і схем І3.1-І3.5, блок аналізу 4, в який входять двохходові схеми І5.1-І5.4, блок диспозицій 6, що складається з схем І7.1-І7.4 з інверторами на входах, блок контролю 8, виконаний на схемах І9.1-І9.4, об'єднаних схемою АБО 10, блок установки нуля 11, що містить схеми АБО 12.1 - АБО 12.4, допоміжну схему І13, призначену для закінчення рахунку п'яти розрядних чисел Фібоначчі, шину 14 тактових імпульсів (ТІ).

15 Елементи схеми сполучені таким чином. Перші входи схем І3.1-І3.5 регістра 1 сполучені з шиною ТІ 14, а їх виходи з входами установки в одиничний стан відповідних тригерів ТТ2.1 - ТТ2.5 регістра 1. До входів установки в нуль n-1 тригерів ТТ2.1 - ТТ2.4 молодших розрядів регістра 1 приєднані n-1 виходів, відповідних їм двохходових схем АБО 12.1, - АБО 12.4 блока установки нуля 11, а до входу установки в нуль тригера ТТ2.5 приєднаний вихід схеми І13. Перший вхід кожної двохходової схеми АБО12.1 - АБО12.3 блока установки нуля 11 сполучений з виходом відповідної схеми І3.2-І3.5 сусіднього старшого розряду регістра 1. Другий вхід кожної двохходової схеми АБО 12.1 - АБО 12.4 блока установки нуля 11 сполучений з виходом відповідної сусідньому старшому розряду схеми АБО 12.2 - АБО 12.4, на другий вхід схеми АБО 12.4 заведений вихід схеми І13. Виходи схем АБО12.1 - АБО12.4 приєднані до входів установки в нуль відповідних тригерів ТТ2.1 - ТТ2.4. До входу установки в нуль тригера ТТ2.5 приєднаний вихід схеми І13. Інверсні виходи кожного з тригерів ТТ2.1 - ТТ2.5 регістра 1 заведені на відповідні ним входи двохходових схем І5.1-І5.4 блока аналізу 4. Прямий вихід кожного з тригерів ТТ2.1 - ТТ2.4 регістра 1 заведений на відповідний вхід схеми І3.2-І3.5 сусіднього старшого розряду регістра 1. Виходи двохходових схем І5.1-І5.4 блока аналізу 4 через інвертори пов'язані з відповідними входами схем І7.1-І7.4 блока диспозицій 6 і з відповідними входами схем І3.1 - І3.4 регістра 1. Виходи схем І7.1-І7.3 блока диспозицій 6 заведені на відповідні входи сусідніх схем І7.2-І7.4 цього блока і на відповідні входи схем І3.3-І3.5 регістра 1. Вихід старшої схеми І7.4 блока диспозицій 6 заведений на один з входів допоміжної схеми І13, 20 25 30 35 40 два входи, що залишились, сполучені відповідно з шиною тактових імпульсів 14 і з виходом тригера ТТ2.5 регістра 1. Вихід же допоміжної схеми І13 сполучений з відповідним входом схеми АБО12.4 і входом установки в нуль тригера ТТ2.5. Прямі виходи двох тригерів ТТ2.1 - ТТ2.5, що стоять поряд, регістра 1 заведені на два входи відповідних їм схем І9.1-І9.2 блока контролю 8, а виходи цих схем об'єднані схемою АБО 10.

Лічильник, показаний на кресл., працює таким чином. Спочатку він знаходиться в початковому стані, при якому всі тригери регістра 1 ТТ2.1, - ТТ2.5 встановлені в нульовий стан.

Оскільки, внаслідок цього, з інверсних виходів тригерів знімаються одиниці і подаються на перший і другий входи схем І5.1-І5.4 блока аналізу 4, то на їх виходах також з'являться одиниці, які через входи схем І3.1-І3.4 дають дозвіл на проходження через них тактового імпульсу для установки тригерів ТТ2.1 - ТТ2.4 в одиничний стан. Але оскільки схеми І3.2-І3.5 за відповідними входами будуть заблоковані нульовими сигналами, що надходять з прямих виходів встановлених попередньо в нуль тригерів, то тактовий імпульс не зможе пройти на входи установки в одиницю тригерів ТТ2.2 - ТТ2.5. Тому тільки тригер ТТ2.1 через схему І3.1 зможе встановитися по цьому імпульсу в одиничний стан. В результаті лічильник буде мати стан 00001, тобто в лічильнику з'явиться число, що дорівнює одиниці.

Поява одиничного стану в тригері ТТ2.1 призведе до того, що на його інверсному виході і відповідному вході схеми І5.1 і далі на її виході з'явиться нульовий сигнал, який заборонить проходження через схему І3.1 наступного тактового імпульсу на вхід установки в одиницю тригера ТТ2.1. Схема ж І3.2 регістра 1 навпаки пропустить сигнал на вхід установки в одиницю тригера ТТ2.2, оскільки, по-перше, схема І5.2 блока аналізу 4, унаслідок наявності на її двох виходах одиниць з інверсних виходів тригерів ТТ2.2 і ТТ2.3, виробить одиницю, яка по наявному зв'язку надійде на відповідний вхід схеми І3.2, і, по-друге, з прямого виходу тригера ТТ2.1 на відповідний вхід схеми І3.2 прийде одиниця. Це означає, що наступний тактовий імпульс через схему І3.2 встановить тригер ТТ2.2 в одиницю, скинувши при цьому через схему АБО 12.1 по відповідному зв'язку тригер ТТ2.1 в нуль. В результаті виникне новий, збільшений на одиницю, стан лічильника - 00010, рівний числу 2.

Унаслідок появи одиниці на прямому виході тригера ТТ2.2 і подачі її по відповідному зв'язку на один з 4 входів схеми І3.3 буде наданий дозвіл на проходження по відповідному входу наступного тактового імпульсу на установку в одиницю тригера ТТ2.3. Оскільки з інверсного виходу тригера ТТ2.2, що знаходиться в одиничному стані, через схеми І5.1 і І5.2 блока аналізу 4 подаються нулі на два інверсні входи схеми І7.1, то після інверсії вони з'являються у вигляді двох одиниць на прямих входах схеми І7.1, і, як результат, на виході цієї схеми з'явиться одиниця, яка по відповідному входу надійде на схему І3.3. Тригери ТТ2.3 і ТТ2.4, що знаходяться в цей час в нульовому стані, матимуть на своїх інверсних виходах одиниці, які по відповідних зв'язках подаються на перший і другий входи схеми І5.3 блока аналізу 4, що призведе до появи на її виході одиниці, яка надійде по відповідному зв'язку на вхід схеми І3.3 регістра 1. В результаті три одиничні сигнали будуть подані на схему І3.3, і тоді через неї з шини 14 тактовий імпульс Т1 надійде на вхід установки в одиницю тригера ТТ2.3 і переведе його в одиничний стан. Одночасно з цим сигнал з виходу схеми І3.3 через схеми АБО12.2 і далі АБО12.1 блока установки нуля 11 встановить тригери ТТ2.2 і ТТ2.1 в нульовий стан. Стан лічильника тоді стане 00100, рівним числу 3.

Поява двох одиниць з інверсних виходів тригерів ТТ2.2 і ТТ2.1 на входах схеми І5.1 блока аналізу 4 призведе до появи одиниці на її виході, яка інвертуючись на одному з двох входів схеми І7.1 блока диспозицій 6 призведе до появи нуля як на самій цій схемі, так і на виходах пов'язаних з нею схем І7.2, І7.3, І7.4. Оскільки виходи схем І7.1, І7.2, І7.3 пов'язані відповідно з входами схем І3.3, І3.4, І3.5, то наступний вже четвертий тактовий сигнал через них не пройде і тригери ТТ2.3 - ТТ2.5 не змінять своїх станів. Проте тригер ТТ2.1 цим тактовим сигналом встановиться в одиничний стан, оскільки з схеми І5.1 на вхід схеми І3.1 регістра 1 буде подана одиниця, яка дозволяє проходженню наступного тактового імпульсу на вхід установки в одиницю тригера ТТ2.1. В той же час він не пройде на тригер ТТ2.2, тому що схема І3.2 закрита нульовим сигналом, який подається з прямого виходу тригера ТТ2.1. В результаті лічильник встановиться в стан 00101, що відповідає десятковому числу 4.

По аналогії з вищеописаним на входи схеми І3.4 регістра 1 придуть одиниці з прямого виходу тригера ТТ2.3, схеми І5.4 і схеми І7.2. В результаті наступний п'ятий тактовий імпульс встановить тригер ТТ2.4 в одиницю, а тригери ТТ2.3, ТТ2.2, ТТ2.1 через схеми АБО 12.3 - АБО 12.1 в нуль. Як наслідок, буде отримано число 01000, тобто 5.

Наявність нулів в тригерах ТТ2.2, ТТ2.1 призведе до того, що схеми І7.1-І7.3 блока диспозицій 6 вироблять нулі на своїх виходах і тим самим заборонять запис 1 по наступному тактовому імпульсу в тригери ТТ2.3 - ТТ2.5, але при цьому схемою І5.1 буде дозволений запис тактовим імпульсом одиниці в тригер ТТ2.1, що і буде зроблено при його приході. Результат - число 01001, рівне 6.

Далі по аналогії буде отримано число 01010, яке дорівнює 7, після якого з'являться одиниці на трьох входах схеми І3.5 регістра 1 одночасно і відповідно тригер ТТ2.5 встановиться восьмим тактовим імпульсом з шини 14 в одиницю, а всі інші тригери ТТ2.4 - ТТ2.1 через схеми АБО 12.4 - АБО 12.1 блока установки нуля 11 будуть встановлені в нулі. Потім процес рахунку йтиме аналогічно з попереднім до того часу, поки не буде отримано максимальне фібоначове

число 10101 рівне 12. В цьому випадку на допоміжну схему I13, що належить блоку установки нуля 11, будуть подані високі рівні сигналів з тригера ТТ2.5 і схеми I7.4 блока диспозицій 6, що дозволить наступному тактовому імпульсу встановити тригер ТТ2.5 через схему I13 і тригери ТТ2.4 - ТТ2.1 через схеми АБО12.4 - АБО12.1 в нульові стани. Після чого лічильник буде

5 готовий до нового циклу рахунку.

Блок контролю 8, по суті, є зовнішнім блоком по відношенню до лічильника і не впливає на алгоритм рахунку. Його завдання - виявлення помилок в його процесі. Випадкова поява двох одиниць в тригерах реєстра, що стоять поряд, призведе до того, що одна із схем I9.1-I9.4 блока контролю 8 видасть на своєму виході одиницю, яка через схему АБО 10 піде на вихід блока контролю 8, сигналізуючи, таким чином, про помилку. Відповідно після цього лічильник може

10 почати новий цикл рахунку або, якщо є дублюючий його резервний лічильник, перемкнутися на нього.

Звернемо увагу, що в даному лічильнику спостерігається регулярність структури, відсутні перенесення з одних розрядів в інші, що дозволяє підняти його швидкодію в порівнянні з прототипом, Поява унаслідок перешкоди забороненої комбінації виявляється за допомогою

15 схеми контролю.

Таким чином, запропонований лічильник є перешкодостійким, достатньо швидкодіючим, відрізняється регулярною структурою і, як наслідок, хорошою надійністю. Тому його має сенс використовувати для реалізації в різних схемах цифрових пристроїв, що вимагають високої

20 швидкодії, перешкодостійкості і надійності, таких, наприклад, як частотоміри або пристрої, що керують, особливо в реальному масштабі часу.

Джерела інформації:

1. Букреєв І. Н., Мансуров Б. М, Горячев В. А. Мікроелектронні схеми цифрових пристроїв. - М.: Радянське радіо, 1975. - С. 170.

25 2. Авторське свідоцтво СРСР № 1077054, кл. Н03К 23/00, 1983 рік.

ФОРМУЛА ВИНАХОДУ

Перешкодостійкий лічильник імпульсів, що складається з реєстра, що містить n тригерів і n схем I, перші входи яких сполучені з шиною тактових імпульсів, а виходи з входами установки в

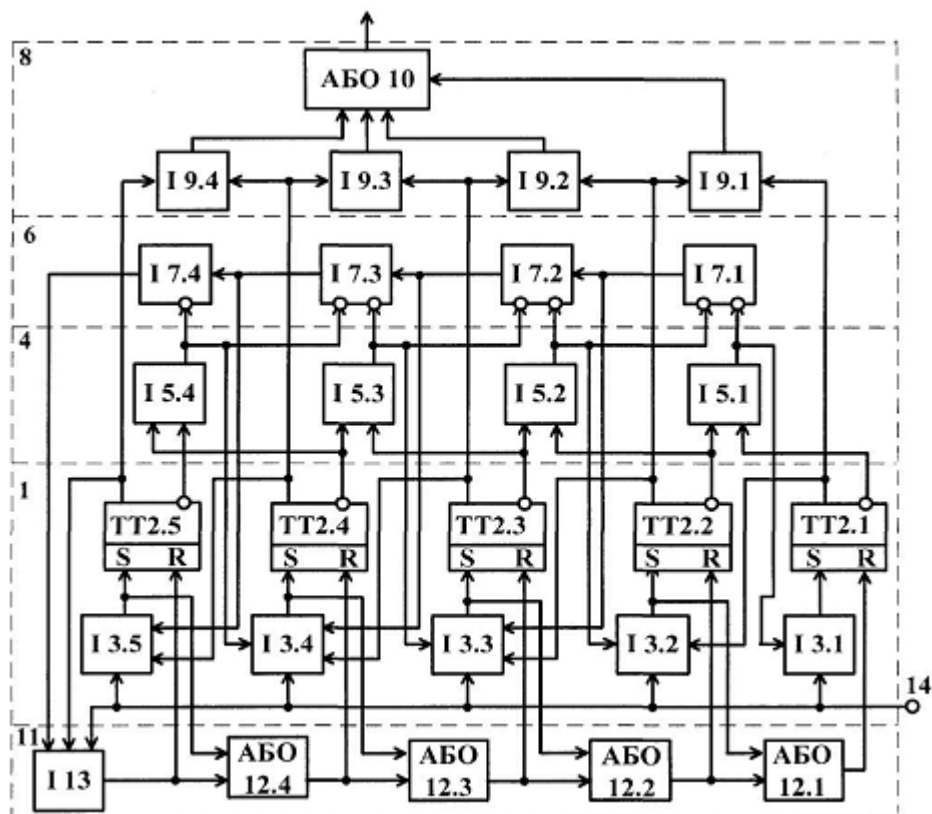
30 одиницю відповідних тригерів, який **відрізняється** тим, що додатково введені блок аналізу, що містить $n-1$ двохходові схеми I, блок диспозицій, що містить $n-1$ двохходові схеми I з інверторами на вході, блок контролю, що містить $n-1$ двохходові схеми I, які об'єднані схемою АБО, блок установки нуля, що містить $n-1$ двохходові схеми АБО і одну допоміжну схему I, до

35 першого входу якої приєднана шина тактових імпульсів, при цьому входи установки в одиницю тригерів реєстра сполучені з першими входами двохходових схем АБО сусідніх молодших розрядів блока установки нуля, виходи яких сполучені з входами установки в нуль відповідних тригерів і з другими входами схем АБО сусідніх молодших розрядів цього блока, до другого

40 входу схеми АБО $n-1$ розряду і входу установки в нуль тригера n розряду підключений вихід допоміжної схеми I блока установки нуля, інверсні виходи кожного з тригерів реєстра заведені на перший і другий входи відповідних йому двох двохходових схем I блока аналізу, прямий вихід кожного з перших $n-1$ тригерів заведений на другий вхід схеми I сусіднього старшого розряду реєстра, прямий вихід тригера n розряду сполучений з другим входом допоміжної

45 схеми I, виходи схеми I блока аналізу зв'язані через інвертори з першими і другими входами відповідних їм двох двохходових схем I блока диспозицій і з третім входом схеми I цього ж розряду реєстра, вихід кожної з $n-2$ схем I блока диспозицій, починаючи з першого розряду, заведений на третій вхід сусідньої схеми I старшого розряду цього ж блока і четвертий вхід

50 схеми I старшого розряду реєстра, що стоїть через два розряди, вихід старшої $n-1$ схеми I блока диспозицій заведений на третій вхід допоміжної схеми I блока установки нуля, прямі виходи двох розміщених поруч тригерів заведені на перший і другий входи відповідних їм двох двохходових схем I блока контролю, виходи яких об'єднані схемою АБО.



Комп'ютерна верстка О. Рябко

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601