

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

О. М. Кобяков, А. С. Опанасюк,
І. Є. Бражник, О. А. Любивий

**ТВЕРДОТІЛЬНА ЕЛЕКТРОНІКА.
Мікросхемотехніка**

Конспект лекцій

Суми
Сумський державний університет
2015

Твердотільна електроніка. Мікросхемотехніка : конспект лекцій / укладачі: О. М. Кобяков, А. С. Опанасюк, І. Є. Бражник, О. А. Любивий. – Суми : Сумський державний університет, 2015. – 109 с.

Кафедра електроніки і комп'ютерної техніки

Зміст

Перелік прийнятих скорочень.....	5
Вступ.....	6
1 Схемотехніка аналогових інтегральних мікросхем.....	8
1.1 Сфера застосування і класифікація аналогових інтегральних мікросхем.....	8
1.2 Генератори стабільного струму.....	9
1.3 Генератори стабільної напруги.....	13
1.4 Схеми зсуву рівня постійної складової сигналу.....	16
1.5 Вихідні каскади аналогових інтегральних схем.....	19
1.6 Диференційні каскади.....	24
1.7 Схемотехніка операційних підсилювачів.....	32
1.8 Аналогові інтегральні ключі.....	37
1.8.1 Діодні аналогові ключі.....	39
1.8.2 Аналогові ключі на біполярних транзисторах.....	40
1.8.3 Аналогові ключі на МОН-транзисторах.....	42
1.9 Інтегральні компаратори.....	44
2 Схемотехніка цифрових інтегральних мікросхем.....	49
2.1 Загальна характеристика інтегральних логічних елементів.....	49
2.2 Принципи схемотехніки базових логічних елементів.....	56
2.2.1 Потенціальні інвертори з перемиканням базового струму.....	57
2.2.2 Потенціальні інвертори з перемиканням емітерного струму.....	59
2.2.3 Потенціальні інвертори на МОН-транзисторних структурах.....	62
2.2.3.1 Потенціальний інвертор на однотипних МОН-структурах.....	63
2.2.3.2 Потенціальний інвертор на комплементарних МОН-транзисторних структурах (КМОН-транзисторах).....	65
2.3 Транзисторно-транзисторні логічні елементи.....	67
2.3.1 ТТЛ-елемент $I-HE$ з простим інвертором.....	68

2.3.2	ТТЛ-елемент <i>I-HE</i> із складним інвертором.....	69
2.3.3	Схеми базових елементів стандартних серій цифрових інтегральних схем (133 і 155).....	72
2.3.4	Інші різновиди схем ТТЛ-елементів.....	75
2.3.5	Основні характеристики і параметри ТТЛ-елементів.....	76
2.4	Емітерно-зв'язані логічні елементи.....	78
2.4.1	Основна схема емітерно-зв'язаного логічного елемента <i>АБО-НЕ/АБО</i>	78
2.4.2	Базовий емітерно-зв'язаний логічний елемент <i>АБО-НЕ/АБО</i>	81
2.4.3	Основні характеристики емітерно-зв'язаних логічних елементів.....	84
2.5	Логічні елементи на МОН- і КМОН-транзисторних структурах.....	86
2.5.1	Логічні елементи на <i>p</i> - канальних МОН- транзисторних структурах.....	87
2.5.2	Логічні елементи на КМОН-транзисторних структурах.....	90
2.5.3	Основні характеристики і параметри логічних елементів на КМОН-транзисторах.....	93
2.6	Логічні елементи з інжекційним живленням.....	95
2.7	Перетворювачі рівня.....	98
2.8	Порівняльна характеристика різних типів логічних елементів.....	100
3	Схемотехніка комбінаційних схем на програмованих логічних матрицях.....	102
3.1	Призначення і сфера застосування.....	102
3.2	Принципи побудови базової програмованої логічної матриці.....	103
	Список літератури.....	108

Перелік прийнятих скорочень

АІМС – аналогова інтегральна мікросхема
АІС – аналогова інтегральна схема
АК – аналоговий ключ
АЦП – аналогово-цифровий перетворювач
БЛЕ – базовий логічний елемент
ВАХ – вольт-амперна характеристика
ГОН – генератор опірної напруги
ГСН – генератор стабільної напруги
ГСС – генератор стабільного струму
ДП – диференціальний підсилювач
І²Л – інтегральна інжекційна логіка
ІЛЕ – інтегральний логічний елемент
ІМС – інтегральна мікросхема
ЕЗЛ – емітерно-зв’язана логіка
ККД – коефіцієнт корисної дії
КМОН – комплементарний метал-оксид-напівпровідник
ЛЕ – логічний елемент
МОН – метал-оксид-напівпровідник
ОП – операційний підсилювач
ПІ – потенціальні інвертори
ПЛМ – програмована логічна матриця
ПЛІС – програмована логічна інтегральна мікросхема
ПН – підсилювач напруги
ССЕ – схема зі спільним емітером
СПХ – статична передавальна характеристика
ТТЛ – транзисторно-транзисторна логіка
ТТЛШ - транзисторно-транзисторна логіка з діодом Шотткі
ЦАП – цифро-аналоговий перетворювач
ЦІС – цифрова інтегральна схема

Вступ

Мікросхемотехніка – це розділ твердотільної електроніки, який тісно зв'язаний з мікроелектронікою, є її наступною частиною, входить до її складу як органічний модуль.

Предмет мікросхемотехніки складають принципи і прийоми побудови інтегральних мікросхем (ІМС), способи їх застосування та експлуатації. **ІМС** – це мікроелектронний виріб, що виконує певну функцію перетворення і обробки сигналу, має високу щільність пакування електрично з'єднаних елементів (більше ніж 5 елементів на 1 см^3 , може досягати кількості сотень і навіть тисяч елементів на 1 см^3) і з точки зору виготовлення і експлуатації розглядається як єдине ціле, що складається, у свою чергу, з елементів і компонентів [1]. ІМС притаманні: висока надійність, малі габарити (розміри і вага), низьке енергоспоживання.

Завданням розділу «Мікросхемотехніка» є вивчення і засвоєння:

- основних принципів побудови та функціонування аналогових і цифрових ІМС різних типів;
- застосування серійних мікросхем у складі (і при проектуванні) електронної техніки різного призначення;
- будови і принципу дії пристроїв спряження мікросхем різних типів;
- основних режимів і прийомів експлуатації ІМС.

Вивчення розділу «Мікросхемотехніка» базується на знанні попередніх розділів курсу «Твердотільна електроніка». Водночас мікросхемотехніка значною мірою корельована з курсами «Аналогова схемотехніка» і «Цифрова схемотехніка». Метод «від простого до складного» у розділі набирає форми вивчення мікросхемотехніки за схемою: схемотехнічний елемент – пристрій – вузол електронної техніки. Однак обмеженість розділу «Мікросхемотехніка» за навчальним часом диктує доцільність вивчення в ньому

лише елементів і пристроїв. Вузли натомість вивчаються переважно на подальших курсах підготовки спеціалістів з електронних систем.

При вивченні розділу необхідно усвідомити специфічні риси, що відрізняють прийоми мікросхемотехніки від схемотехнічних прийомів дискретної електроніки. Адже далеко не все, що вважається типовим для останньої, є сприйнятним у мікросхемотехніці. Наведемо приклади:

1 В ІМС недоцільно застосовувати котушки індуктивності, конденсатори великої ємності і високоомні резистори. Одні з них займають надто велику площу підкладки мікросхем, інші (а саме індуктивності в напівпровідникових ІМС) взагалі не піддаються методам інтегральної технології.

2 В ІМС доцільно застосовувати активні елементи (переважно транзистори), оскільки вони займають найменшу площу. Відтак оптимальною є така ІМС, у якої кількість і номінали пасивних елементів якнайменші.

3 Елементи напівпровідникових ІМС мають велике розсіювання (допуск) параметрів – до 20 відсотків від номінальних значень. Але оскільки суміжні елементи віддалені один від одного всього на 50–100 мкм, то їх параметри взаємозв'язані, корельовані. Відтак розсіювання параметрів для всіх елементів мікросхеми ідентичне – у тому числі і під впливом температури.

4 Компенсація значних розсіювань параметрів, що можуть призвести до порушення нормального функціонування ІМС, здійснюється за рахунок зворотних зв'язків.

5 Універсальність застосування ІМС (багатофункціональність) досягається шляхом підвищення їх конструктивної складності (щільності пакування), застосування зворотних зв'язків і мінімізації кількості навісних елементів.

1 Схемотехніка аналогових інтегральних мікросхем

1.1 Сфера застосування і класифікація аналогових інтегральних мікросхем

Аналогові інтегральні мікросхеми (АІС) – це інтегральні схеми, які призначені для перетворення, генерування і обробки аналогових (неперервних) сигналів. Активні прилади (біполярні транзистори і МОН-транзистори) в АІС працюють у лінійному режимі, і тому більшість АІС називаються ще й лінійними ІМС (ЛІС).

АІС застосовуються у широкому діапазоні частот (від постійного струму до десятків ГГц) і у великому динамічному діапазоні вхідних і вихідних сигналів (до 120 дБ і більше). Тому асортимент АІС, які випускаються промисловістю, великий, а обсяг випуску становить 15 % від загального виробництва ІМС.

За функціональними можливостями АІС поділяються на універсальні і спеціалізовані. *Універсальні АІС* здатні виконувати різні функціональні перетворення сигналів і мають широке застосування. Універсальність досягається ускладненням принципових схем; одержання натомість конкретних варіантів пристроїв на основі універсальних АІС здійснюється комутацією їх виводів і приєднанням додаткових навісних елементів. Наприклад, операційний підсилювач – це універсальна АІС. *Спеціалізовані АІС* – це схеми окремого, обмеженого застосування.

За функціональним призначенням АІС поділяються на **радіочастотні** (підсилювачі, генератори, фільтри, модулятори, надвисокочастотні ІМС тощо); **інструментальні** (компаратори, помножувачі, перетворювачі, аналогові ключі, регулятори рівня тощо) і **силові** (ІМС вторинних джерел живлення, потужні підсилювачі нижньої частоти, ІМС радіопередавальних пристроїв і т. п.).

Однією з істотних особливостей схемотехніки АІС є відсутність конденсаторів. Для аналогових мікросхем це призводить до додаткових схемотехнічних ускладнень: застосування спеціальних схем зсуву рівня або ж (у новітніх АІС) комплементарних біполярних транзисторів.

Розглянемо ряд базових схемотехнічних елементів АІС, що стали вже класичними.

1.2 Генератори стабільного струму

Генератори стабільного струму (ГСС) – це найчастіше застосовуваний базовий схемотехнічний елемент АІС. Його призначення – забезпечити практично незмінний струм у навантаженні при зміні величини останнього ($I_0 = const$ при $R_H = var$).

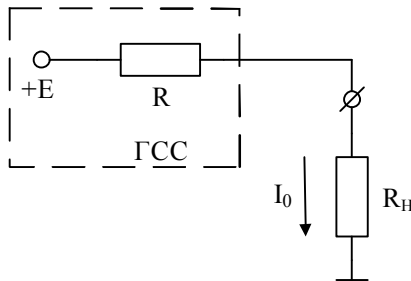


Рисунок 1.1 – Найпростіший ГСС

Найпростіший ГСС – це джерело живлення з достатньо великим внутрішнім опором R (рис. 1.1):

$$I_0 = \frac{E}{R + R_H}, \text{ якщо } R \gg R_H, \text{ то}$$

$$I_0 = \frac{E}{R}. \quad (1.1)$$

З останнього виразу випливає, що струм ГСС I_0 не залежить від R_H .

Недоліками найпростішого ГСС є: низький ККД джерела внаслідок розсіювання потужності на R ; неефективне використання джерела живлення, оскільки $U_H = I_0 R_H \ll E$; при високому навантаженні непросто забезпечити умову $R \gg R_H$ в інтегральній схемотехніці.

Більш досконалим ГСС є каскад на біполярному транзисторі за схемою зі спільним емітером (ССЕ) (рис. 1.2).

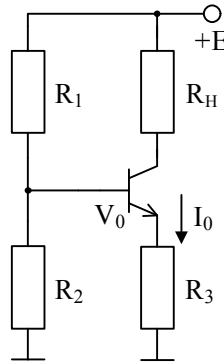


Рисунок 1.2 – Варіант схеми ГСС

Як відомо, транзистор у схемі зі спільним емітером має вихідні характеристики з вираженою пологою ділянкою – ділянкою високого диференціального опору:

$$r_{\text{диф}} = \frac{\Delta U_{KE} \uparrow}{\Delta I_K \downarrow} \rightarrow \infty. \quad (1.2)$$

Ця ділянка характеризується малою залежністю струму I_K від напруги U_{KE} . Недоліком схеми (рис. 1.2), є температурна нестабільність струму $I_K (I_0)$.

Відтак у схемотехніці АІС найчастіше застосовується схема генератора стабільного струму за схемою рисунка 1.3. Цей елемент є для всієї множини АІС **базовим**.

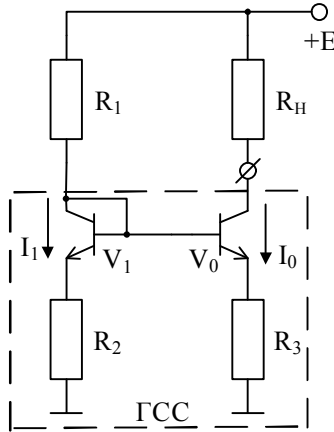


Рисунок 1.3 – Базовий ГСС

На цій схемі біполярний транзистор V_1 у діодному вмиканні виконує функцію температурної стабілізації.

Нехтуючи базовими струмами транзисторів V_0 і V_1 , можна записати:

$$U_{BEV_1} + I_1 R_2 = U_{BEV_0} + I_0 R_3,$$

звідки

$$I_0 = \frac{U_{BEV_1} - U_{BEV_0} + I_1 R_2}{R_3}.$$

Оскільки транзисторам V_0 і V_1 притаманна стабільність та ідентичність параметрів, то $U_{BEV_1} \cong U_{BEV_0}$ і

$$I_0 = I_1 \frac{R_2}{R_3}. \quad (1.3)$$

З формули (1.3) випливає, що струм I_0 практично не залежить від навантаження R_H (у межах перебування транзистора V_0 в активному режимі).

Стабільність струму I_0 визначається стабільністю струму у колі зміщення I_1 і співвідношенням величин опорів R_2/R_3 . Температурні коефіцієнти опорів R_2 і R_3 значні, але з огляду розміщення цих опорів на одному кристалі і виготовлення їх у єдиному технологічному циклі ці коефіцієнти практично збігаються. Таким чином, температурна стабільність струму I_0 у схемі базового ГСС (рис. 1.3) на порядок перевищує температурну стабільність I_0 у схемі рисунка 1.2.

За формулою (1.3) при $R_2 = R_3$ $I_0 = I_1$, тобто струм I_0 повторює («віддзеркалює») струм I_1 . Тому схему ГСС рисунка 1.3 називають «дзеркалом струму».

Регулювання стабільного струму I_0 у такій схемі за формулою (1.3) може здійснюватись як зміною струму I_1 , так і зміною співвідношення R_2/R_3 .

Іноді для економії площі кристала у схемі базового ГСС забезпечують умову $R_2 = R_3 = 0$, одержуючи схему рисунка 1.4.

Тоді

$$I_0 = I_1 \frac{S_0}{S_1}, \quad (1.4)$$

де S_0, S_1 – площі емітерних переходів транзисторів V_0 і V_1 відповідно.

У напівпровідникових АІС генератори стабільного струму застосовуються: як джерела незмінного, не залежного від навантаження струму; як еквіваленти високоомних резисторів (за змінним струмом).

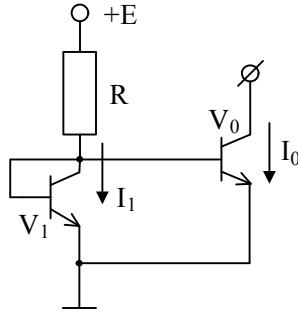


Рисунок 1.4 – Варіант схеми базового ГСС

1.3 Генератори стабільної напруги

У схемотехніці АІС виникає потреба не лише в генераторах стабільного струму, але і в генераторах стабільної напруги (ГСН). Такими генераторами є стабілітрони (p - n -перехід інтегрального біполярного транзистора у зворотному вмиканні) з вольт-амперної характеристики (ВАХ) рисунка 1.5 і стабістори p - n -перехід інтегрального транзистора у прямому вмиканні) з ВАХ рисунка 1.6.

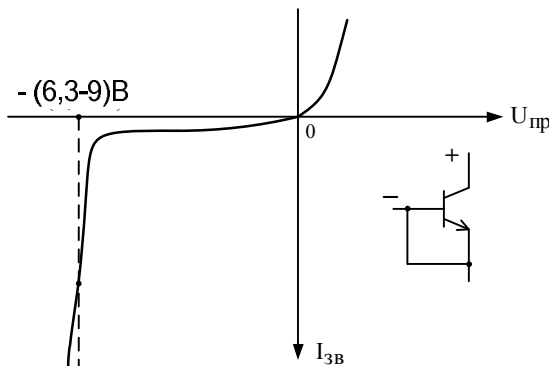


Рисунок 1.5 – Стабілітрон із ВАХ

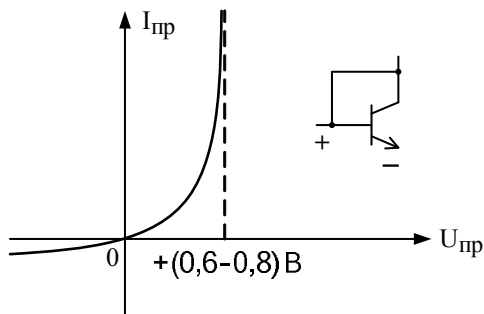


Рисунок 1.6 – Стабістор із ВАХ

При цьому для одержання стабільної напруги, що перевищує напругу стабілізації, застосовують послідовне ввімкнення інтегральних стабілітронів або стабісторів.

Усі генератори опірної напруги (ГОН), мають, на відміну від ГСС, дуже малий диференціальний опір, тобто малу залежність напруги від струму

$$r_{\sim} = r_{\text{диф}} = \frac{\Delta U_{СТ} \downarrow}{\Delta I_{СТ} \uparrow} \rightarrow 0.$$

Опір ГСН за змінним струмом набагато менший від опору генератора за постійним струмом.

Для підвищення температурної стабільності опірної напруги з виходу ГСН застосовують послідовне вмикання інтегральних **стабілітрона** з позитивним температурним коефіцієнтом напруги і **стабістора** з негативним температурним коефіцієнтом.

Ідеальне джерело струму I_0 на схемі рисунка 1.7 а – це ГСС за схемою рисунка 1.3.

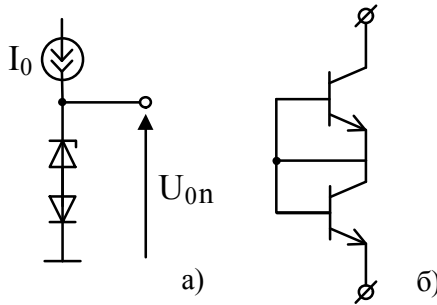


Рисунок 1.7 – Схеми термостабілізованих ГСН:
 а) на дискретних елементах; б) на інтегральних елементах

Якщо опірну напругу потрібної величини неможливо одержати послідовним вмиканням стабілітронів (стабісторів), то застосовують схему, зображену на рисунку 1.8.

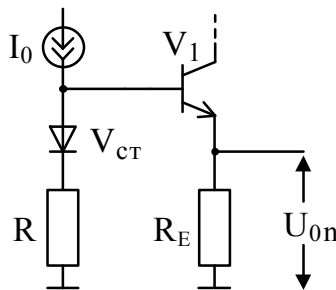


Рисунок 1.8 – Варіант ГСН з емітерним повторювачем

На даній схемі каскад на транзисторі V_1 – емітерний повторювач, $V_{ст}$ – стабістор.

$$U_{оп} = I_0 R + U_{ст} - U_{BE_{V_1}} \approx I_0 R. \quad (1.5)$$

У формулі (1.5) урахується, що $U_{ст} \approx U_{BE_{V_1}}$.

З формули випливає, що опорна напруга може бути регульованою (наприклад, змінною струму I_0 або параметра R) і не залежить від навантаження.

1.4 Схеми зсуву рівня постійної складової сигналу

Напівпровідникові аналогові інтегральні схеми будуються за схемотехнікою з безпосередніми зв'язками, тобто без розділювальних ємностей між каскадами (рис. 1.9). Це зумовлює зміщення постійної складової сигналу «вгору» від одного каскаду підсилувача до іншого.

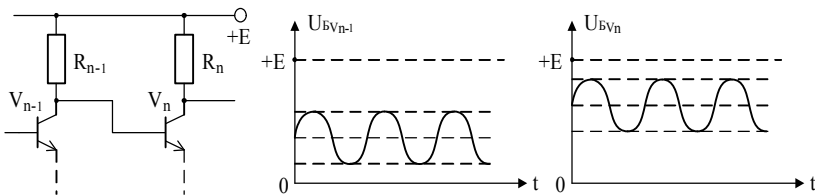


Рисунок 1.9 – Зміщення постійної складової «вгору» в АІС із безпосередніми зв'язками

У таких каскадах транзистори працюють в активному режимі, і оскільки їх колекторні переходи увімкнені зворотно, то $\varphi_K > \varphi_B$. Відтак постійна складова напруги на колекторі вища від складової на базі, і на базах від транзистора до транзистора спостерігається позитивний зсув постійної складової напруги. Це явище може пояснюватися так. Підсилувач із безпосередніми зв'язками є підсилувачем постійного струму, який підсилює не лише змінну, але й постійну складову сигналу. Обмежувальним чинником зміщення рівня є величина напруги джерела живлення $+E$. Тому в реальних підсилувачах достатньо 2–3 підсилувальних каскади, щоб можливості джерела живлення вичерпались.

Унаслідок цього у складі АІС необхідним є застосування схмотехнічного елемента, який забезпечував би зсув постійної складової сигналу, не зменшуючи при цьому підсилення змінної складової.

Широкого застосування набули **схеми зсуву рівня** постійної складової, наведені на рисунку 1.10.

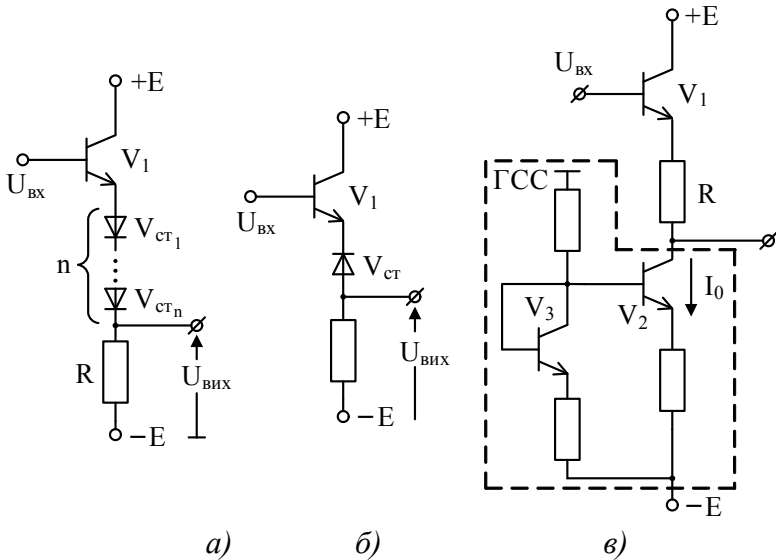


Рисунок 1.10 – Схеми зсуву рівня постійної складової:

$$a) U_{вих} = U_{вх} - (n+1)U^* ;$$

$$б) U_{вих} = U_{вх} - (U_{ст} + U^*) ;$$

$$в) U_{вих} = U_{вх} - U^* - I_0 R$$

У схемах рисунка 1.10 а і б застосовується сталість спаду напруги на стабісторах або стабілітроні. У схемі рисунка 1.10 а зсув постійної складової здійснюється на величину $(n+1) \cdot U^*$ – суму спадів напруги на n стабісторах і на емітерному переході транзистора V_1 ($U_{BEV_1} = U^*$).

У схемі рисунка 1.10 б зсув дорівнює величині $U_{ст} + U^*$. Підбираючи ці величини, тобто параметри стабісторів чи стабілітрона, можна забезпечити повну компенсацію очікуваного зсуву постійної складової сигналу. В той самий час сталість названих величин зумовлює коефіцієнт передачі транзисторного каскаду за змінною складовою $K=1$: потенціал на виході зміниться настільки, наскільки зміниться вхідна напруга. Інакше кажучи, стабістори або стабілітрон мають на робочих ділянках своїх характеристик опір для змінної складової $r_{диф} \rightarrow 0$, і стосовно змінної складової каскади рисунка 1.10 а і б поведуть себе як емітерні повторювачі з коефіцієнтом передачі $K=1$, у той час як опір стабісторів і стабілітрона для постійної складової напруги великий, і остання спадає здебільшого на цих приладах, а не на резисторі R , що власне й забезпечує компенсацію зсуву постійної складової сигналу.

Схема зсуву рисунка 1.10 в дозволяє забезпечити такий зсув, величину якого не можна підібрати комбінацією стабісторів або параметром стабілітрона. Оскільки $I_0 = const$, то спад напруги на резисторі R сталий і дорівнює $I_0 R$, а загальний зсув напруги $I_0 R + U^*$. У той самий час опір ГСС за змінною складовою $R_{\sim} \approx R$, і коефіцієнт передачі змінної складової $K \approx 1$, як у звичайного емітерного повторювача. У цій схемі регулювання величини компенсувального зсуву досягається зміною струму I_0 .

1.5 Вихідні каскади аналогових інтегральних схем

Вихідні каскади призначені для передавання достатньо високої потужності до навантаження, або, інакше кажучи, для забезпечення достатньо високої навантажувальної здатності АІС. Вимоги до вихідних каскадів: малий опір $R_{вих}$, високий ККД (оскільки саме вихідний каскад споживає більшу частину споживаної потужності АІС); малий коефіцієнт нелінійних спотворень. При цьому коефіцієнт підсилення за напругою для вихідних каскадів не є істотним параметром.

Найпростішим варіантом вихідного каскаду є звичайний емітерний повторювач, який має малий вихідний опір, а відтак добру навантажувальну здатність. Однак він застосовується рідко, оскільки потребує для забезпечення лінійного режиму істотної потужності, споживаної у режимі спокою.

Найчастіше в АІС застосовуються двотактні вихідні каскади. Двотактний вихідний каскад складається з двох підсилювачів, один з яких підсилює позитивну півхвилю сигналу, а другий – негативну. У навантаженні ці півхвилі складаються, утворюючи певний вихідний сигнал. Для зменшення споживаної у статичному режимі потужності вихідні транзистори каскаду у початковому стані перебувають біля режиму відсічки (застосовується режим класів *B* або *AB*).

Прилад двотактного каскаду на однотипних транзисторах наведений на рисунку 1.11. На транзисторі V_1 побудований фазоінверсний каскад, який керує вихідними транзисторами V_2 і V_3 . Навантаження R_H вмикається між вихідною клемою і корпусом. У початковому стані транзистор V_1 відкритий, а V_2 і V_3 перебувають поблизу режиму відсічки, і через них протікає невеликий наскрізний струм.

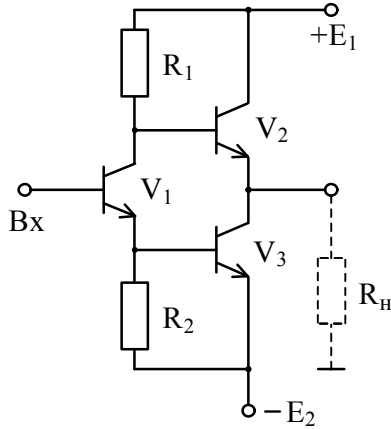


Рисунок 1.11 – Двотактний вихідний каскад на однотипних транзисторах

Напруга на навантаженні $U_{вих} = 0$. При надходженні позитивної півхвилі транзистор V_1 відкриється більше, його струм колектора і струм емітера збільшуються, що приводить до відкривання V_3 , оскільки

$$I_{BV_3} = I_{EV_1} - \left(\frac{U^*}{R_2}\right).$$

Зменшення потенціалу колектора V_1 сприяє більшому закриванню транзистора V_2 . Через навантаження по колу корпус – навантаження $R_H \rightarrow V_3 \rightarrow -E_2$ потече струм, і в навантаженні виникає півхвиля напруги негативної полярності. У разі надходження на вхід негативної півхвилі напруги транзистор V_1 закривається, збільшення потенціалу колектора V_1 приводить до збільшення струму бази I_{BV_2} і відкривання транзистора V_2 , а внаслідок зменшення струму емітера V_1 транзистор V_3 закривається.

Струм через навантаження потече по колу $+E_1 \rightarrow V_2 \rightarrow R_H \rightarrow \text{корпус}$, і на навантаженні формується напруга позитивної півхвилі. Таким чином, вихідний каскад, зображений на рисунку 1.11, здійснює інвертування вхідного сигналу. Недоліком цієї схеми є те, що при формуванні у навантаженні негативної напруги (V_3 відкритий, V_2 закритий) каскад є схемою зі спільним емітером і має більший вихідний опір, ніж при формуванні у навантаженні позитивної напруги (V_2 відкритий, V_3 закритий), коли він працює як емітерний повторювач.

Подолати цей недолік і позбавитися фазоінверсного каскаду дозволяє схема двотактного підсилювача на комплементарних ($n-p-n$, $p-n-p$) транзисторах (рис. 1.12).

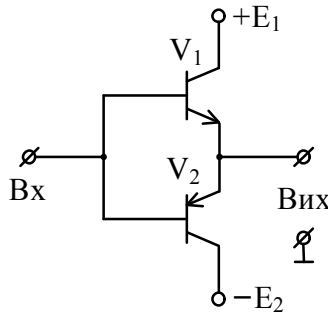


Рисунок 1.12 – Двотактний вихідний каскад з комплементарними транзисторами

Навантаження тут вмикається до емітерних кіл обох транзисторів, а відтак обидва працюють у режимі емітерних повторювачів. При $U_{вх} = 0$ обидва транзистори закриті $U_{BEV_1} = U_{BEV_2} = 0$. Під час позитивної півхвилі вхідної напруги відкривається транзистор V_1 і при закритому транзисторі V_2 працює як емітерний повторювач.

Вихідний струм протікає по колу: $+E_1 \rightarrow V_1 \rightarrow \rightarrow \text{навантаження} \rightarrow \text{корпус}$.

Під час негативної півхвилі вхідної напруги відкривається транзистор V_2 і при закритому V_1 працює як емітерний повторювач. Струм протікає по колу: $\text{корпус} \rightarrow \rightarrow \text{навантаження} \rightarrow V_2 \rightarrow -E_2$.

Недолік схеми рисунка 1.12 – великі нелінійні спотворення: для відкриття транзисторів необхідно, щоб вхідна напруга перевищувала величину U^* : $U_{\text{вх}} > U^*$. Інакше кажучи, у схемі наявна нелінійність типу «зона нечутливості». Цей недолік подоланий у схемі вихідного двотактного каскаду рисунка 1.13, яка є дещо ускладненою попередньою схемою.

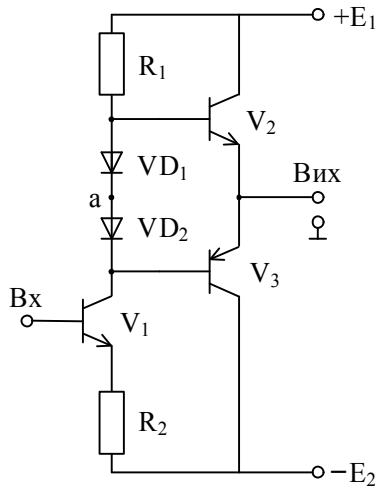


Рисунок 1.13 – Двотактний вихідний каскад із додатковим каскадом зміщення

Додатковий каскад на транзисторі V_1 забезпечує початкове зміщення V_2 і V_3 так, що вони перебувають на межі відкриття.

Це здійснюється таким чином. За рахунок підбору резисторів R_1 і R_2 потенціал точки a встановлюється таким, що дорівнює нулю. Тоді потенціал на аноді VD_1 дорівнює $+U^*$ відносно корпусу, а потенціал на катоді VD_2 дорівнює $-U^*$. Ці потенціали подаються на бази транзисторів V_2 і V_3 відповідно, забезпечуючи їх режим **на межі відкриття**. Таким чином, каскад рисунка 1.13 передає до навантаження без спотворень навіть невеликий вхідний сигнал будь-якої полярності. Натурально, що діоди VD_1 і VD_2 – це біполярні транзистори у діодному вмиканні.

І, нарешті, на рисунку 1.14 наведений двотактний вихідний каскад, що містить у собі кола захисту транзисторів V_2 , V_3 від короткого замикання (V_4 , V_3 ; V_5 , V_4).

У номінальному режимі (при струмах навантаження, що не перевищують допустимий струм I_{\max}) спади напруг на R_3 і R_4 недостатні для відкриття транзисторів захисту V_4 і V_5 . У разі короткого замикання на виході (на корпус або на джерело живлення) струм через транзистор V_2 (або V_3) різко зростає, спад напруги на R_3 (або на R_4) зростає, і транзистор V_4 (або V_5) відкривається. Відкриваючись, захисний транзистор V_4 (або V_5) **відгалужує через себе** в навантаження зайвий струм бази V_2 (або V_3), який перевищує величину $\frac{1}{\beta} I_{\max}$. Таким чином, транзистор V_4 захищає транзистор V_2 , а транзистор V_5 – V_3 . Номінали обмежувальних резисторів вибираються з умови $R_3 = R_4 = \frac{U^*}{I_{\max}}$, де I_{\max} – допустимий струм навантаження.

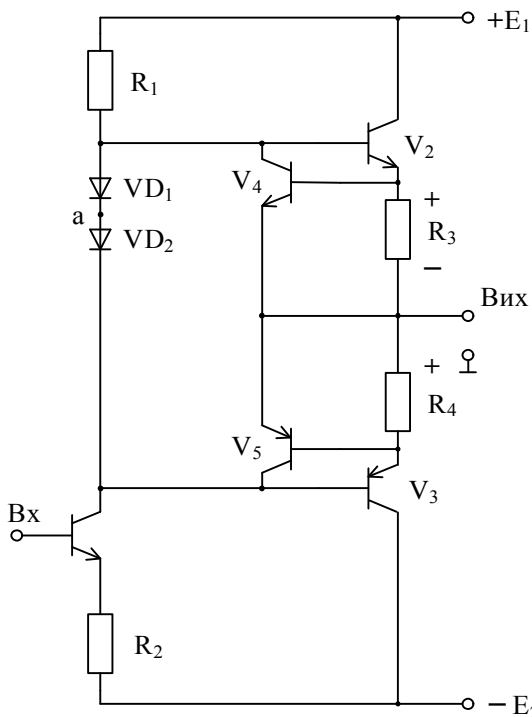


Рисунок 1.14 – Двотактний вихідний каскад із захистом від короткого замикання

1.6 Диференціальні каскади

Диференціальний каскад, як і попередньо вивчені каскади, є основним і найбільш поширеним схемотехнічним елементом АІС.

Диференціальний каскад (рис. 1.15) складається з двох однакових симетричних плечей, кожне з яких містить підсилювальний прилад і навантаження.

У колі емітера діє ГСС I_0 (наприклад, за схемою рисунка 1.3). Як правило, каскад живиться від двох різнополярних джерел $+E_1$ і $-E_2$.

Якщо біполярні транзистори диференціального каскаду працюють в активному режимі, то каскад є **лінійним диференціальним підсилювачем**.

Якщо ж транзистори працюють у ключовому режимі, то каскад називається **перемикачем струму**.

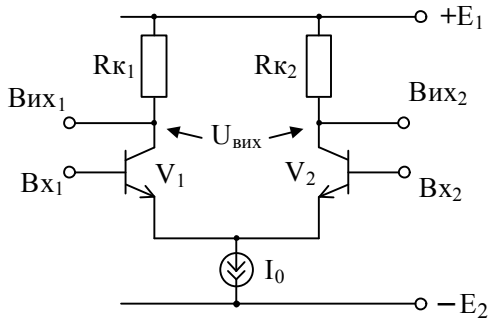


Рисунок 1.15 – Диференціальний каскад

Диференціальний підсилювач (ДП) – це симетричний підсилювальний каскад, призначений для підсилення різниці сигналів між його двома входами. Основна властивість ДП – ідентичність плечей (ідентичність параметрів транзисторів і рівність опорів навантажень $R_{K1} = R_{K2}$).

Для опису роботи ДП розрізняють дві моделі сигналів, дію яких можна розглядати окремо.

Диференціальний сигнал – це напруга на входах ДП рівної величини, але протилежних знаків $U_{вх1} = -U_{вх2}$ (рис. 1.16 а).

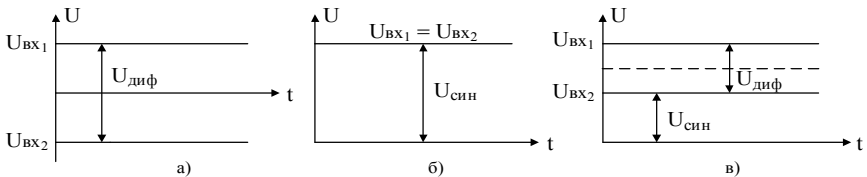


Рисунок 1.16 – Вхідні сигнали диференціального підсилювача

Синфазний сигнал – це напруги на входах ДП, однакові за величиною і знаком (рис. 1.16 б).

Будь-яку комбінацію вхідних напруг $U_{вх1}$ і $U_{вх2}$ можна подати у вигляді суми синфазної і диференціальної складових (рис. 1.16 в):

$$U_{вх1} = U_{\text{синф}} + \frac{U_{\text{диф}}}{2} = \frac{U_{вх1} + U_{вх2}}{2} + \frac{U_{вх1} - U_{вх2}}{2},$$

$$U_{вх2} = U_{\text{синф}} - \frac{U_{\text{диф}}}{2} = \frac{U_{вх1} + U_{вх2}}{2} - \frac{U_{вх1} - U_{вх2}}{2}.$$

ДП має два режими роботи за виходом:

– *несиметричний вихід* – сигнали знімають з колектора першого ($U_{вих1}$) або з колектора другого транзистора ($U_{вих2}$);

– *симетричний вихід* – вихідний сигнал, що знімають з обох виходів одночасно, є різницею потенціалів колекторів V_2 і V_1 :

$$U_{вих} = U_{вих2} - U_{вих1}.$$

Принцип дії ДП. Нехай $U_{вх1} = U_{вх2} = 0$, тобто $U_{\text{диф}} = 0$, $U_{\text{синф}} = 0$. Для ідеально симетричного ДП струм I_0 ділиться порівну між двома плечами:

$$I_{E1} = I_{E2} = \frac{I_0}{2}.$$

Оскільки транзистори V_1 і V_2 працюють в активному режимі, то

$$I_{K1} = I_{K2} = \alpha \frac{I_0}{2} \approx \frac{I_0}{2},$$

а тому $U_{вих1} = U_{вих2} = E_1 - \frac{I_0}{2} R_K$ – напруга балансу.

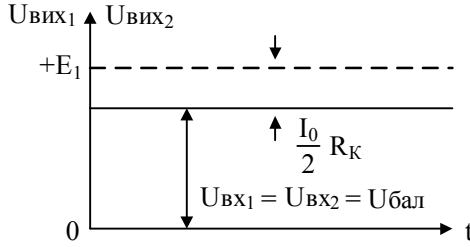


Рисунок 1.17 – Баланс напруг на виході ДП у режимі спокою

Тоді напруга симетричного виходу дорівнює

$$U_{вих} = U_{вих2} - U_{вих1} = 0.$$

Тепер нехай на обидва входи ДП надходить синфазний сигнал $U_{вх1} = U_{вх2}$.

Еквівалентом цього стану є режим, показаний на схемі рисунка 1.18.

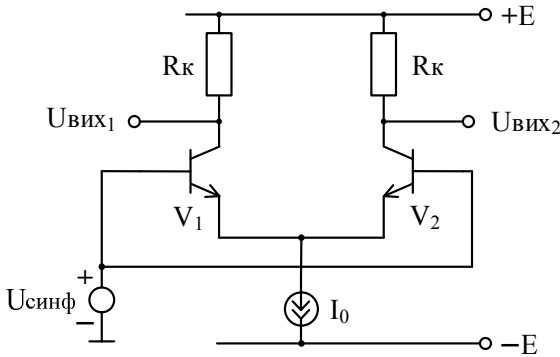


Рисунок 1.18 – ДП із синфазним сигналом на вході

Оскільки плечі ДП ідентичні, то струми колекторів I_1 і I_2 однакові $I_{K1} = I_{K2}$.

Унаслідок того, що загальний струм емітерів незмінний і дорівнює I_0 (як струм ГСС), струми колекторів і вихідні напруги плеч не зміняться. Фізично під дією синфазного сигналу потенціал емітерів зміниться настільки, наскільки потенціал баз і напруга U_{BE} транзисторів будуть сталою, зумовлюючи сталість струмів I_B і I_K .

При достатньо якісному ГСС ($R_G \rightarrow \infty$; $\Delta I_0 \rightarrow 0$) зміна потенціалу емітерів не викликає зміни струму I_0 .

Однак в ідеальному ДП синфазний сигнал не впливає на вихідну напругу, тобто підсилення синфазного сигналу не здійснюється.

Тепер нехай на входи ДП надходить диференціальний сигнал, тобто сигнал прикладають між входами підсилувача (рис. 1.19).

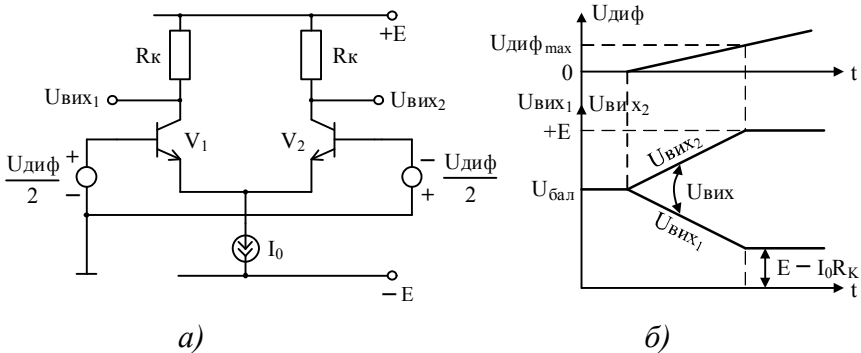


Рисунок 1.19 – ДП із диференціальним сигналом на вході

Це рівносильне тому, що

$$U_{вх1} = \frac{U_{диф}}{2}, U_{вх2} = -\frac{U_{диф}}{2}.$$

Транзистор V_1 відкривається більше, транзистор V_2 дещо закривається.

Струм I_{K_1} збільшується, а I_{K_2} зменшується. Оскільки при якісному ГСС $I_{K_1} + I_{K_2} = I_0 = const$, то зміни колекторних струмів плечей за абсолютним виміром дорівнюють одна одній: $\Delta I_{K_1} = \Delta I_{K_2}$.

Напруга $U_{вих_1} = E - I_{K_1} R_K$ зменшується, напруга $U_{вих_2} = E - I_{K_2} R_K$ збільшується (рис. 1.19 б). Зміна напруги на симетричному виході $U_{вих}$ дорівнює подвійній зміні напруги на кожному з виходів. Потенціал емітерів при подачі диференціального сигналу не зміниться. Зміна вихідних сигналів припиняється, коли транзистор V_2 переходить до режиму відсічки, і весь струм I_0 протікає через V_1 . Проте такий режим є для ДП неприпустимим.

Нормовані залежності струмів через транзистори ДП від величини диференціального сигналу наведені на рисунку 1.20.

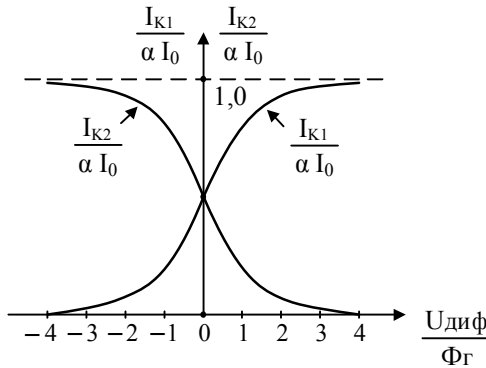


Рисунок 1.20 – Статична передавальна характеристика ДП

Із характеристики випливає, що закривання одного з транзисторів відбувається при абсолютній величині диференціального сигналу $|U_{диф}| = 3\varphi_{\tau} = 0,075 \text{ В}$.

Відтак для забезпечення підсилювального режиму роботи ДП $|U_{\text{диф}}|$ не повинна перевищувати $0,075 \text{ В}$. При цьому ДП працює у лінійному режимі, якщо $|U_{\text{диф}}| \leq 0,025 \text{ В}$.

Таким чином, на синфазну складову ідеальний ДП не реагує, підсилюється лише диференціальний сигнал $U_{\text{диф}} = U_{\text{вх1}} - U_{\text{вх2}}$. При цьому спосіб подавання диференціального сигналу не має значення, важливою є лише його величина. Наприклад, вихідна напруга ДП буде цілком незмінною при таких комбінаціях вхідних сигналів і дорівнюватиме $+5 \text{ мВ}$:

- 1) $U_{\text{вх1}} = 0,005 \text{ В}, U_{\text{вх2}} = 0 \text{ В};$
- 2) $U_{\text{вх1}} = 0 \text{ В}, U_{\text{вх2}} = -0,005 \text{ В};$
- 3) $U_{\text{вх1}} = 2,005 \text{ В}, U_{\text{вх2}} = 2 \text{ В};$
- 4) $U_{\text{вх1}} = -1,4 \text{ В}, U_{\text{вх2}} = -1,405 \text{ В}.$

Особливістю ДП є здатність підсилювати дуже малі диференціальні сигнали на фоні великих синфазних.

Параметри ДП

1 Коефіцієнт підсилення диференціального сигналу при несиметричному виході

$$K_{\text{Днесим}} = \frac{R_K I_0}{4\varphi_T}. \quad (1.6)$$

Коефіцієнт підсилення диференціального сигналу прямо пропорційний величині струму ГСС I_0 .

2 Коефіцієнт підсилення диференціального сигналу при симетричному виході

$$K_{\text{Дсим}} = \frac{R_K I_0}{2\varphi_T}. \quad (1.7)$$

Цей коефіцієнт підсилення удвічі більший за попередній.

3 Вхідний опір ДП щодо диференціального сигналу

$$R_{\text{вх}_{\text{диф}}} = \frac{4\beta\varphi_T}{I_0}. \quad (1.8)$$

4 Коефіцієнт підсилення синфазного сигналу

$$K_{\text{синф}} = \frac{R_K}{2R_i}, \quad (1.9)$$

де R_i – внутрішній опір ГСС.

Для ідеального ДП $R_i \rightarrow \infty$ і $K_{\text{синф}} \approx 0$.

Завдання ДП – повністю подавити синфазну складову сигналу. При симетричному виході у разі, якщо обидва плеча повністю ідентичні, навіть при неідеальному ГСС ($R_i < \infty$), зміни потенціалів колекторів однакові, і синфазний сигнал буде повністю подавлений. При симетричному виході неповне подавлення синфазного сигналу відбувається лише з причини несиметрії плечей ДП.

5 Коефіцієнт ослаблення синфазного сигналу

$$K_{\text{осл.синф}} = 20 \lg \frac{K_{\text{д}}}{K_{\text{син}}} [\text{дБ}]. \quad (1.10)$$

6 Вхідний опір щодо синфазного сигналу

$$R_{\text{вх}_{\text{синф}}} = \beta R_i. \quad (1.11)$$

7 Вихідний опір ДП:

– при несиметричному виході $R_{\text{вх}_{\text{несим}}} \approx R_K$;

– при симетричному виході $R_{\text{вх}_{\text{сим}}} \approx 2R_K$.

8 Точнісні параметри ДП

Характеризують його відмінність від ідеального. У реальному ДП неминуча асиметрія плечей призводить до розбалансування вихідних потенціалів $U_{\text{вих}_1} \neq U_{\text{вих}_2}$.

Цьому розбалансуванню відповідає деякий уявний диференціальний сигнал на вході, який називають *напругою зміщення нуля*:

$$U_{\text{зм}} = \frac{U_{K_2} - U_{K_1}}{K_{\text{Дсим}}}. \quad (1.12)$$

Як правило, $U_{\text{зм}} = 5-10 \text{ мВ}$ і вона залежить від напруги живлення і температури. Для усунення $U_{\text{зм}}$ необхідно на вхід подати диференціальний сигнал, який за модулем дорівнює $U_{\text{зм}}$, але з протилежним знаком.

Появі розбалансуванню колекторних потенціалів сприяє також різниця вхідних струмів $\Delta I_{\text{вх}} = I_{\text{вх}_1} - I_{\text{вх}_2}$.

Значення $U_{\text{зм}}$, $\Delta I_{\text{вх}}$, а також їх дрейф під дією дестабілізуювальних факторів (зміни напруги джерела живлення і температури) визначає **чутливість** і **точність** реального ДП.

1.7 Схемотехніка операційних підсилювачів

Операційні підсилювачі (ОП) – це найбільш поширені у мікросхемотехніці АІС. На базі цих основних схемотехнічних елементів будуються різноманітні підсилювачі, генератори гармонічних та імпульсних сигналів, активні фільтри тощо. Комбінацією кіл зворотних зв'язків можна на базі операційних підсилювачів побудувати велике різноманіття як лінійних, так і нелінійних пристроїв.

ОП – це підсилювач з диференціальним входом, який має дуже великий (до 10^5) коефіцієнт підсилення, широку (від нуля до сотень мегагерц) смугу пропускання, великий (до 1000 МОм) вхідний опір і малий (десятки ом) вихідний опір (рис. 1.21).

На рисунку 1.21 вхід 1 – неінвертуючий, вхід 2 – інвертуючий.

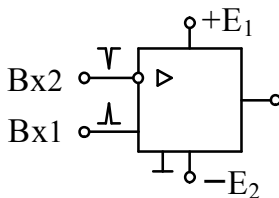


Рисунок 1.21 – Операційний підсилювач

Зміна вихідної напруги ОП протилежна за фазою зміні сигналу на вході 2. Для одержання на виході позитивних і негативних напруг ОП живиться від двох різнополярних джерел живлення $+E_1$ і $-E_2$ (як правило, $E_1 = E_2$). Крім основних, ОП мають ще й допоміжні виводи для під'єднання навісних елементів, за допомогою яких забезпечується балансування підсилювача, а також корекція його частотних характеристик.

За будь-якого способу подачі вхідних сигналів вхідною напругою ОП є різниця вхідних сигналів $\Delta U_{вх} = U_{вх1} - U_{вх2}$, при чому $\Delta U_{вх}$ невелика – одиниці мілівольт, тоді як $U_{вх1}$ і $U_{вх2}$ можуть досягати відносно корпусу кількох вольт. При $\Delta U_{вх} = 0$, $\Delta U_{вих} = 0$.

Існує велика кількість різновидів принципових схем ОП.

Перші операційні підсилювачі будувалися за так званою трикаскадною схемою (рис. 1.22) і містили в собі:

1) вхідний ДП, який забезпечує подавлення синфазного сигналу і порівняно невелике підсилення диференціального сигналу;

2) підсилювач напруги ПН1, що забезпечує основне підсилення сигналу. Це ДП, що являє собою симетричне навантаження для першого ДП і забезпечує перехід від симетричного виходу до несиметричного. Сигнал на виході ПН1 має досить велику постійну складову, яку необхідно

зсунути «вниз» перед тим, як здійснити основне підсилення сигналу і використати практично весь розмах напруги живлення;

3) схему зсуву рівня сигналу;

4) підсилювач напруги ПН2, що має невеликий коефіцієнт підсилення, але забезпечує повне використання напруг джерел живлення;

5) вихідний каскад – підсилювач потужності, який забезпечує добру навантажувальну здатність ОП.

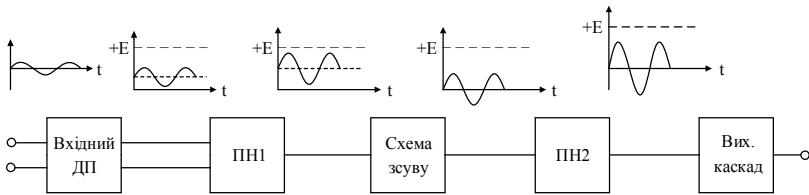


Рисунок 1.22 – Структурна схема трикаскадного ОП

На рисунку 1.23 наведена принципова схема ОП 140УД1. Вхідний ДП виконаний на транзисторах V_1 і V_2 . Емітерні струми транзисторів першого каскаду задаються ГСС, який виконаний на транзисторах V_3 і V_6 і забезпечує високий коефіцієнт подавлення синфазного сигналу. Для збільшення вхідного опору ОП, а також із метою зменшення дрейфових і шумових параметрів ДП значення струму ГСС вибирається малим ($I_0 \approx$ десятки μA), а відтак коефіцієнт підсилення вхідного ДП невеликий (див. формули 1.6 і 1.8). Це зумовлює необхідність застосування наступного підсилювального каскаду ПН1 на транзисторах V_4 і V_5 , на який надходить повний диференціальний сигнал з колекторів V_1 і V_2 . Коефіцієнт підсилення ПН1 – сотні одиниць.

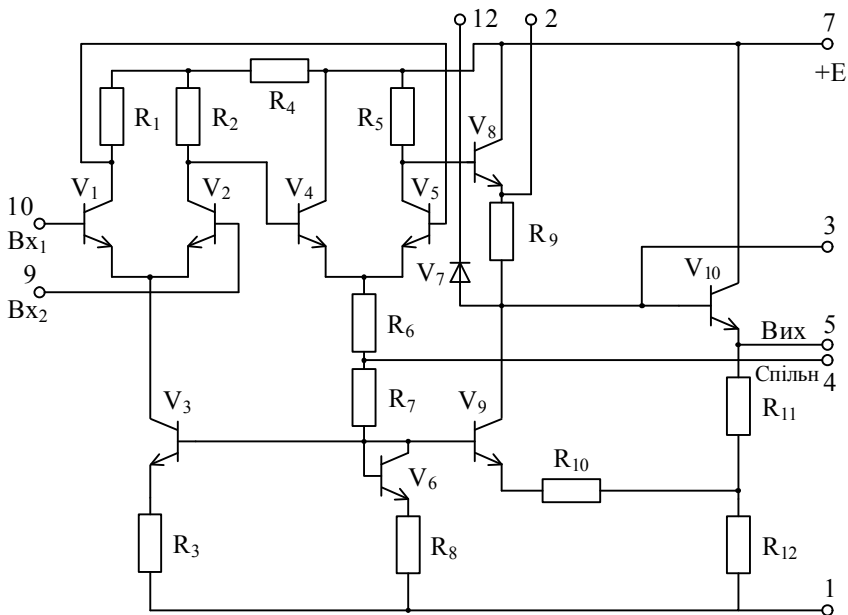


Рисунок 1.23 – Принципова схема операційного підсилювача за трикасодною структурою

Підсилений сигнал із колектора V_5 надходить на схему зсуву рівня (V_8, V_9, V_6), оскільки цей сигнал має досить високий позитивний рівень. У складі схеми зсуву рівня транзистори V_9, V_6 утворюють ГСС. Вихідний касад на транзисторі V_{10} є емітерним повторювачем, охопленим слабким позитивним зворотним зв'язком. Дія цього зворотного зв'язку: сигнал, що знімається з R_{12} як частина вихідної напруги, змінює струм V_9 і, як наслідок, змінює напругу на базі V_{10} , причому ця зміна збігається за фазою з сигналом, що надходить на вхід емітерного повторювача. Коефіцієнт підсилення вихідного каскаду становить величину 2 – 2,5. Таким чином, порівняно зі структурною схемою рисунка 1.22 у ОП 140УД1 функції ПН2 і вихідного каскаду суміщені.

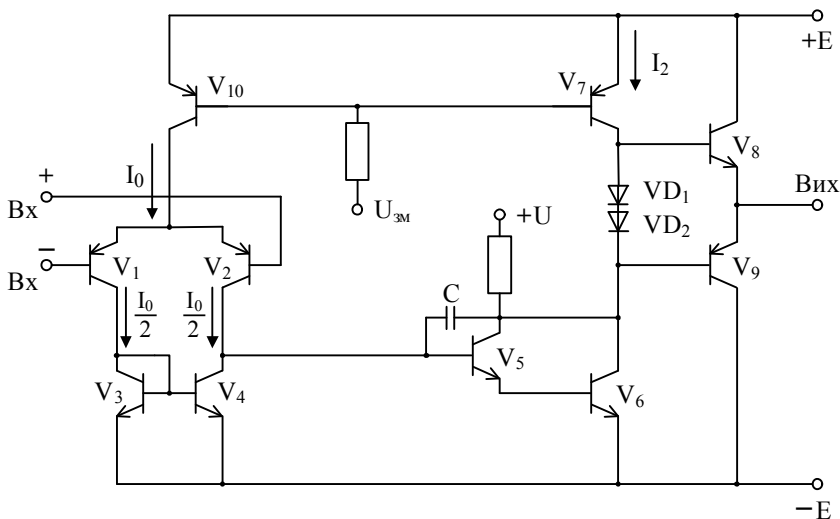


Рисунок 1.24 – Принципова схема операційного підсилювача за двокаскадною структурою

Із середини 80-х років ХХ ст., коли інтегральна технологія дозволила одержувати не лише $n-p-n$ -але і $p-n-p$ -транзистори, ОП почали будувати не за традиційною трикаскадною схемою, а за двокаскадною, яка стала основною (рис. 1.24). У такій схемі за рахунок ускладнення схемотехніки вдалося сумістити функції входного ДП і ПН1 (порівняно з рис. 1.23), тобто забезпечити вже у входному каскаді високий коефіцієнт підсилення. Крім того, використання $n-p-n$ і $p-n-p$ -транзисторів дозволяє обійтися без схеми зсуву рівня. Входний ДП на $p-n-p$ -транзисторах V_1 і V_2 має активні колекторні навантаження ($n-p-n$ -транзистори V_3 , V_4) і живиться від ГСС на V_{10} . Це разом утворює **перший каскад ОП**.

Другий каскад, що здійснює підсилення сигналу, зібраний на складеному транзисторі (V_5-V_6) за схемою зі спільним емітером.

Вихідний каскад є двотактним підсилювачем потужності – повторювачем напруги на комплементарних транзисторах V_8, V_9 (пор. зі схемою рис. 1.13).

Застосування активних навантажень (у першому каскаді – це ГСС на транзисторах V_3, V_4 ; у другому каскаді – ГСС на V_7), які мають великий динамічний опір і є еквівалентами високоомних резисторів, дозволяє навіть при мікроамперних струмах емітерів одержувати підсилення до сотень на кожному каскаді. Це дозволило збільшити коефіцієнт підсилення ОП при зменшенні споживаного ним струму порівняно з традиційною трикаскадною схемою. Додаткова перевага двокаскадного ОП: для здійснення частотної корекції потрібно значно менше елементів, ніж у трикаскадному ОП. Корекцію можна забезпечити за допомогою одного конденсатора C невеликої ємності (навісного або у складі мікросхеми).

1.8 Аналогові інтегральні ключі

Аналогові ключі (АК) застосовуються для комутації аналогових сигналів під дією зовнішніх керувальних імпульсів і повинні забезпечити точну передачу напруг і струмів. АК повинні мати характеристики, наближені до характеристик **ідеального ключа**.

Ідеальний ключ має прямий опір (у замкненому стані) $r_{\text{пр}} = 0$ ($U_{\text{пр}} = 0$), зворотний опір (у розімкненому стані) $r_{\text{зв}} = \infty$ ($I_{\text{зв}} = 0$), максимальна частота перемикання $F_{\text{max}} = \infty$ (нульовий час переходу з одного стану в інший). Реальний ключ має деяку залишкову напругу $U_{\text{пр}}$, деякий залишковий струм, скінченний час перемикання.

Завдання схемотехніки АК – мінімізувати ці параметри. Розрізняють режими *перемикання напруги* (рис. 1.25) і *перемикання струму* (рис. 1.26).

Перший режим застосовується для джерел напруги (в ідеальному випадку $r_i = 0$). У ньому застосовується або простий послідовний ключ (рис. 1.25 а) або перемикач на дві позиції (рис. 1.25 б). Останньому еквівалентний перемикач із двома протифазно керованими ключами K_1 і K_2 (рис. 1.25 в).

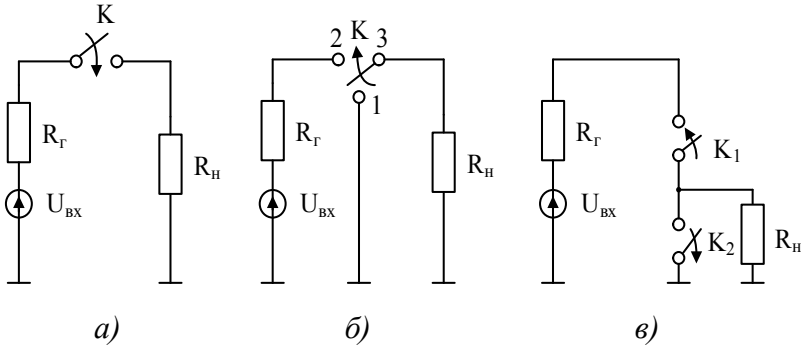


Рисунок 1.25 – Режимы перемикавання напруги

Другий режим – для джерел струму (в ідеальному джерелі $r_i = \infty$). У ньому застосовується або **простий паралельний ключ** (рис. 1.26 а), або **перемикач на дві позиції** (рис. 1.26 б), якому еквівалентний перемикач (рис. 1.26 в) з двома протифазно керованими ключами K_1 і K_2 .

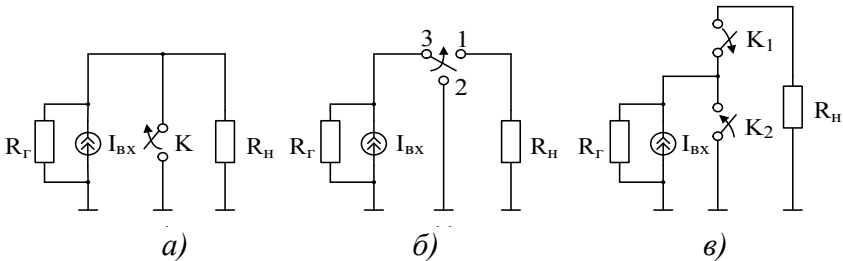


Рисунок 1.26 – Режимы перемикавання струму

Для джерела струму режим холостого ходу неприпустимий, при розриві кола реальне джерело струму виходить із нормального режиму. Тому для комутації струму завжди необхідно забезпечити шлях протікання струму. Використовувати струмові ключі для комутації джерела напруги не можна (режим короткого замикання для джерела напруги недопустимий).

Аналогові ключі будуються на діодах, біполярних транзисторах і МОН-транзисторах.

1.8.1 Діодні аналогові ключі

Діоди є прикладом реальних ключів ($r_{пр} \neq 0$, $U_{пр} = 0,7-0,8 \text{ В}$; $r_{зв} < \infty$, $I_{зв} > 0$). Наявність у них залишкових напруг і струмів унеможливають застосування поодиноких діодів у схемах перемикачів напруг, критичних до ненульових прямих і зворотних струмів, і тому в цих перемикачах застосовуються диференціальні (мостові) ключові схеми, в яких неідеальність одного вентиля компенсується неідеальністю іншого.

Найпоширенішим діодним ключем напруги є мостовий ключ рисунка 1.27.

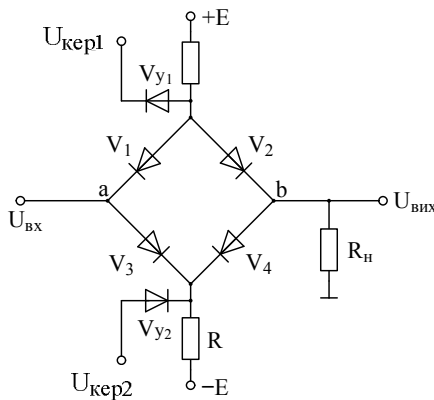


Рисунок 1.27 – Діодний ключ напруги

Цей АК керується двома напругами $U_{кер_1}$, $U_{кер_2}$ протилежного знака. Якщо ці напруги достатньої величини і $U_{кер_1} > 0$, а $U_{кер_2} < 0$, то діоди V_{y_1} і V_{y_2} закриті. Діоди моста $V_1 - V_4$ перебувають у відкритому стані, через них протікають прямі струми від $+E$ до $-E$.

При повністю симетричній схемі моста потенціали точок a і b будуть рівними, тобто $U_{вих} = U_{вх}$, що рівноцінно короткому замиканню між входом і виходом АК.

Якщо змінити полярність керувальних напруг $U_{кер_1} < 0$, $U_{кер_2} > 0$, то діоди V_{y_1} і V_{y_2} відкриваються, а діоди моста $V_1 - V_4$ закриються. Вихід АК буде відділений від входу великими опорами, і цей стан відповідає розімкненому ключу.

Наведений на рисунку 1.27 АК використовується в діодних перемикачах інтегральних схем 265 КН1 і 228КН1 (у колах керування додатково вмикають каскади на біполярних транзисторах).

1.8.2 Аналогові ключі на біполярних транзисторах

Цей клас ключів застосовується як для комутації напруги, так і для комутації струму. В ключах напруги використовується зустрічне вмикання біполярних транзисторів, яке при режимі насичення приладів забезпечує мінімальну залишкову напругу $U_{КЕН}$ (рис. 1.28).

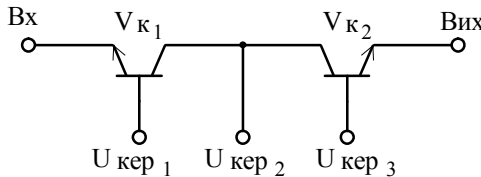


Рисунок 1.28 – АК на біполярних транзисторах

Сигнал, що комутується, подається між емітерами транзисторів, а керувальна – між базами і колекторами. Зустрічне вмикання транзисторів V_{K_1} і V_{K_2} забезпечує мінімізацію залишкової напруги, оскільки $U_{зал} = U_{КЕН_1} - U_{КЕН_2}$. Проте прямий опір перемикача стає удвічі більшим, ніж при застосуванні поодинокого транзистора. Така схема застосовується в мікросхемах серій 101, 124, 162, 743, 762.

На рисунку 1.29 наведена принципова схема АК зі схемами керування, які, побудовані на транзисторах V_1 і V_2 , є, по суті, ГСС.

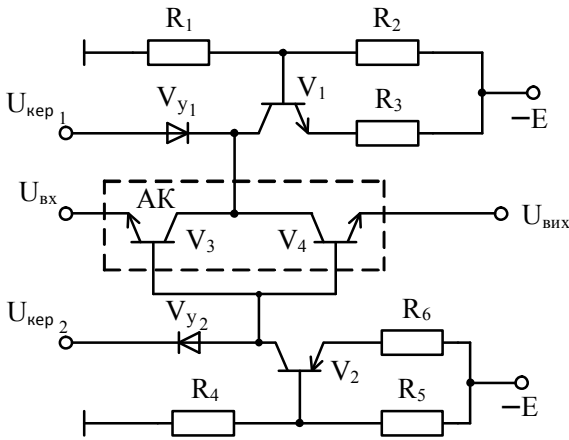


Рисунок 1.29 – АК зі схемами керування

Якщо $U_{кер_1} < 0$, $U_{кер_2} > 0$, то транзистори V_3 і V_4 перемикача переходять до режиму насичення за рахунок колекторних струмів V_1 і V_2 . При зміні полярності керувальних напруг ($U_{кер_1} > 0$, $U_{кер_2} < 0$) струми транзисторів V_1 і V_2 відгалужуються через відкриті діоди V_{y_1} і V_{y_2} в коло керування, і транзистори перемикача V_3 і V_4 переходять у режим відсічки, забезпечуючи розімкнений стан АК.

Час комутації таких АК – 0,5 мкс, прямий опір $r_{пр} = 100 \text{ Ом}$, пряма залишкова напруга – соті частки мілівольт, допустимий струм, що комутується, – десятки міліампер. Розглянуті діодні і транзисторні АК належать до I-покоління.

1.8.3 Аналогові ключі на МОН-транзисторах

Переваги комутаторів на МОН-транзисторах перед АК на біполярних транзисторах:

1 Відсутність $p-n$ -переходів на шляху витік – стік виключає зсув рівня передаваного сигналу, як це має місце в АК на біполярних транзисторах.

2 За рахунок дуже великого вхідного опору МОН-транзистора керування здійснюється не струмом, а напругою, і це усуває необхідність застосування трансформатора розв'язки на вході керування, як це має місце в АК на біполярних транзисторах.

Недолік комутаторів на МОН-транзисторах: необхідність достатньо великої амплітуди керувального сигналу (для одержання малого опору $r_{пр}$ відкритого транзистора).

До другого покоління ІМС аналогових ключів належать серії 168, 190, виконані на МОН-транзисторах з індукованим p -каналом. Такі АК багатоканальні, оскільки МОН-транзистори можуть забезпечити високу щільність пакування. Наприклад, в ІМС К1КТ682 (рис. 1.30) міститься чотири ключі, а в мікросхемах серії К190 – чотири або п'ять ключів.

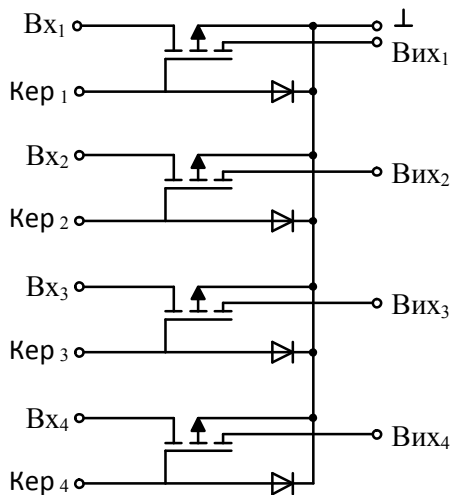


Рисунок 1.30 – АК на МОН транзисторах

Характеристики 168 серії: $r_{пр} \leq 100 \text{ Ом}$, $t_{вкл} \leq 0,3 \text{ мкс}$, $t_{вкл} \leq 0,7 \text{ мкс}$. Імпульси керування – негативні з амплітудою 15 – 20 В. Недолік серій 168 і 190 – несумісність вихідних сигналів ТТЛ схем із вхідними рівнями керування p -канальними МОН-ключами.

Цей недолік долається в ІМС АК третього покоління (серії 143, 176, 590). У складі цих серій використовуються внутрішні формувачі керувальних імпульсів – із метою узгодження з ТТЛ схемами. Наприклад, ІМС К143КТ1 містить у собі два незалежних МОН ключа і два пристрої керування (ПК) – формувачі (рис. 1.31).

Опір ключа в увімкненому стані $r_{пр} \leq 150 \text{ Ом}$. Пристрої керування ПК1 і ПК2 забезпечують закритий стан ключів при керуючій напрузі від $-1,2 \text{ В}$ до $+0,45 \text{ В}$ (логічний "нуль"). Відкриваються ключі при подачі на ПК напруги логічної "одиниці" від $-2,6 \text{ В}$ до $+5,5 \text{ В}$.

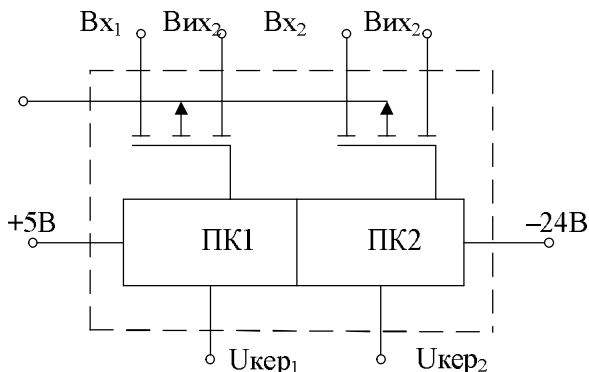


Рисунок 1.31 – МОН-ключі з формувачами

1.9 Інтегральні компаратори

Компаратори (пристрої порівняння) призначені для визначення моменту рівності двох напруг, однієї постійної (як правило), другої – змінної. У момент рівності цих напруг на виході компаратора повинен формуватися крутий перепад напруги (фронт імпульсу).

Найпростіший компаратор – це операційний підсилювач без негативного зворотного зв'язку, оскільки він із великим коефіцієнтом підсилення підсилює різницеву напругу $\Delta U_{\text{вх}} = U_{\text{вх}}^+ - U_{\text{вх}}^-$.

На рисунку 1.32 зображені схема найпростішого компаратора (а), його статична передавальна характеристика (б) і діаграми напруг, що ілюструють його роботу (в).

Точність порівняння напруг U_c і $U_{\text{оп}}$ буде тим більшою, чим вужча лінійна ділянка СПХ за входом $\Delta U_{\text{л}}$, тобто точність залежить від крутизни зміни $U_{\text{вих}}$ компаратора. Цю крутизну можна підвищити, застосовуючи т. зв. *регенеративний компаратор* – операційний підсилювач, охоплений слабким позитивним зворотним зв'язком.

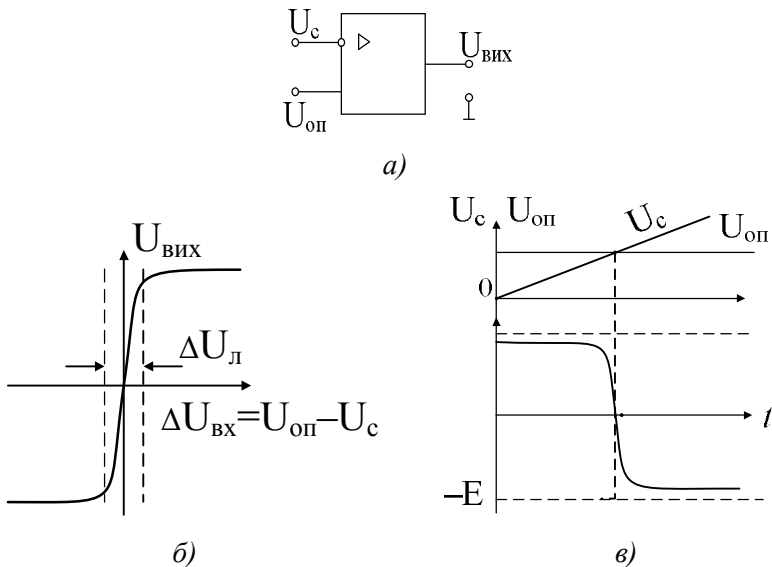


Рисунок 1.32 – Найпростіший компаратор

Рівні вихідної напруги компараторів на ОП несприйнятні для роботи з цифровими ТТЛ-схемами. Для перетворення рівнів вихідної напруги ОП до рівнів, що забезпечують нормальне функціонування ТТЛ-схем, на виході ОП вмикають простий ланцюжок R , VD_1 , VD_2 і $U_{зм}$. При $U_{вих} = U_{вих}^+$ діод VD_2 закритий, діод VD_1 відкритий. Останній фіксує $U_{вих} = U^1$ на рівні $U_{зм} = +3...+5\text{ В}$. При $U_{вих} = U_{вих}^-$ діод VD_1 закритий, VD_2 – відкритий, і останній фіксує $U_{вих} = U^0$ на рівні, близькому до нуля.

Крім описаних, існують і спеціалізовані інтегральні компаратори, виконані у вигляді єдиної АІС із мінімумом навісних елементів і придатні до безпосереднього введення сигналів у цифрові пристрої.

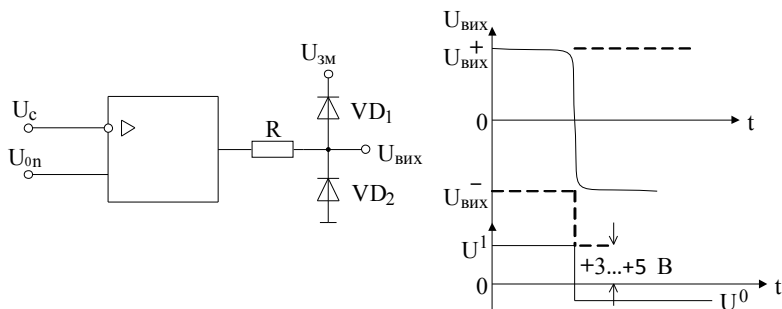


Рисунок 1.33 – Компаратор із цифровим виходом

Фактично, такі інтегральні компаратори – це спеціалізовані ОП із двома входами і поодиноким або парафазним цифровим виходом, який видає сигнал логічного «нуля» або логічної «одиниці» залежно від знака різниці $\Delta U = U_{\text{оп}} - U_c$. Як правило, такі компаратори складаються з одного або двох диференціальних підсилювачів, емітерного повторювача, стабілізованого каскаду зсуву рівня і кола обмеження вихідного сигналу. Найпоширеніші інтегральні компаратори – це АІС 521СА1, 521СА2.

Принципова схема компаратора 521СА2 наведена на рисунку 1.34. Перший диференціальний каскад зібраний на транзисторах V_1 і V_4 і живиться від ГСС на транзисторі V_5 . R_1 , R_4 – резистори навантаження першого диференціального каскаду; R_7 , V_{10} , R_8 – коло зміщення ГСС на транзисторі V_5 . Транзистор V_9 виключає вплив вихідного кола на зміщення ГСС (базу V_9 під'єднують безпосередньо до корпусу). Другий диференціальний каскад зібраний на транзисторах V_3 , V_6 з резисторами навантаження R_2 , R_3 і R_6 . Стабілітрон $V_{\text{ст}1}$ має опірну напругу $+6,2\text{ В}$ і фіксує потенціал баз V_3 і V_6 на рівні приблизно $+6,9\text{ В}$.

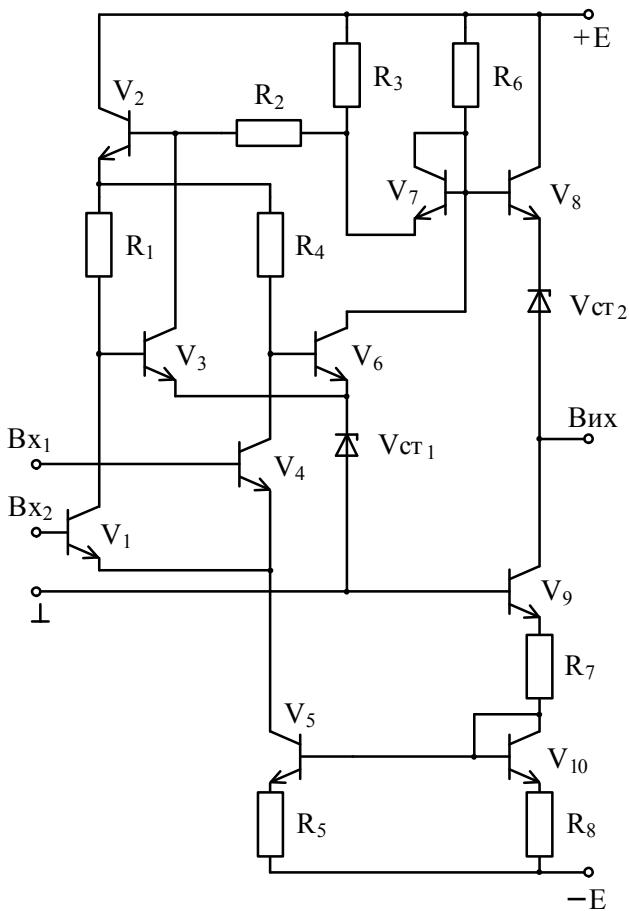


Рисунок 1.34 – Спеціалізований інтегральний компаратор

Тому допустимий сигнал на входах компаратора може наблизитися до 7 В . Напряга з виходу другого диференціального каскаду надходить на емітерний повторювач на транзисторі V_8 , який забезпечує необхідну навантажувальну здатність. Стабілітрон $V_{ст2}$ в емітерному колі V_8 зсуває рівень вихідного сигналу «вниз» на $6,2\text{ В}$, щоб узгодити його з входами цифрових ТТЛ-схем.

Транзистор у діодному режимі V_7 обмежує розмах вихідного сигналу в позитивній області (при $U_{вих} > +4 B$ транзистор V_7 відкривається і замикає накоротко диференціальний вихід другого каскаду). Таким чином, вихідна напруга не може зменшитися нижче рівня $-0,7...-0,8 B$ (напруги на прямозміщеному колекторному переході транзистора V_9 у режимі насичення) і перевищити $+4 B$ (за рахунок дії транзистора V_7). Тому вихідні рівні напруг компаратора ($U^0 = -1...0 B$, $U^1 = +2,4...+4 B$) цілком сумісні з ТТЛ-схемами.

2 Схемотехніка цифрових інтегральних мікросхем

2.1 Загальна характеристика інтегральних логічних елементів

Цифрові інтегральні схеми (ЦІС) – це такі інтегральні схеми, за допомогою яких перетворюються і обробляються дискретні сигнали, виражені у двійковому або іншому цифровому коді, і які призначені для роботи в різноманітних електронних вузлах і системах.

До ЦІС належать логічні елементи, тригери, регістри, суматори, лічильники, шифратори, дешифратори, арифметико-логічні пристрої, АЦП, ЦАП, різні схеми пам'яті тощо.

Логічні елементи, як відомо, реалізують такі логічні операції:

- логічне заперечення (інверсія, операція *НЕ*);
- логічне множення (кон'юнкція, операція *І*);
- логічне додавання (диз'юнкція, операція *АБО*);
- операція *І-НЕ* $y = x_1 \cdot x_2 \cdot \dots \cdot x_n$;
- операція *АБО-НЕ* $y = x_1 + x_2 + \dots + x_n$.

Із цих елементів саме елементи *І-НЕ* та *АБО-НЕ* є базовим: в алгебрі логіки доведено, що для побудови цифрових систем будь-якої складності достатньо мати в наборі лише однотипні елементи *І-НЕ* або *АБО-НЕ*. А тому для цифрової мікросхемотехніки найбільш важливим і першочерговим є знання принципів побудови і функціонування саме базових логічних елементів (БЛЕ). Це знання дозволяє потім засвоїти й більш функціонально складні ЦІС. Електричні параметри БЛЕ визначають характеристики практично всіх ЦІС, що входять до складу спільної з цим базовим елементом серії.

Класифікація інтегральних логічних елементів

За видом логічної операції, що реалізується в них, розрізняють:

– ІЛЕ одноступеневої логіки (*НЕ*, *I*, *АБО*, *I–НЕ*, *АБО–НЕ*);

– ІЛЕ двоступеневої логіки (*I–АБО*, *I–АБО–НЕ*).

За способом подання цифрових сигналів ІЛЕ поділяються на:

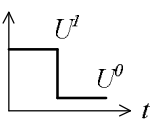
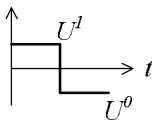
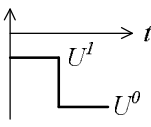
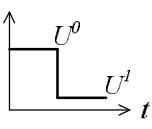
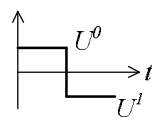
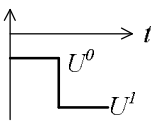
– *потенціальні*, в яких значення логічних 0 і 1 подані двома рівнями електричного потенціалу – низьким і високим;

– *імпульсні*, в яких значення 0 і 1 свідчать про відсутність і наявність імпульсів певної тривалості і амплітуди.

За типом елементів, з яких побудовані ІЛЕ, розрізняють: логічні елементи транзисторно-транзисторної логіки (ТТЛ), логічні елементи емітерно-зв'язаної логіки (ЕЗЛ), логічні елементи на МОН (КМОН)-структурах, логічні елементи інтегральної інжекційної логіки ($I^2\Lambda$).

Потенціальні логічні елементи функціонують за позитивною і негативною логікою (табл. 2.1).

Таблиця 2.1

Вид логіки	Полярність напруги джерела живлення		
	+	два джерела	–
Позитивна			
Негативна			

Характеристики і параметри базових логічних елементів

Основні характеристики та електричні параметри БЛЕ визначають характеристики і параметри всіх ЦІС даної серії. Від цих параметрів залежать можливості сумісної роботи ЦІС різних серій у складі електронної техніки.

Основна характеристика БЛЕ – це статична передавальна характеристика (СПХ).

СПХ – це залежність потенціалу на виході ЛЕ від потенціалу на одному з його входів: $U_{вих} = f(U_{вх_i})$ при $U_{вх_j} = const (j \neq i)$. За типом СПХ логічні елементи поділяють на: інвертувальні (HE , $I-HE$, $АБО-HE$) і неінвертувальні (I , $АБО$ і т. д.).

Схеми зняття СПХ БЛЕ показані на рисунку 2.1.

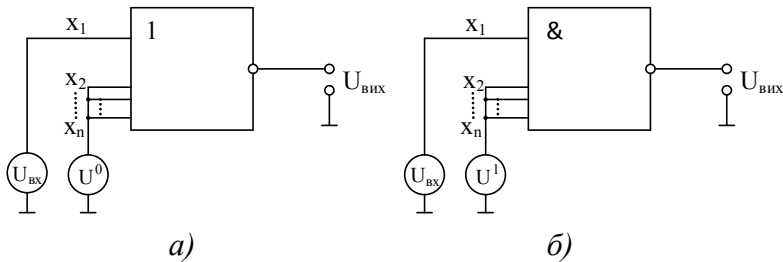


Рисунок 2.1 – Схеми зняття СПХ-елементів:
а) АБО-НЕ ; б) І-НЕ

Вигляд типової СПХ інвертувального ЛЕ показаний на рисунку 2.2.

Характеристика має три виразні ділянки:

I – $U_{вих} = U^1$ (режим відсічки).

II – $U_{вих} = U^0$ (режим насичення).

III – перехідний стан (активна область ΔU).

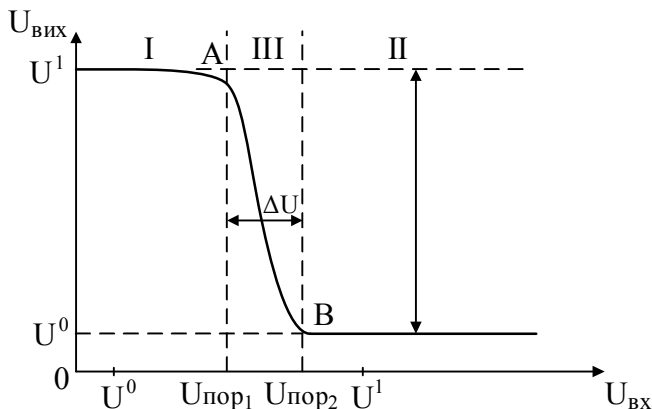


Рисунок 2.2 – СПХ інвертувального логічного елемента

За СПХ можна визначити: значення логічних рівнів U^0 , U^1 ; величину логічного перепаду $U_{m_{вих}} = U^1 - U^0$; значення порогів перемикавання (меж ділянок) $U_{пор1}$ і $U_{пор2}$; ширину активної області $\Delta U = U_{пор2} - U_{пор1}$; статичну завадостійкість ЛЕ – максимально допустиму величину завади, що не викликає фальшивого спрацювання або збою ЛЕ.

Максимально допустима вхідна позитивна (відкривальна) завада ЛЕ:

$$U_{m_{зав}}^+ = U_{пор1} - U^0.$$

Максимально допустима негативна (закривальна) завада за входом ЛЕ:

$$U_{m_{зав}}^- = U^1 - U_{пор2}.$$

У базових логічних елементах показник $U_{m_{зав}} = 0,1-0,3B$ відповідає низькій завадостійкості, а $U_{m_{зав}} = 0,7-1,0B$ – високій завадостійкості.

Розглянемо деякі параметри БЛЕ.

1 Швидкодія

Базові ЛЕ побудовані, як правило, на основі транзисторних ключових схем. Їх інерційність породжена процесами накопичення і розсмоктування зарядів у базі, розряду – заряду паразитних ємностей тощо. Тому при проходженні цифрових сигналів (перепадів потенціалів) через кілька послідовно з'єднаних ЛЕ спостерігається «розтягнення» фронтів імпульсів і часова затримка перепадів (рис. 2.3). На рисунку 2.3 t_3^{10} – час затримки ввімкнення ЛЕ (при переході від U^1 до U^0); t_3^{01} – час затримки вимкнення ЛЕ (при переході від U^0 до U^1).

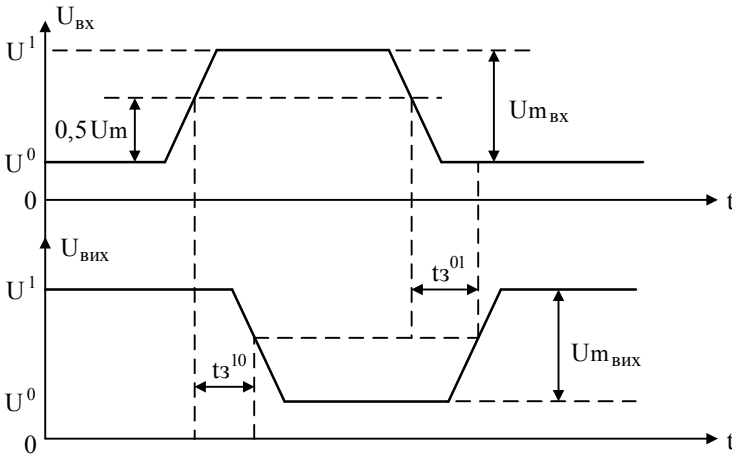


Рисунок 2.3 – Часові діаграми вхідного і вихідного сигналів ЦІС

$$\text{Середній час затримки } t_{3\text{сеп}} = \frac{t_3^{10} + t_3^{01}}{2} \text{ [нс].}$$

Залежно від цього параметра логічні елементи поділяють на надшвидкодійні ($t_{з\text{сер}} < 5 \text{ нс}$), швидкодійні ($t_{з\text{сер}} = 5-10 \text{ нс}$) і середньої швидкодії ($t_{з\text{сер}} = 10-15 \text{ нс}$).

2 Споживана потужність

Потенціальні ЛЕ у стані логічного нуля U^0 (у відкритому стані) споживають потужність $P_{\text{спож}}^0$, у стані логічної одиниці U^1 (у закритому стані) – $P_{\text{спож}}^1$, а в режимі перемикання (динамічному режимі) $P_{\text{спож.дин}}$. Якщо у перехідному режимі $P_{\text{спож.дин}} = 0$, то середня потужність, що споживається від джерела живлення:

$$P_{\text{сер}} = \frac{P_{\text{спож}}^1 + P_{\text{спож}}^0}{2}.$$

Залежно від цього параметра логічні елементи поділяються на потужні ($P_{\text{сер}} = 50-100 \text{ мВт}$), середньої потужності ($P_{\text{сер}} = 20-50 \text{ мВт}$), малої потужності ($P_{\text{сер}} = 1-20 \text{ мВт}$), мікроватні ($P_{\text{сер}} < 1 \text{ мВт}$).

3 Коефіцієнт об'єднання за входом $K_{\text{об}}$

Коефіцієнт визначає максимальну кількість входів ЛЕ (рис. 2.4).

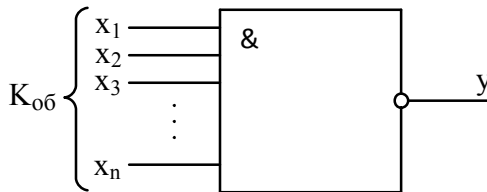


Рисунок 2.4 – Коефіцієнт об'єднання за входом

Для сучасних ЛЕ $K_{об} = 2-8$ (елемент I), $K_{об} = 2-4$ (елемент $АБО$). З метою збільшення кількості входів у деяких ЛЕ, що входять до певної серії, передбачені входи для увімкнення *схеми розширення логіки* (розширювача логіки цієї серії), і тоді досягається $K_{об} \geq 10$.

4 Коефіцієнт розгалуження за виходом $K_{роз}$

Цей коефіцієнт визначає *навантажувальну здатність* ЛЕ, яка виражається у кількості аналогічних ЛЕ, що можуть бути під'єднані до виходу даного ЛЕ без порушення нормальної роботи останнього. Чим більше $K_{роз}$, тим ширші можливості застосування ЛЕ, менше число корпусів ІС у цифровій схемі. Проте, з іншого боку, це призводить до зниження швидкодії, завадостійкості, збільшення споживаної потужності ЛЕ. Тому до складу серій ЦІС разом з основним БЛЕ ($K_{роз} = 4-10$) включають потужні буферні ЛЕ з $K_{роз} = 20-30$. Це забезпечує оптимізацію числа корпусів ІС і величини споживаної потужності $P_{сер}$.

5 Робота перемикачів ЛЕ

Це узагальнювальний параметр, що характеризує схемотехнічну і конструктивно технологічну якість ЦІС

$$A_{перем} = P_{сер} t_{зсер} \text{ [Дж]}.$$

Ця величина показує, за рахунок якої споживаної потужності можна забезпечити потрібну швидкодію. Для сучасних ЦІС

$$A_{перем} = (0,01-1,0) \cdot 10^{-12} \text{ Дж}.$$

6 Напряга джерела живлення E

Вибирається з огляду:

а) забезпечення прийнятних енерговитрат (для цього необхідно зменшувати E);

б) забезпечення завадостійкості і навантажувальної здатності (для цього необхідно збільшувати E).

Стандартний ряд напруг живлення для ЦІС:

1,2; 1,6; 2,0; 2,4; 3,0; 4,0; 5,0; 6,0; 9,0; 12,6; 27 В.

Для ЦІС на біполярних транзисторах $E = 4-5 В$.

Для ЦІС на МОН-транзисторах $E = 5-9 В$.

7 Допустимий діапазон температур для сучасних напівпровідникових ЦІС $-60...+125\text{ }^{\circ}\text{C}$ (як для кремнієвих напівпровідникових приладів).

2.2 Принципи схемотехніки базових логічних елементів

Унаслідок дворівневого кодування цифрових сигналів найважливішим схемотехнічним елементом в БЛЕ є т. зв. *потенціальні інвертори* (ПІ). Основне завдання ПІ є інвертування вхідного потенціалу. Крім того, він є підсилювачем – нормувачем сигналів, що пройшли обробку в логічних схемах.

Схеми ПІ будуються на основі підсилювального каскаду і розрізняються одна від одної схемами керування струмами транзисторів, типом транзисторів, а також навантаженням у колі колектора (стоку). Схеми ПІ на біполярних транзисторах побудовані за принципом перемикавання струму з однієї гілки кола на іншу (без зміни величини струму) під дією вхідного сигналу. Залежно від того, в якій гілці кола здійснюється перемикавання, розрізняють: перемикачі базового струму, перемикачі емітерного струму.

Крім ПІ на біполярних транзисторах, широко застосовується в ЦІС ПІ на МОН-транзисторах.

Розглянемо принципи будови та функціонування кожного з видів цих потенціальних інверторів окремо.

2.2.1 Потенціальні інвертори з перемикання базового струму

Схема (рис. 2.5) розроблена спеціально для інтегральних ТТЛ-елементів, на дискретних елементах вона не застосовується.

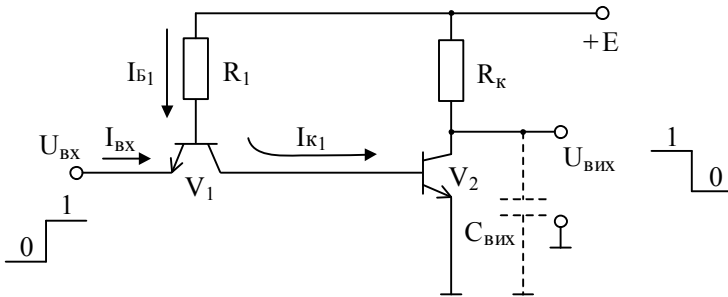


Рисунок 2.5 – Потенціальний інвертор із перемикання базового струму

Склад схеми. V_1 – вхідний (керувальний) транзистор $n-p-n$ -типу; R_1 – базовий опір транзистора V_1 ; R_K – колекторний опір транзистора V_2 ; V_2 – вихідний транзистор $n-p-n$ -типу. У схемі співвідношення опорів $R_K < R_1$. Вхідні і вихідні сигнали набувають таких значень: $U^1 \approx E$, $U^0 \approx 0$.

Принцип дії

1 Нехай на вхід ІІ надходить

$$U_{вх} = U^1 \approx E.$$

Тоді потенціал емітера транзистора V_1 стає вищим від потенціалу бази $\varphi_{E_{V_1}} > \varphi_{B_{V_1}}$ (за рахунок спаду напруги на R_1), а потенціал колектора V_1 (бази V_2) ще нижче (частки вольтів).

Отже, у транзисторі V_1 напруга $U_{BE} < 0$, $U_{BK} > 0$, тобто емітерний перехід зміщений зворотно, а колекторний перехід – прямо. Транзистор V_1 перебуває в інверсному режимі: колекторний перехід інжектує, емітерний – екстрагує носії, утворюючи $I_{E1} = I_{ex}$. Джерело живлення «+E» створює базовий струм I_{B1} , який протікає по колу «+E» → R_1 → *відкритий колекторний перехід* V_1 → база V_2 → *емітер* V_2 → *корпус*. Транзистор V_2 переходить до режиму насичення, і вихідна напруга схеми $U_{вих} = U_{КЕНV_2} \approx 0$, тобто відповідає логічному «нулю».

2 Нехай на вхід ПІ надходить

$$U_{ex} = U^0 \approx 0.$$

Тоді потенціал емітера V_1 буде нижчим від потенціалу бази $\varphi_{EV_1} < \varphi_{BV_1}$. Емітерний перехід V_1 зміщується прямо. Обидва переходи транзистора V_1 відкриті, і V_1 переходить до режиму насичення. Базовий струм I_{B1} відгалужується від колекторного переходу V_1 до емітерного переходу (перемикається до емітерного кола). Внаслідок цього базовий струм I_{B2} транзистора V_2 різко зменшується, і цей прилад переходить до режиму відсічки. Вихідна напруга схеми

$$U_{вих} = U^1 \approx E.$$

Таким чином, інвертування вхідного сигналу в цій схемі здійснюється внаслідок перемикавання базового струму I_{B1} або до вхідного (емітерного) кола транзистора V_1 (при $U_{ex} = U^0$), або до бази транзистора V_2 (при $U_{ex} = U^1$). Це, в свою чергу, приводить до вимикання або вмикання транзистора V_2 .

Недоліки схеми: наявність вхідного струму I_{ex} при $U_{ex} = U^1$, що приводить до зменшення рівня високого потенціалу на вході і відтак обмежує навантажувальну здатність попередньої схеми; порівняно невисока швидкодія (істотний вплив паразитної ємності $C_{вих}$).

Схема рисунка 2.5 – ПІ з перемикання базового струму – застосовується в інтегральних ТТЛ-елементах.

2.2.2 Потенціальні інвертори з перемикання емітерного струму

Схема потенціального інвертора з перемикання емітерного струму ϵ , по суті, диференціальний каскад, що працює у ключовому режимі (рис. 2.6).

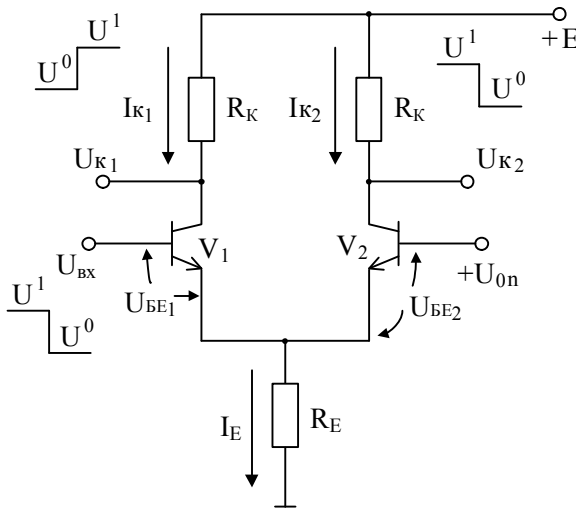


Рисунок 2.6 – Потенціальний інвертор із перемикання емітерного струму

Склад схеми V_1, V_2 – пара ідентичних за параметрами транзисторів (V_1 – вхідний, V_2 – опірний); $U_{оп}$ – джерело опірної напруги; $R_{K_1} = R_{K_2} = R_K$; R_E – спільне для V_1 і V_2 емітерне навантаження, що забезпечує емітерний зв'язок між V_1 і V_2 ; E – джерело живлення.

Принцип дії

1 Нехай до баз V_1 і V_2 прикладені однакові напруги $U_{вх} = U_{оп}$. Обидва транзистори працюють в активному режимі, і внаслідок ідентичності плечей диференціального каскаду через них протікають однакові струми:

$$I_{E_1} = I_{E_2} = \frac{I_E}{2}.$$

В активному режимі $I_K \approx I_E$ ($I_B \approx 0$), і вихідні напруги будуть однакові:

$$U_{K_1} = U_{K_2} = E - \frac{I_E}{2} R_K.$$

Статичні передавальні характеристики $U_{K_1} = f(U_{вх})$ і $U_{K_2} = f(U_{вх})$ подані на рисунку 2.7. Описаному стану схеми відповідає т. А (початковий стан робочої точки).

2 Нехай на вхід поданий сигнал $U_{вх} = U^1 > U_{оп}$.

Процеси в схемі рисунка 2.6 проходять так:

$$U_{вх} \uparrow \rightarrow U_{BE_1} \uparrow \rightarrow I_{E_1} \uparrow \rightarrow I_{K_1} \uparrow \rightarrow U_{K_1} \downarrow \rightarrow \\ \rightarrow U_{RE} \uparrow \rightarrow U_{BE_2} \downarrow \rightarrow I_{E_2} \downarrow \rightarrow I_{K_2} \downarrow \rightarrow U_{K_2} \uparrow.$$

Відбувається перерозподіл емітерного струму I_E на користь I_{E_1} , внаслідок чого транзистор V_1 ще більше відкривається (залишаючись в активному режимі), а транзистор V_2 закривається і переходить до режиму відсічки (точка В на СПХ рисунка 2.7).

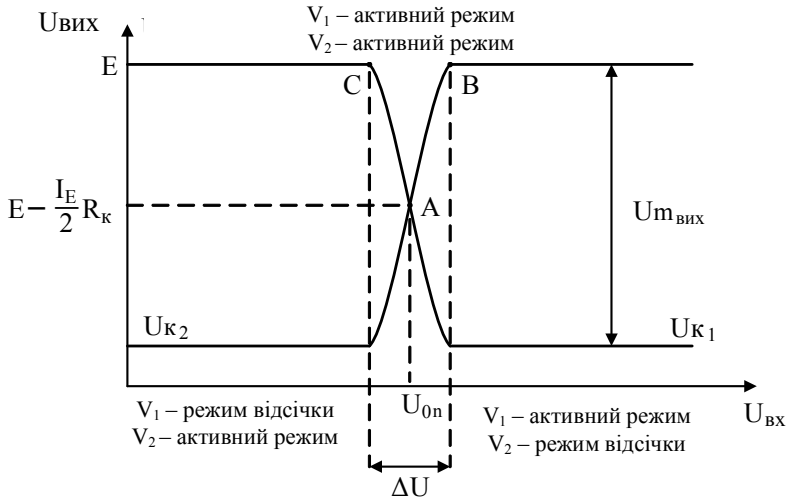


Рисунок 2.7 – СПХ плечей схеми $U_{K1} = f(U_{вх}), U_{K2} = f(U_{вх})$

Із виходів ПІ знімають такі потенціали:

$$U_{вих1} = U_{K1} = U^0 < E,$$

$$U_{вих2} = U_{K2} = U^1 = E.$$

З Нехай на вхід ПІ поданий сигнал $U_{вх} = U^0 < U_{оп}$.

Процеси в схемі проходять так:

$$U_{вх} \downarrow \rightarrow U_{BE1} \downarrow \rightarrow I_{E1} \downarrow \rightarrow I_{K1} \downarrow \rightarrow U_{K1} \uparrow \rightarrow$$

$$\rightarrow U_{RE} \downarrow \rightarrow U_{BE2} \uparrow \rightarrow I_{E2} \uparrow \rightarrow I_{K2} \uparrow \rightarrow U_{K2} \downarrow.$$

Внаслідок цього емітерний струм I_E перерозподілиться на користь I_{E2} , через що транзистор V_1 закривається, переходить до режиму відсічки (точка C на СПХ рисунка 2.7), а V_2 – більше відкривається і залишається в активному режимі.

На виходах ПІ встановлюються такі потенціали:

$$U_{вих_1} = U_{K_1} = U^1 \approx E, \quad U_{вих_2} = U_{K_2} = U^0 < E.$$

Такий ПІ називається *перемикачем струму*. Він дозволяє водночас на колекторі V_1 одержати інвертований, а на колекторі V_2 неінвертований сигнал (стосовно вхідного сигналу).

Властивості схеми перемикача струму:

1) перемикання схеми відбувається в зоні активного режиму, ширина якої невелика і становить $\Delta U = 0,15-0,2 \text{ В}$. Тому для керування перемикачем струму потрібні малі перепади потенціалу (десяті частки вольт);

2) перемикач струму характеризується високою швидкістю перемикання внаслідок роботи транзисторів в активному режимі за відсутності розсмоктування і накопичення неосновних носіїв у базах.

2.2.3 Потенціальні інвертори на МОН-транзисторних структурах

Загальний недолік розглянутих схем ПІ на біполярних транзисторах (рис. 2.5 і 2.6) полягає в такому. Функцію навантаження у них виконує резистор R_K , що має високу лінійність, але інтегральне виготовлення якого стикається з технологічними труднощами. Цей недолік подоланий у потенціальних інверторах на МОН-транзисторах. У схемотехніці ЛЕ найбільш поширені МОН-структури з індуктованим p -каналом.

2.2.3.1 Потенціальний інвертор на одноступінних МОН-структурах

Схема ПІ на МОН-транзисторах з індукованим каналом p -типу зображена на рисунку 2.8 а.

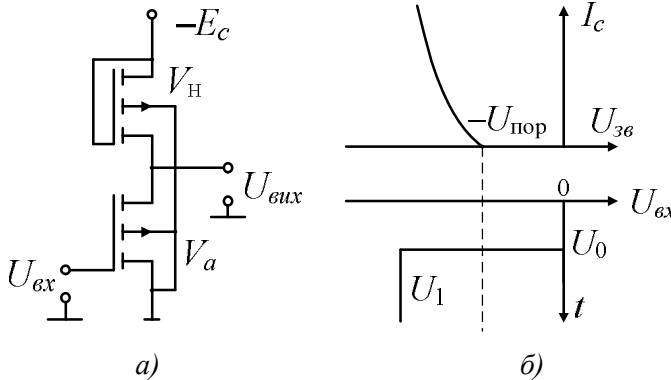


Рисунок 2.8 – Потенціальний інвертор на МОН-структурах

Склад схеми. V_a – активний (комутувальний) транзистор; V_H – навантажувальний транзистор (еквівалент опору навантаження). Вхідний сигнал подається на затвор V_a , а вихідний знімається з точки з'єднання витоку транзистора V_H і стоку транзистора V_a ; $U_{вх} = U^1 > U_{пор}$, $U_{вх} = U^0 = 0$.

Принцип дії. Схема (рис. 2.8) працює в негативній логіці. При надходженні на вхід схеми $U_{вх} = U^1$ транзистор V_a відкривається. Транзистор V_H відкритий постійно ($E_c > |U_{пор}|$). Через схему протікає струм стоку

$$I_c = \frac{E_c}{R_H + R_a},$$

де R_H , R_a – опори каналів МОН-транзисторів V_H і V_a відповідно.

$$\text{Напряга на виході III } U_{вих} = \frac{E_c}{R_H + R_a} R_a.$$

Для забезпечення стану $U_{вих} = U^0 \approx 0$ необхідно, щоб $R_H \gg R_a$. Технологічно це досягається шляхом виготовлення МОН-транзисторів V_H і V_a із різними геометричними розмірами каналів. При надходженні на вхід схеми $U_{вих} = U^0 \approx 0$ ($U_{вх} < |U_{пор}|$) транзистор V_a закривається, коло протікання струму I_c розмикається і на виході встановлюється

$$U_{вх} = U^1 \approx E_c.$$

Розглянуту схему III з одним джерелом живлення називають схемою з нелінійним опором навантаження, оскільки транзистор V_H працює як на крутій, так і на пологій частинах вихідної характеристики (рис. 2.9).

Якщо застосувати схему інвертора, в якій напруга на затворі транзистора V_H задається окремим джерелом (рис. 2.10), то навантажувальний транзистор працює в крутій області, де його властивості наближені до властивостей лінійного опору. Таку схему називають III з квазілінійним опором навантаження.

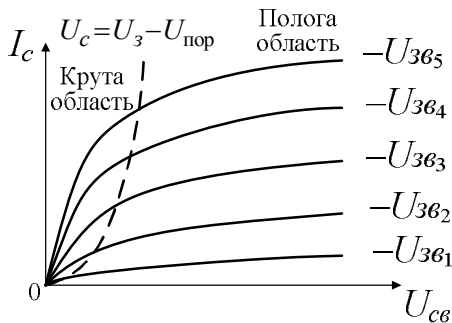


Рисунок 2.9 – Стокова характеристика МОН-транзистора

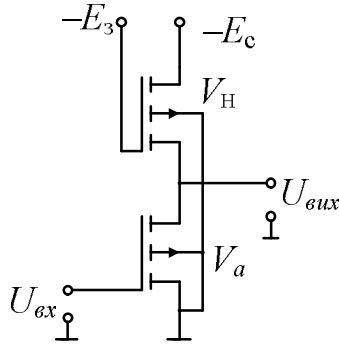


Рисунок 2.10 – Потенціальний інвертор на МОН-структурах із квазілінійним опором

Основний недолік ПІ на однотипних МОН-транзисторах: у режимі, коли $U_{вх} = U^1$ і $U_{вих} = U^0$, через структуру постійно протікає струм стоку I_c . Це зумовлює велику споживану потужність схеми. Цей недолік подоланий у схемах ПІ на комплементарних МОН-транзисторах.

2.2.3.2 Потенціальний інвертор на комплементарних МОН-транзисторних структурах (КМОН-транзисторах)

Комплементарними (доповнювальними) МОН-транзистори (КМОН-транзистри) називаються об'єднання таких МОН-транзисторів, які мають ідентичні характеристики, але керуються різнополярними сигналами (наприклад, об'єднання n - і p -канальних структур). На рисунку 2.11 показана схема ПІ на КМОН-транзисторах.

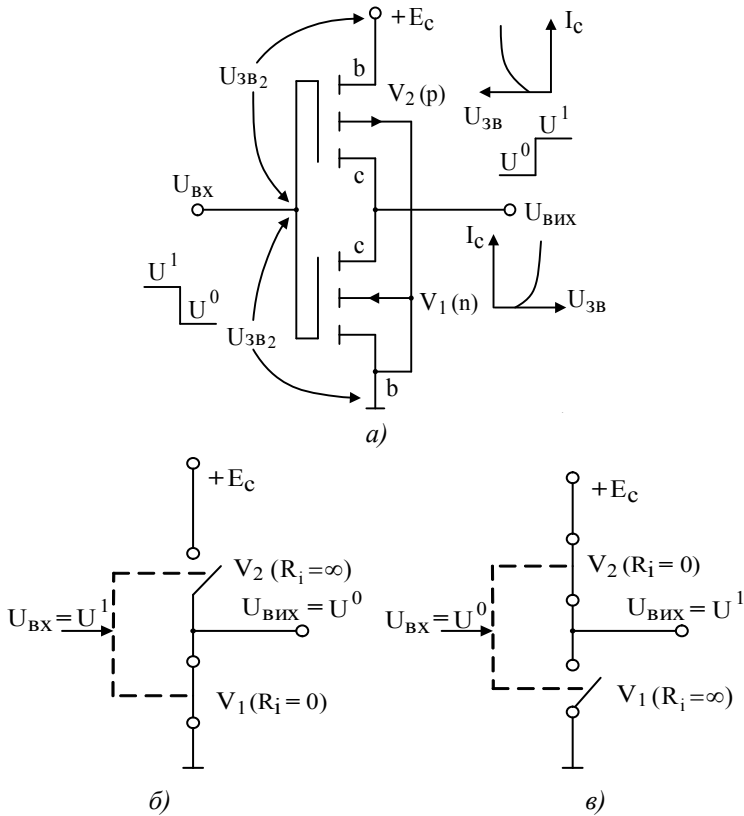


Рисунок 2.11 – Потенціальний інвертор на КМОП-транзисторах

Склад схеми. V_1 – комутувальний транзистор із каналом n -типу. V_2 – навантажувальний транзистор із каналом p -типу. Вхідний сигнал подається на об'єднані затвори V_1 і V_2 , вихідний сигнал знімається з об'єднаних стоків транзисторів:

$$U^1 > U_{\text{пор}} (U^1 \approx E_c); U^0 \approx 0 < U_{\text{пор}}.$$

Принцип дії. Нехай на вхід подається $U_{вх} = U^1 \approx E_c$. При цьому $U_{зв_1} \approx E_c$, $U_{зв_2} \approx 0$, і транзистор V_1 відкритий (ключ замкнений), а транзистор V_2 закритий (ключ розімкнений). Вихідний потенціал $U_{вих} = U^0 \approx 0$. Якщо ж $U_{вх} = U^0 \approx 0$, то $U_{зв_1} \approx 0$, $U_{зв_2} \approx -E_c$ ($|E_c| > U_{пор}$), і транзистор V_1 закривається (ключ розімкнений), а транзистор V_2 відкривається (ключ замкнений). Вихідний потенціал $U_{вих} = U^1 \approx E_c$.

Перевага ІІ на КМОН-транзисторах: в обох стаціонарних станах загальний опір ІІ дуже великий ($R_i \rightarrow \infty$), що відповідає *практичній відсутності споживання струму від джерела живлення*.

2.3 Транзисторно-транзисторні логічні елементи

Близько 60 % усіх ЦІС побудовані на основі транзисторно-транзисторних елементів (ТЛЛ-елементів). Основний схемотехнічний їх елемент – схема потенціального інвертора з перемиканням базового струму. Роль БЕ при побудові серій ЦІС можуть виконувати логічні елементи *I-HE*, *АБО-HE*, *I-АБО-HE*. Операцію «I» в цих ІІ реалізує багатоемітерний транзистор у вхідному каскаді.

Традиційні серії ТТЛ 130, 131, 133, 134, 136 155, 530, 555 тощо; вони відрізняються одна від одної швидкістю, споживаною потужністю, навантажувальною здатністю, логічними можливостями і т. п.

ЛЕ функціонує в системі собі подібних ЛЕ. Тому вхідними сигналами для цього ЛЕ є вихідні потенціали попереднього ЛЕ. ТЛЛ-елемент працює у позитивній логіці з такими логічними рівнями:

$$U^1 = E = 5 \text{ В}, U^0 = U_{кнЕ} = 0,2 \text{ В}.$$

2.3.1 ТТЛ-елемент $I-HE$ з простим інвертором

Розглянемо роботу ТТЛ-елемента $I-HE$ з простим інвертором (рис. 2.12).

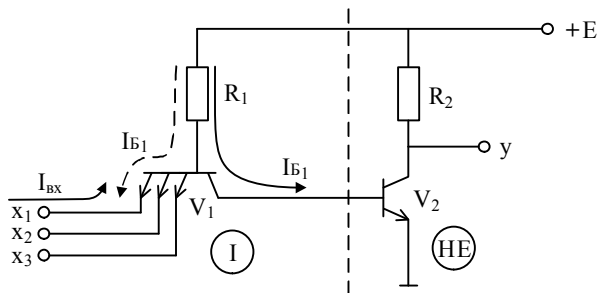


Рисунок 2.12 – ТТЛ-елемент $I-HE$ з простим інвертором

Нехай на всі входи подані сигнали логічних «одиниць»:

$$x_1 = x_2 = x_3 = U^1 = 5 B.$$

При цьому всі незалежні транзисторні структури багатоемітерного транзистора V_1 працюють в інверсному режимі, внаслідок чого базовий струм V_1 разом із входним струмом I_{BX} перемикається у базу транзистора V_2 . Останній переходить до режиму насичення, і його вихідна напруга $U_{вих} = U_{KH_E} = 0,2 B$. Відтак вихідний сигнал ЛЕ $y = U^0$. Якщо ж на один із входів ЛЕ подати логічний «нуль» (наприклад, $x_1 = U^0 = U_{KH_E} = 0,2 B$, у той час на інших входах діють логічні «одиниці», то відповідна транзисторна структура (наприклад, перша) перейде до режиму насичення (перший емітерний перехід зміститься у прямому напрямі при зворотному зміщенні решти емітерних переходів V_1), і базовий струм I_{B1} перемикається у

вхідне коло (пунктир I_{B1} на схемі рисунка 2.12). Транзистор V_2 перейде до режиму відсічки, і вихідна напруга $U_{вих} \approx E = 5\text{ В}$, тобто $y = U^1$.

Така схема має невисоку навантажувальну здатність, низьку швидкодію і малу завадостійкість. Тому вона не є базовим ЛЕ, а застосовується у складі серій ЦІС як різновид логічного елемента для реалізації схеми з відкритим колектором.

2.3.2 ТТЛ-елемент $I-HE$ із складним інвертором

Ці недоліки «знімаються» у схемі рисунка 2.13. Ця схема є базовою для мікропотужної серії 134.

Склад схеми. V_1 – багатоємітерний транзистор, який реалізує операцію « I » на вході ЛЕ; V_2 , R_2 , R_3 – фазоінверсний каскад; V_3 , V_4 , R_4 , V_g – двотактний вихідний каскад. Саме фазоінверсний і вихідний каскади утворюють разом схему складного інвертора.

Джерело живлення $E = 5\text{ В}$.

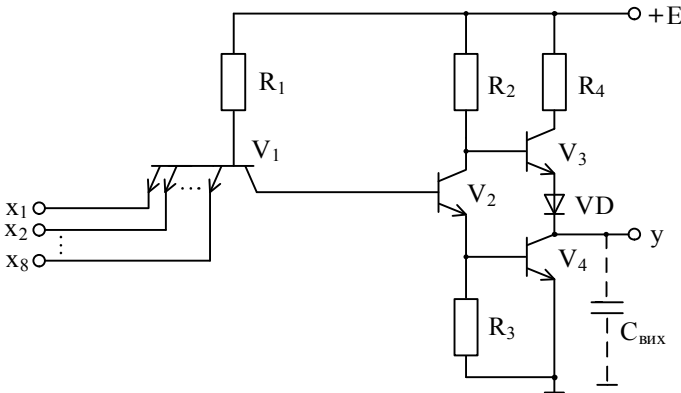


Рисунок 2.13 – ТТЛ-елемент $I-HE$ із складним інвертором

Принцип дії. Логічний елемент функціонує у позитивній логіці з такими логічними рівнями: $U^0 = 0,2 B$; $U^1 = 3,6 B$. Нехай на всі ходи подаються логічні «одиниці»:

$$x_1 = x_2 = \dots = x_8 = U^1 = 3,6 B.$$

При цьому струм $I_{Б1}$ перемикається у базу транзистора V_2 , який відкривається і переходить до режиму насичення. Зростання струму через V_2 приводить до збільшення спадів напруги на опорах R_2 і R_3 . Напруга на колекторі транзистора V_2 зменшується, а напруга на емітері V_2 (базі транзистора V_4) збільшується. Транзистор V_4 відкривається, шунтуючи опір R_3 і викликаючи подальше зменшення потенціалу колектора транзистора V_2 .

Внаслідок цього транзистори V_2 і V_4 переходять до режиму насичення, тобто

$$U_{вих} = U_{KEV_4} = U_{KEH} = 0,2 B, \quad y = U^0.$$

Транзистор V_3 закривається, оскільки напруга між колекторами V_2 і V_4 стає меншою, ніж сумарний поріг відкривання транзистора V_3 і зміщувального діода V_g . Таким чином, основне призначення діода V_g полягає в забезпеченні надійного закривання V_3 при насиченні транзисторів V_2 і V_4 . У цьому стані ЛЕ вихідна паразитна ємність $C_{вих}$ швидко розряджається через відкритий і насичений транзистор V_4 .

При надходженні хоча б на один із входів ЛЕ логічного «нуля» ($x_1 = U^0 = 0,2 B$) базовий струм $I_{Б1}$ перемикається у вхідне коло, транзистор V_2 закривається

(переходить до режиму відсічки). Напруга колектора V_2 зростає, а напруга емітера V_2 зменшується. Транзистор V_3 відкривається, і впродовж короткого часу (поки ще не закритий транзистор V_4) через вихідний каскад протікає значний струм. Для обмеження його призначений опір $R_4 = 50-500 \text{ Ом}$. Далі транзистор V_4 закривається і переходить до режиму відсічки, а транзистор V_3 – відкритий і перебуває в активному режимі. Напруга на виході ТТЛ-елемента

$$U_{вих} = U_{KEV_4} = E - U_{\Sigma} = U^1,$$

де U_{Σ} – сумарний спад напруги на R_4 , V_3 і діоди V_g .

Оскільки $U_{\Sigma} \approx 1,4 \text{ В}$, тому в цій схемі $U^1 = 3,6 \text{ В}$.

Паразитна ємність $C_{вих}$ швидко заряджається від джерела живлення $E = 5 \text{ В}$ через малий вихідний опір емітерного повторювача на транзисторі V_3 ($R_{вих} = 15-200 \text{ Ом}$).

Це зумовлює *більш високу швидкодію даної схеми* порівняно зі схемою ТТЛ-елемента з простим інвертором.

Ця схема має і *більш високу завадостійкість* за рахунок наявності фазоінверсного каскаду, який впливає на збільшення крутизни СПХ логічного елемента, внаслідок чого схема відкривається при більшому значенні амплітуди завади $U_{m_{зав}}$.

Незалежно від стану ТТЛ-елемента один із транзисторів вихідного каскаду (або емітерний повторювач на V_3 , або інвертор на V_4) постійно буде проводити струм, забезпечуючи надходження достатнього струму у навантаження і тим самим підвищуючи **навантажувальну здатність даної схеми** порівняно зі схемою з простим інвертором.

2.3.3 Схеми базових елементів стандартних серій цифрових інтегральних схем (133 і 155)

Базовий елемент *I-HE* стандартних серій побудований за схемою рисунка 2.14.

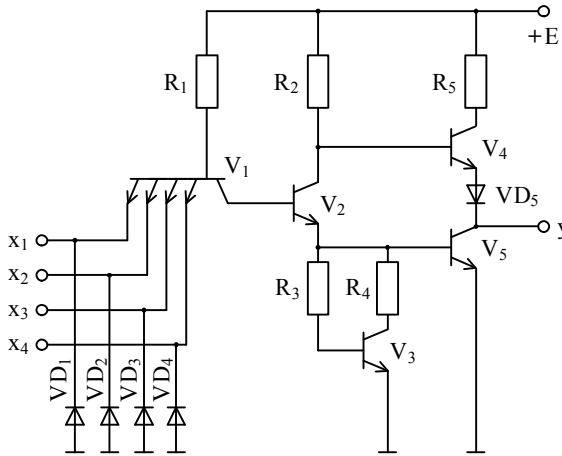


Рисунок 2.14 – Базовий логічний елемент *I-HE*
133 і 155 серій

На входах ЛЕ, як правило, вмикаються діоди $VD_1 - VD_4$, що виконують демпфувальну функцію – обмежують амплітуду негативних завад. Замість опору R_3 (рис. 2.13) до бази вихідного транзистора V_5 під'єднаний коригувальний ланцюжок (R_3, R_4, V_3), що дозволяє одержати СПХ за формою, наближеною до прямокутної (рис. 2.15), а це підвищує завадостійкість ТТЛ-елемента.

У схемі зі складним інвертором рисунка 2.13 СПХ має нахил на ділянці AB (рис. 2.15). При входній напрузі $U_{вх} < 0,7 В$ транзистори V_2 і V_4 закриті і перебувають у режимі відсічки. Вихідна напруга $U_{вих} = U^1 = 3,6 В$.

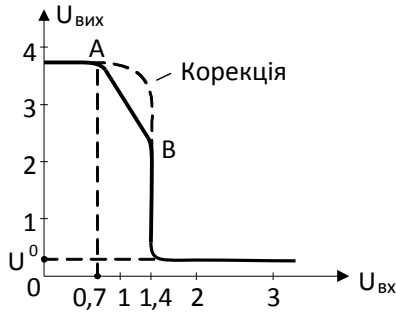


Рисунок 2.15 – Корекція СПХ базового ЛЕ

Коли ж вхідна напруга досягає $0,7\text{ В}$, транзистор V_2 починає відкриватися, струм I_{K_2} і спад напруги на опорі R_2 зростають. Потенціал на колекторі V_2 і відтак напруга U_{BE_3} на базі V_3 зменшуються, і оскільки транзистор V_3 працює наразі в активному режимі як емітерний повторювач, то напруга $U_{вих}$ також зменшується (ділянка АВ на СПХ рисунка 2.15).

Оскільки транзистор V_4 наразі закритий, то струм I_{E_2} проходить через R_3 . Нахил СПХ на ділянці АВ тим більший (тобто $U_{вих}$ зменшується тим швидше), чим менше відношення опорів R_3/R_2 . Тому для збільшення $U_{пор_1}$ і $U_{m_{зав}}^+ = U_{пор_1} - U^0$ необхідно збільшувати опір R_3 (щоб вихідна напруга зменшувалась якомога повільніше, тобто щоб нахил ділянки був меншим). Проте збільшувати величину R_3 недоцільно, тому що струм I_{B_4} буде зменшуватися під час процесу розсмоктування неосновних носіїв у базі V_4 при закриванні V_4 (переходу транзистора з режиму насичення до режиму відсічки). Це впливає на зменшення швидкодії ЛЕ при переході $U^0 \rightarrow U^1$.

З цієї причини корекція форми СПХ (ліквідація ділянки нахилу АВ) здійснюється заміною опору R_3 на коригувальний ланцюжок R_3, R_4, V_3 (рис. 2.14). Резистор R_3 в ньому має малий опір (200–400 Ом). Скоригована СПХ показана на рисунку 2.15 пунктиром. У цьому разі V_2, V_5 і транзистор коригувального ланцюжка V_3 відкриваються практично при одній напрузі $U_{пор1} \approx 1,4 В$. Відтак завадостійкість $U_{m_{зав}}^+$ зростає приблизно на 0,7 В: коригувальний ланцюжок R_3, R_4, V_3 зміщує поріг вмикання елемента в бік більших напруг.

З метою підвищення навантажувальної здатності ТТЛ-елемента (збільшення коефіцієнта розгалуження) застосовується емітерний повторювач на складеному транзисторі V_3, V_5 (рис. 2.16).

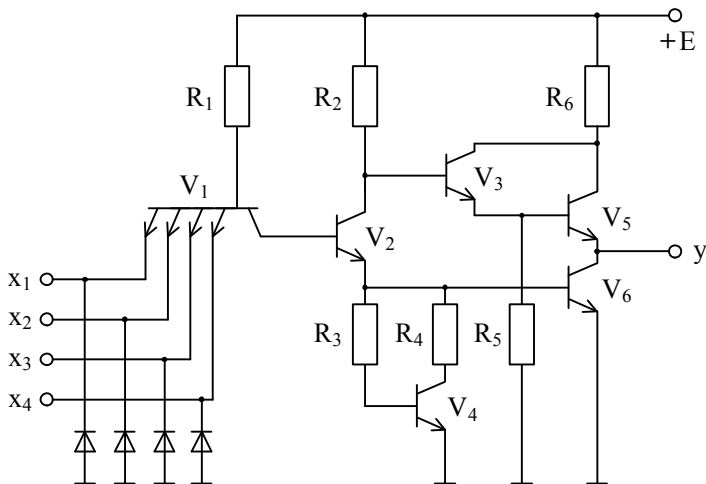


Рисунок 2.16 – ТТЛ-елемент на складеному транзисторі

2.3.4 Інші різновиди схем ТТЛ-елементів

Крім ТТЛ елементів $I-HE$, до складу серії входять і широко застосовуються базові ЛЕ $I-ABO-HE$ (рис. 2.17 а). Такий елемент містить декілька схем I (багатоємітерні транзистори V_1 і V_2 , резистори R_1, R_2).

Виходи схем I (колектори багатоємітерних транзисторів) з'єднані з базами транзисторів V_3, V_4 . З'єднані транзистори V_3 і V_4 реалізують операцію ABO , а під'єднаний до їх виходу інвертор V_5 – операцію HE .

Максимальне число об'єднань становить не більше 8.

З метою розширення числа входів такого ЛЕ по ABO до точок A, B схеми можна під'єднати схему розширювача логіки (рис. 2.17 б), який являє собою багатоємітерний транзистор, з'єднаний з транзистором V_2 . При увімкненні одного розширювача швидкодія ЛЕ погіршується приблизно на 5 нс , а споживана потужність збільшується на 5 мВт .

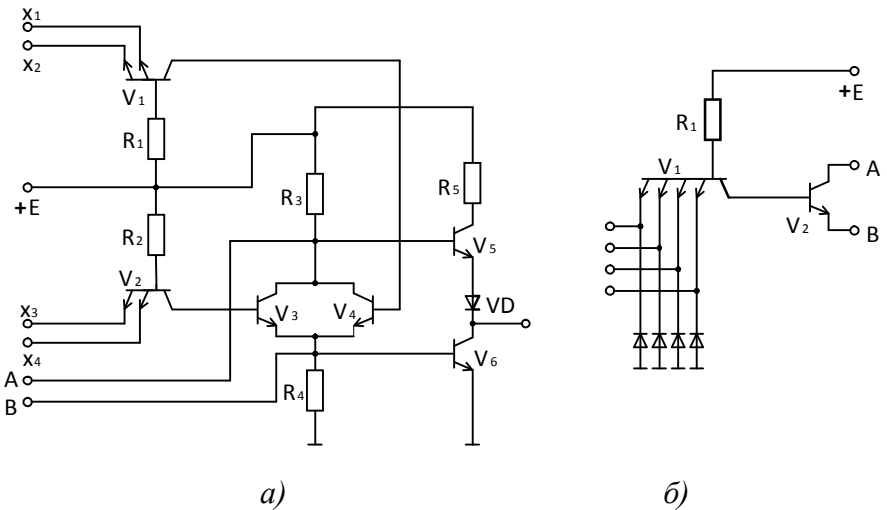


Рисунок 2.17 – ТТЛ-елемент $I-ABO-HE$ з можливістю розширення логіки за ABO

До складу стандартних ТТЛ-серій входять ЛЕ без колекторного навантаження вихідного ключа – інвертора – ЛЕ з так званим «відкритим» колектором (рис. 2.18). Ці логічні елементи призначені для роботи із зовнішнім навантаженням – індикаторними приладами, реле, лініями затримки тощо. Базовими ЛЕ деяких серій ЦІС (наприклад, 530, 531) є так звані ТТЛШ-елементи. Ці ЛЕ побудовані за такими самими схемотехнічними принципами, що і ТТЛ-елементи (наприклад, схема рисунка 2.16 зі складеним транзистором), однак замість звичайних транзисторів у них застосовуються транзистори з діодом Шоттки. Такі ТТЛШ-елементи мають підвищену швидкодію.

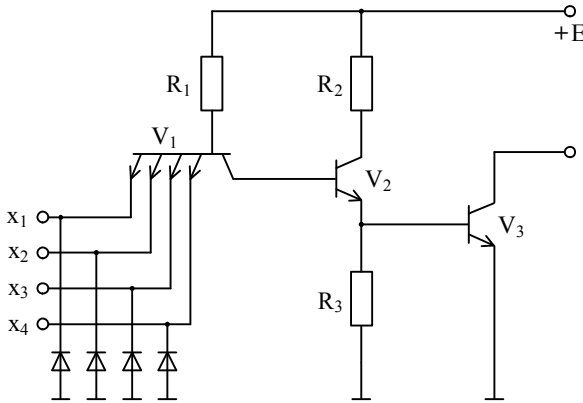


Рисунок 2.18 – ЛЕ з «відкритим» колектором

2.3.5 Основні характеристики і параметри ТТЛ-елементів

СПХ ТТЛ елемента $I-HE$ зі складним інвертором (рис. 2.13) показана на рисунку 2.19.

Характерними ділянками на ній є:

I – закритий стан транзистора V_2 ; $U_{вих} = U^1 = 3,6 В$.

II – транзистор V_2 відкритий, а транзистор V_4 – ще закритий.

III – транзистор V_2 , V_3 і V_4 відкриті, в активному режимі.

IV – транзистори V_2 і V_4 в режимі насичення, V_3 – закритий. $U_{вих} = U^0 = 0,2 B$.

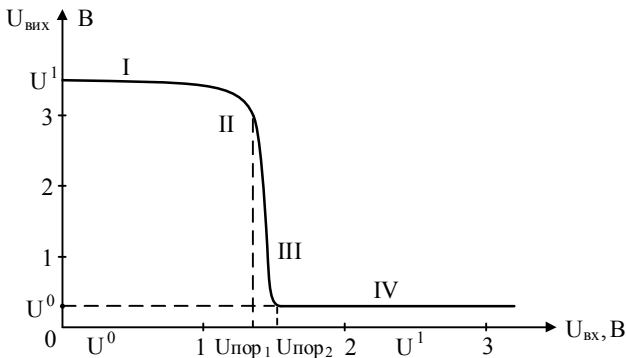


Рисунок 2.19 – СПХ ТТЛ-елемента зі складним інвертором

Параметри БЛЕ $I-HE$ можуть бути визначені за СПХ ($E = +5 B$).

Логічні рівні: $U^0 = 0,2-0,4 B$, $U^1 = 2,4-3,6 B$.

Пороги перемикання $U_{пор1} = 1,4 B$, $U_{пор2} = 1,5 B$.

Ширина активної області (зона неозначеності) $\Delta U = 0,1-0,2 B$.

Статична завадостійкість (у діапазоні температур $-60...+125 ^\circ C$) $U_{мзав}^+ = 0,4-1,0 B$; $U_{мзав}^- = 0,4-0,6 B$.

Коефіцієнт об'єднання за входом $K_{об} = 8$.

Коефіцієнт розгалуження за виходом $K_{роз} = 10$.

Швидкодія:

- для ТТЛ $t_{3сеп} = 10-30 нс$;

- для ТТЛШ $t_{3сеп} = 5 нс$.

Споживана потужність $P_{сер} = 20-40 \text{ мВт}$,
для 134 серії $P_{сер} = 2 \text{ мВт}$.

Чим більша частота перемикання БЛЕ, тим більша їх споживана потужність.

2.4 Емітерно-зв'язані логічні елементи

Основна перевага емітерно-зв'язаних логічних елементів (ЕЗЛ) перед ТТЛ-елементами – це більша швидкодія (наприклад, серія 500 із часом затримки на каскад 2 нс). Основу будови БЛЕ ЕЗЛ-типу складають описані у 2.2.2 потенціальні інвертори з перемиканням емітерного струму. Такий ПІ має два виходи – прямий та інверсний, що дозволяє розширити логічні можливості елемента.

Висока швидкодія ЕЗЛ-елементів зумовлена роботою біполярних транзисторів, що входять до складу перемикачів струму, в ненасиченому (лінійному, активному) режимі. Зменшення часу затримки передавання сигналу досягається також за рахунок обмеження логічного перепаду вихідної напруги. Проте ця обставина приводить до зменшення завадостійкості ЛЕ.

2.4.1 Основна схема емітерно-зв'язаного логічного елемента АБО-НЕ/АБО

Принцип будови і функціонування ЕЗЛ-елемента розглянемо на прикладі його основної схеми, яка реалізує операцію АБО-НЕ/АБО (рис. 2.20).

Схема побудована на базі перемикача емітерного струму (транзистори V_1, V_2, \dots, V_n і $V_{оп}$). В одне плече схеми паралельно ввімкнено кілька біполярних транзисторів (V_1, V_2, \dots, V_n), число яких дорівнює кількості входів ЛЕ. Вхідні сигнали подаються на їхні бази. $V_{оп}$ – опірний транзистор, на базу якого подається опірна напруга $U_{оп}$.

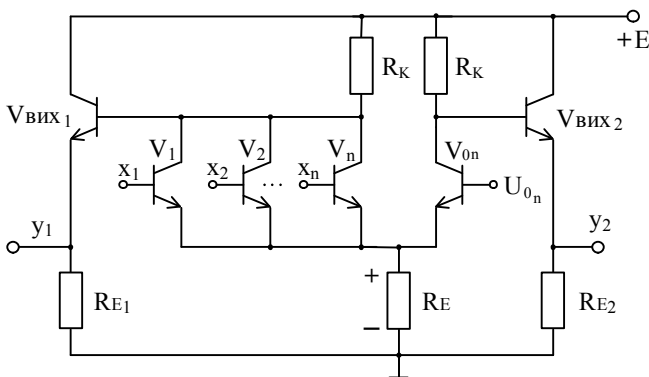


Рисунок 2.20 – Основна схема ЕЗЛ-елемента АБО–НЕ/АБО

Емітери транзисторів $V_{оп}$, V_1 , V_2 , ..., V_n з'єднані між собою і під'єднані до спільного резистора R_E . Вихідні сигнали знімають з колекторів плечей схеми через емітерні повторювачі $V_{вих1}$ і $V_{вих2}$. Емітерні повторювачі забезпечують сумісність ЛЕ за входними і вихідними рівнями напруги, а також зменшують вихідний опір ЛЕ з метою підвищення його навантажувальної здатності і швидкодії.

Розглянемо роботу ЕЗЛ-елемента в позитивній логіці: $E \approx U^1 > U_{оп}$ – високий потенціал; $U^0 < U_{оп}$ – низький потенціал (рис. 2.21). Логічні рівні U^1 і U^0 необхідно вибрати симетричними стосовно напруги $U_{оп}$, а величина логічного перепаду $U_{m_{ex}}$ повинна перевищувати ширину активної зони ΔU (рис. 2.21), тобто

$$U_{m_{ex}} = U^1 - U^0 > \Delta U.$$

Нехай на всі входи ЕЗЛ-елемента надходять логічні «нулі», тобто

$$x_1 = x_2 = \dots = x_n = U^0.$$

Усі вхідні транзистори V_1, V_2, \dots, V_n закриваються і переходять до режиму відсічки, а опірний транзистор $V_{оп}$ – відкритий і працює в активному режимі. Через нього протікає весь струм I_E .

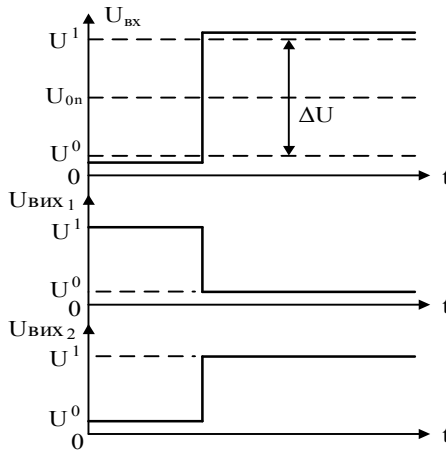


Рисунок 2.21 – Діаграми напруг основної схеми ЕЗЛ-елемента

На виходах ЛЕ установлюються потенціали

$$U_{вих1} = E = U^1 \quad (y_1 = 1),$$

$$U_{вих2} = E - I_E R_K = U^0 \quad (y_0 = 0).$$

Якщо хоча б на один із входів ЕЗЛ-елемента подається логічна «одиниця» (наприклад, $x_1 = U^1 = E$), а на решту входів – логічні «нулі» ($x_2 = x_3 = \dots = x_n = U^0$), то вхідний транзистор V_1 відкривається і переходить до активного режиму, шунтуючи решту транзисторів V_2, V_3, \dots, V_n .

Таке ввімкнення не змінює принципу дії елемента, однак заземлення позитивної шини живлення забезпечує меншу залежність вихідної напруги U^0 , U^1 від наводок у колі живлення. Це особливо важливо, враховуючи малу величину логічного перепаду в ЕЗЛ-елементах (рис. 2.23).

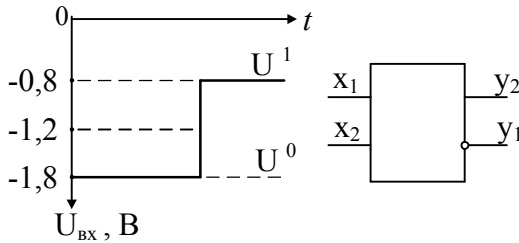


Рисунок 2.23 – Базовий ЕЗЛ-елемент і логічні рівні його потенціалів

Опірна напруга $U_{оп} = -1,2В$ створюється спеціальною «вбудованою» температурно-компенсованою схемою на опірному транзисторі V_3 (подільник R_3 , R_4 , резистор R_5 , термокомпенсувальні діоди V_{g1} , V_{g2} , емітерний повторювач на транзисторі V_4), яка може жити опірною напругою кілька (до десяти) ЕЗЛ-елементів на одному кристалі.

Вихідні емітерні повторювачі (на V_5 і V_6) призначені для підсилення вихідних сигналів за потужністю, забезпечення заданої навантажувальної здатності і зміщення рівня сигналів за напругою для забезпечення сумісності ІС за входом і виходом.

Особливістю їх є те, що навантажувальні резистори R_{H1} і R_{H2} номіналом $50 Ом$, винесені за межі мікросхеми із метою зниження розсіюваної потужності, можуть бути під'єднані до основного джерела живлення через високоомний резистор.

Узгодження вихідних і вхідних напруг рівнів ЕЗЛ-елементів при їх сумісній роботі забезпечується малим вихідним опором схеми. Всі входи ЕЗЛ-елемента (x_1, x_2, \dots, x_n) через резистори R_8, R_7 з опором 50 кОм під'єднані до джерела живлення $E = -5,2 \text{ В}$.

Таке під'єднання дозволяє залишати незадіяні входи ІС ЕЗЛ неприєднаними.

З метою виключення впливу імпульсних завад, що виникають у колекторних колах емітерних повторювачів у момент перемикання схеми, використовуються дві роздільні шини «корпус»: одна – для вихідних емітерних повторювачів, друга – для логічної частини схеми.

Робота схеми. Елемент реалізує логічну операцію *АБО-НЕ/АБО* у позитивній логіці з такими значеннями логічних рівнів (рис. 2.23):

$$U_{\text{вх}}^0 = -1,8 \text{ В}, \quad U_{\text{вх}}^1 = -0,8 \text{ В}.$$

Якщо $x_1 = x_2 = U^0$ (на всі входи подаються логічні «нулі»), а на базу опірнього транзистора V_3 прикладена напруга $U_{\text{оп}} = -1,2 \text{ В}$, то вхідні транзистори V_1, V_2 закриваються, а транзистор V_3 відкритий і працює в активному режимі. Через V_3 протікає загальний емітерний струм I_E , величина якого задається опором R_6 . Цей струм, зменшений на величину струму I_B транзистора V_3 , створює на його колекторному навантаженні R_2 спад напруги $U_{R2} = -0,8 \text{ В}$. Напруга на виході 2 (вихід *АБО*) при цьому дорівнює

$$U_{\text{вих}_2}^0 = -1,8 \text{ В} \quad (y_2 = 0),$$

а на виході 1 (вихід *АБО-НЕ*)

$$U_{\text{вих}_1}^1 = -0,8 \text{ В} \quad (y_1 = 1).$$

При подачі хоча б на один вхід ($x_1 = U^1$) логічної «одиниці» вхідний транзистор (наприклад, V_1) відкривається, а опірний транзистор V_3 переходить до режиму відсічки, оскільки опірна напруга $U_{оп}$ більш негативна, ніж мінімальне значення U^1 . При цьому струм I_E протікатиме через відкритий вхідний транзистор і резистори R_1 , R_6 . Негативний потенціал на об'єднаних колекторах вхідних транзисторів (вихід 1) набуде значення логічного «нуля»

$$U_{вих1}^0 = -1,8 B,$$

а напруга на виході 2 підвищиться до рівня

$$U_{вих2}^1 = -0,8 B.$$

Таким чином, за виходом 1 базовий ЕЗЛ-елемент виконує операцію *АБО-НЕ*, а за виходом 2 (транзистор V_5) – операцію *АБО*. На основі розглянутого БЛЕ будуються серії 100, 500, К500.

2.4.3 Основні характеристики емітерно-зв'язаних логічних елементів

Типова СПХ ЕЗЛ-елемента зображена на рисунку 2.24. На СПХ можна виділити три характерні ділянки:

I – перший усталений режим $U^1 = -0,8 B$ на виході 2; $U^0 = -1,8 B$ на виході 1; вхідні транзистори відкриті, в активному режимі, опірний транзистор у режимі відсічки, закритий.

II – активна зона, в якій відбувається перемикання вхідних і опірних транзисторів (усі транзистори в активному режимі).

III – другий усталений режим:

$$U_{вих1} = U^1 = -0,8 B; U_{вих2} = U^0 = -1,8 B.$$

Один або всі вхідні транзистори закриті і працюють у режимі відсічки, а опірний транзистор відкритий, в активному режимі.

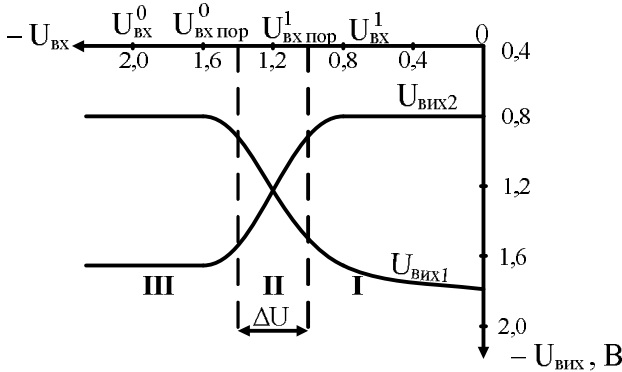


Рисунок 2.24 – СПХ ЕЗЛ-елемента

За СПХ при $E = -5,2\text{ В}$ можна визначити такі параметри ЕЗЛ-елемента.

1 Логічні рівні: $U^0 = -1,6 \dots -1,9\text{ В}$, $U^1 = -0,8 \dots -0,9\text{ В}$.

2 Логічний перепад $U_m = U^0 - U^1 = 0,8 \dots 1,0\text{ В}$.

3 Порогові значення вхідного сигналу (межі активної зони): $U_{\text{вх пор}}^1 = -1,0\text{ В}$, $U_{\text{вх пор}}^0 = -1,4\text{ В}$.

4 Ширина активної зони

$$\Delta U = |U_{\text{вх пор}}^1 - U_{\text{вх пор}}^0| = 0,3 \dots 0,4\text{ В}.$$

5 Статична завадостійкість

$$U_{m_{\text{зав}}}^+ \approx U_{m_{\text{зав}}}^- = \frac{\Delta U}{2} = -0,15 \dots -0,2\text{ В}.$$

6 Величина напруги джерела опірної напруги

$$U_{\text{оп}} = \frac{1}{2}(U_{\text{вх пор}}^1 - U_{\text{вх пор}}^0) = -1,2\text{ В}.$$

Інші електричні параметри ЕЗЛ-елемента.

1 $K_{об} \leq 5$. Коефіцієнт об'єднання обмежений числом вхідних транзисторів, збільшення їх числа призводить до зменшення швидкодії.

2 $K_{роз} \geq 10$ – коефіцієнт розгалуження. Це зумовлене тим, що на виходах ЛЕ є емітерні повторювачі. Крім того, вхідні транзистори ЛЕ мають малу величину вхідного струму $I_{вх} \leq 260 \text{ мкА}$.

3 Рівень допустимих завад $U_{mзав} = -0,15... - 0,2 \text{ В}$.

Низька завадостійкість є основним недоліком таких елементів. Але сам елемент має малий рівень власних генерованих завад.

4 Швидкодія ЕЗЛ-елементів – найвища серед існуючих ЛЕ. При $R_H = 510 \text{ Ом}$ $t_{задсер} = 1,5 - 2,0 \text{ нс}$.

5 Споживана потужність досить висока

$$P_{серспож} = 25 - 35 \text{ мВт},$$

і це істотний недолік ЕЗЛ-елементів, які потребують внаслідок цього потужних джерел живлення.

2.5 Логічні елементи на МОН- і КМОН-транзисторних структурах

Значного поширення в електронній техніці набули цифрові ІС, побудовані на ЛЕ, які містять у своєму складі інтегральні МОН-транзистори з індукованим каналом. Такі ІС мають високий ступінь інтеграції і високу швидкодію. Особливо це стосується ЦІС на комплементарних доповнюючих МОН-структурах (КМОН). Вони дуже компактні (до 100000 елементів на кристалі) і відрізняються надзвичайно низьким енергоспоживанням.

Серії ЦІС на МОН К172, 178, 186 – історично перші, їм була притаманна мала швидкодія і велика споживана потужність.

Ці недоліки були усунені в ЦІС на КМОН-структурах серій 176, К561, 564 і т. д.

Схемотехнічна основа ЛЕ на МОН-структурах – це схеми потенціальних інверторів на однотипних і комплементарних МОН-структурах з індукованими каналами, розглянуті у 2.2.3.

2.5.1 Логічні елементи на *p*-канальних МОН-транзисторних структурах

Базовими логічними елементами для побудови серій ЦІС на МОН-структурах є елементи *АБО-НЕ*, *І-НЕ*.

Схема *АБО-НЕ*

Схема *АБО-НЕ* подана на рисунку 2.25 а. Вона працює у негативній логіці при напрузі джерела живлення $E = -27 В \pm 10\%$ і таких значеннях логічних рівнів:

$$U^1 = -20 В, U^0 = -2,0 В.$$

Нехай на всі входи ЛЕ надходять логічні «нулі»:

$$x_1 = x_2 = U^0 = -2 В \quad (|U^0| < |U_{\text{пор}}|),$$

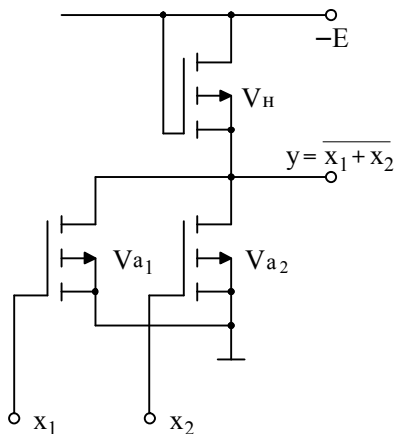
де $U_{\text{пор}}$ – порогова напруга МОН-транзистора.

Тоді всі активні (комутувальні) транзистори V_{a_1} , V_{a_2} будуть закриті, у той час як навантажувальний транзистор V_H відкритий постійно ($|E| > |U_{\text{пор}}|$).

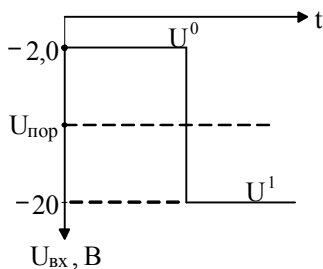
Напруга на виході ЛЕ $U_{\text{вих}} = U^1 = -20 В$.

При надходженні хоча б на один із входів ЛЕ логічної «одиниці», наприклад, $x_1 = U^1 = -20 В$ ($|U^1| > |U_{\text{пор}}|$), відповідний комутувальний транзистор V_{a_1} відкриється, створюючи шлях для протікання струму.

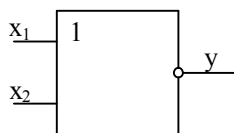
Напруга на виході ЛЕ $U_{\text{вих}} = U^0 = -2,0 В$.



а)



б)



в)

Рисунок 2.25 – Логічний елемент АБО-НЕ на МОН-транзисторах

Недолік схеми рисунка 2.25 а: зі збільшенням числа входів ЛЕ (числа комутувальних транзисторів) знижується рівень логічної «одиниці» за рахунок спаду напруги на навантаженні від сумарного наскрізного струму у колах «стік – витік» транзисторів V_a . Але оскільки він дуже малий, то значення $K_{об}$ цієї схеми досягає величини 10.

Схема *I-HE*

Ця схема (рис. 2.26 а) використовує не паралельне, а послідовне ввімкнення комутувальних транзисторів.

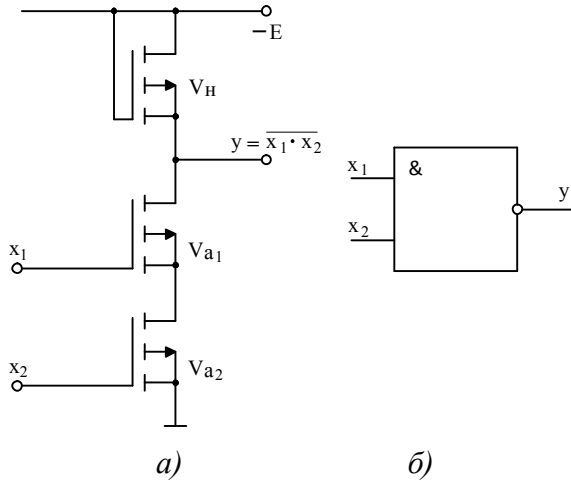


Рисунок 2.26 – Логічний елемент *I-HE* на МОН-транзисторах

Схема працює в негативній логіці $U^1 = -20\text{ В}$; $U^0 = -2,0\text{ В}$. При $x_1 = x_2 = U^1$ ($|U^1| > |U_{\text{пор}}|$) через всі послідовно ввімкненні транзистори V_{a1} , V_{a2} , V_H протікає струм, і на виході ЛЕ $U_{\text{вих}} = U^0 = -2,0\text{ В}$.

Якщо ж, наприклад, $x_1 = U^0$ ($|U^0| > |U_{\text{пор}}|$), то V_{a1} закривається, коло протікання струму розривається, і напруга на виході ЛЕ $U_{\text{вих}} = U^1 = -20\text{ В}$.

Для елементів *I-HE* (рис. 2.26 а) $K_{\text{роз}} > 10-20$, $K_{\text{об}} \geq 4$ (достатньо висока навантажувальна здатність).

Схеми більш складних ЛЕ (схеми із двоступінчастою логікою) одержують комбінуванням послідовного і паралельного ввімкнення комутувальних (активних) транзисторів.

ЛЕ на однотипних МОН-структурах мають невисоку швидкодію ($t_{\text{задсер}} \approx$ сотні $нс$), велике енергоспоживання ($P_{\text{задсер}} \cong 40 мВт$ на один ЛЕ) і великі рівні вихідної напруги, несумісні з рівнями ЦІС ТТЛ-типу.

2.5.2 Логічні елементи на КМОН-транзисторних структурах

Логічні елементи на КМОН-структурах одержують з'єднанням:

- групи *послідовно* ввімкнених транзисторів одного типу;
- групи паралельно ввімкнених транзисторів іншого типу.

Число транзисторів у кожній групі дорівнює числу входів ЛЕ.

Схема АБО–НЕ

Схема наведена на рисунку 2.27 а. ЛЕ працює в позитивній логіці при нарузі джерела живлення $E = -9 В \pm 5\%$ з такими логічними рівнями:

$$U^1 \approx E = 9 В; \quad U^0 = 0 В.$$

При $x_1 = x_2 = U^0 = 0 В$ комутувальні транзистори V_1 і V_2 закриваються, а навантажувальні транзистори V_3 і V_4 – відкриваються (оскільки $U_{\text{вх}}^0 = U_{\text{зв}} = -9 В$). Напруга на виході ЛЕ $U_{\text{вих}} \approx E = U^1$.

При цьому вихідна паразитна ємність $C_{\text{вих}}$ швидко заряджається через відкриті транзистори V_3 , V_4 .

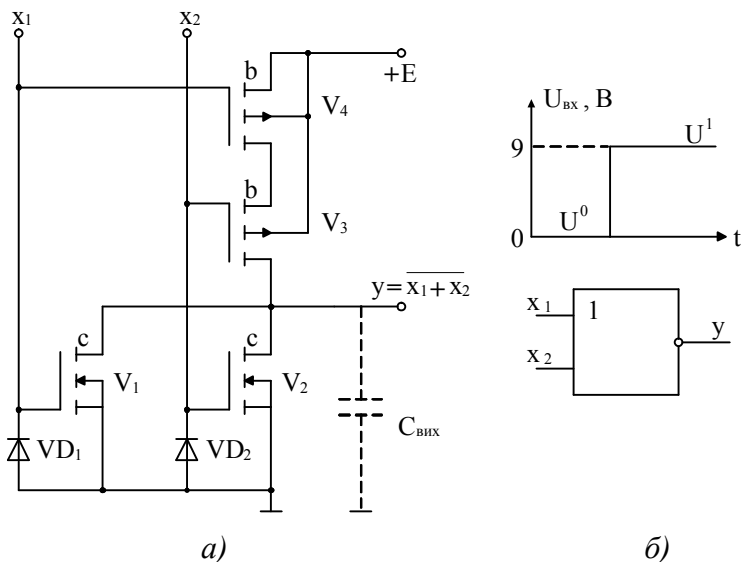


Рисунок 2.27 – Логічний елемент АБО-НЕ на КМОН-структурах

Якщо хоча б на один із входів подається логічна «одиниця», наприклад, $x_1 \approx U^1 = 9\text{ В}$, то транзистор V_1 відкривається, а V_4 – закривається. На виході схеми $U_{вих} \approx 0\text{ В} = U^0$.

Ємність $C_{вих}$ швидко розряджається через відкритий транзистор V_1 . Швидкий перезаряд $C_{вих}$ в обох стаціонарних станах ЛЕ сприяє підвищенню його швидкодії.

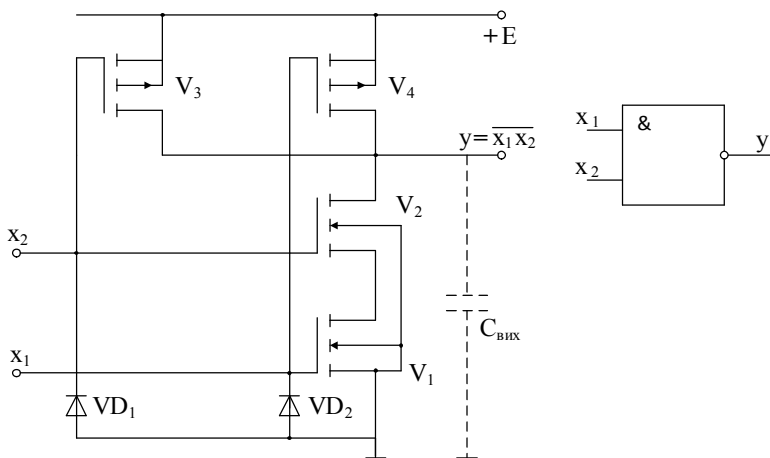


Рисунок 2.28 – Логічний елемент І–НЕ на КМОН-структурах

Схема І–НЕ

Схема показана на рисунку 2.28 а. Вона працює в позитивній логіці ($U^1 \approx E = 9\text{ В}$, $U^0 \approx 0\text{ В}$). Операція І–НЕ реалізується так. При $x_1 = x_2 = U^1$ комутувальні транзистори V_1 і V_2 відкриваються, а навантажувальні (V_3 і V_4) закриваються і $U_{\text{вих}} = U^0 \approx 0\text{ В}$.

Коли, наприклад, $x_1 = U^0 \approx 0\text{ В}$, то транзистор V_1 закривається, а доповнюючий його навантажувальний транзистор V_4 відкривається, і напруга на виході схеми $U_{\text{вих}} = U^1 = 9\text{ В}$.

Розглянуті схеми рисунків 2.27 а і 2.28 а є базовими для побудови ЦІС КМОН-типу серій 176, К561, 564.

Мінімальна напруга живлення цих схем визначається пороговою напругою p -канального транзистора $U_{\text{пор}_p}$ (причому $U_{\text{пор}_p} > U_{\text{пор}_n}$).

Оскільки напруга живлення $|E| > |U_{пор\ p}|$, то цим забезпечується висока завадостійкість даних ЛЕ: діоди VD_1 і VD_2 у схемах – демпфірувальні: шунтують входи ЛЕ при дії завад негативної полярності.

2.5.3 Основні характеристики і параметри логічних елементів на КМОН-транзисторах

Типова СПХ логічного елемента на КМОН-структурах при $E = +9\text{ В}$ показана на рисунку 2.29.

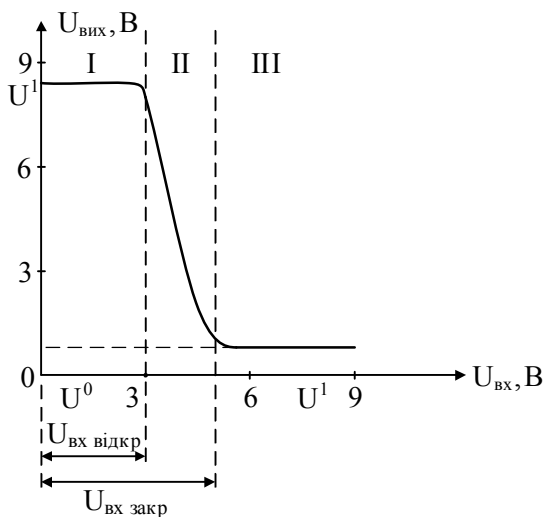


Рисунок 2.29 – СПХ логічного елемента на КМОН-структурах

На характеристиці можна вирізнити три ділянки.

I – перший стаціонарний режим $U_{вх} = U^0 = 0,8\text{ В}$.
 Комутовальні транзистори закриті, навантажувальні – відкриті: $U_{вих} = U^1 = 8,2\text{ В}$.

II – режим перемикання. При напрузі $U_{\text{вх.відкр}}$ комутувальні транзистори відкриваються. При $U_{\text{вх.закр}}$ схема остаточно переходить в інший стаціонарний режим.

III – другий стаціонарний режим $U_{\text{вх}} = U^1 = 8,2 \text{ В}$. Комутувальні транзистори відкриті, навантажувальні – закриті: $U_{\text{вих}} = U^0 = 0,8 \text{ В}$.

Параметри ЛЕ на КМОН

1 Логічні рівні: $U^0 = 0,8 \text{ В}$, $U^1 = 8,2 \text{ В}$.

2 Логічний перепад $U_{m_{\text{вх}}} = U^1 - U^0 \approx 7,4 \text{ В}$.

3 Ширина зони неозначеності $\Delta U_H \approx 0,1 \text{ В}$.

4 Статична завадостійкість:

$$U_{m_{\text{зав}}}^+ = U_{\text{вх.відкр}} - U_{\text{вх}}^0 \approx U_{\text{пор}_n} = 2-3 \text{ В},$$

$$U_{m_{\text{зав}}}^- = U_{\text{вх}}^1 - U_{\text{вх.закр}} \approx U_{\text{пор}_p} = 3 \text{ В}.$$

Із причин великого розкиду порогових напруг у практичних схемах завадостійкість логічних елементів на КМОН-структурах становить 30 – 40 % від E і значно перевищує завадостійкість інших типів логіки – ТТЛ, ЕЗЛ і МОН.

5 $K_{\text{об}} \leq 4$. При збільшенні числа входів (числа навантажувальних транзисторів) вихідна напруга спадає і може бути недостатньою для надійного закривання навантажувальних транзисторів наступного логічного елемента.

6 $K_{\text{роз}} \approx 100$. Це пояснюється практичною відсутністю вхідних струмів у ЛЕ КМОН. На практиці збільшення $K_{\text{роз}}$ обмежується лише зниженням швидкодії з причини зростання паразитної ємності $C_{\text{вих}}$.

7 Швидкодія – середня (як у ТТЛ-елементів):

$$t_{\text{зад.сер}} \leq 20\text{--}50 \text{ нс}.$$

8 Середня споживана потужність $P_{\text{сер.спож}}$ становить десятки мікват. Дуже мала споживана потужність – це основна перевага логічних елементів на КМОН.

2.6 Логічні елементи з інжекційним живленням

Логічні елементи з інжекційним живленням побудовані з ключів-інверторів як складових частин. Ці складові частини є елементами **інтегральної інжекційної логіки** ($I^2\Lambda$ -елементами), їх напівпровідникова структура описана у посібнику [1]. На рисунку 2.30 а показана еквівалентна схема $I^2\Lambda$ -елемента.

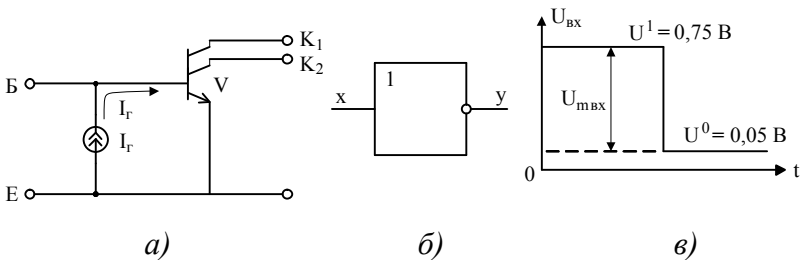


Рисунок 2.30 – Елементарний вентиль (ключ-інвертор) з інжекційним живленням

На схемі генератор струму – це інжектор, транзистор V – багатоколекторний транзистор. $I^2\Lambda$ -елемент функціонує у **позитивній логіці**. Заміна резистора генератором струму дозволяє забезпечувати роботу елемента малою напругою живлення ($E = 1,0\text{--}1,5 \text{ В}$). Відтак логічні рівні малі і становлять $U^1 = 0,75 \text{ В}$, $U^0 = 0,05 \text{ В}$ (рис. 2.30 в).

Принцип дії $I^2\Lambda$ -інвертора полягає у такому. Якщо $U_{\text{вх}} = U^1 = 0,75\text{ В}$, то багатоколекторний транзистор відкритий і струм I_T протікає до його бази, насичуючи транзистор. При цьому на всіх колекторах буде низький потенціал: $U_{\text{вих}} = U^0 = 0,05\text{ В}$. Якщо ж $U_{\text{вх}} = U^0 = 0,05\text{ В}$, то багатоколекторний транзистор V закривається, і струм I_T протікає до вхідного кола. На виході $I^2\Lambda$ -елемента $U_{\text{вих}} = U^1 = 0,75\text{ В}$.

Логічний елемент I на $I^2\Lambda$

Схема $I^2\Lambda$ -елемента I показана на рисунку 2.31.

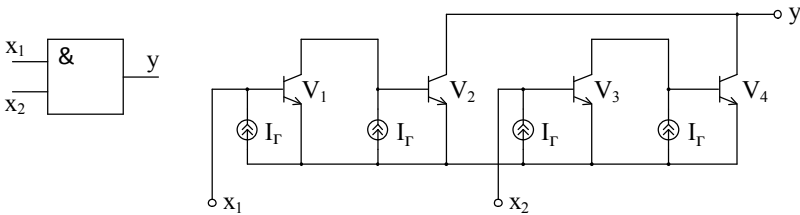


Рисунок 2.31 – Схема $I^2\Lambda$ -елемента I

У схемі застосовуються чотири ключі-інвертори. Взагалі при n входах потрібно застосовувати $2n$ ключів-інверторів. Схему одержують із 4 логічних елементів HE шляхом об'єднання колекторів (виходів) парних ключів-інверторів.

Нехай $x_1 = x_2 = U^0 = 0,05\text{ В}$. Непарні транзистори V_1 і V_3 закриті, і на їх колекторах – високий потенціал $U^1 = 0,75\text{ В}$. Тому транзистори V_2 і V_4 – відкриті і насичені, і на їх об'єднаних колекторах (вихід ЛЕ) – низький потенціал U^0 ($y = 0$).

Якщо ж $x_1 = x_2 = U^1 = 0,75 B$, то транзистори V_1 і V_3 – відкриті і насичені, на їх колекторах – низький потенціал. Транзистори V_2 і V_4 закриті, і $U_{вих} = U^1 = 0,75 B$ ($y = 1$).

Логічний елемент АБО–НЕ на $I^2\Lambda$

Показаний на рисунку 2.32.

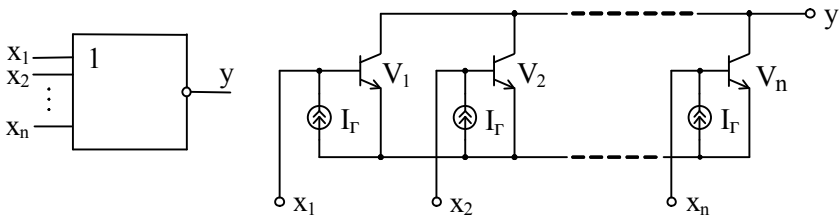


Рисунок 2.32 – Схема $I^2\Lambda$ -елемента АБО–НЕ

Якщо $x_1 = x_2 = \dots = x_n = U^0 = 0,05 B$, то всі транзистори $V_1 - V_n$ закриті, і на виході напруга $U_{вих} = U^1 = 0,75 B$ ($y = 1$).

Якщо ж хоча б на один вхід подається логічна «одиниця» ($x_1 = U^1$), а $x_2 = \dots = x_n = U^0$, то V_1 – відкритий і насичений, на його колекторі – низький потенціал U^0 , і тоді $U_{вих} = U^0 = 0,05 B$ ($y = 0$).

Характеристики і параметри $I^2\Lambda$ -елементів

1 Швидкодія. $t_{зад\text{сеп}} = 10 - 50 \text{ нс}$.

Для підвищення швидкодії необхідно зменшувати величину логічного перепаду $U_{вх_m}$. З цією метою вмикають на виходах ЛЕ діоди Шотткі. Це приводить до зменшення U^0 до величини $U_{Ш}^0 = U_0 - U_{Ш}$. При цьому логічний перепад зменшується вдвоє: $U_{вх_m} = 0,3 - 0,4 B$.

Цей захід збільшує швидкодію, але призводить до зниження рівня U^1 .

2 *Завадостійкість* невисока з причини малої величини логічного перепаду:

$$U_{m_{зав}}^- = 20-50 мВ, \quad U_{m_{зав}}^+ = 0,3 В.$$

3 $K_{роз} = N_K$ (де N_K – число колекторів багатоклекторного транзистора), $K_{роз} = 4-5$.

4 $K_{об} = 4-8$ (визначається числом ключів-інверторів, тобто кількістю елементів *НЕ*). Цей коефіцієнт обмежується негативним впливом паразитної ємності $C_{вх}$ на швидкодію елемента.

5 Споживана потужність I^2R -елемента невелика (з причини малих логічних рівнів U^0 і U^1 , відсутності резисторів у схемах, малої напруги джерела живлення E) і становить десятки мікровоат на кожен елемент I^2R -елемента.

2.7 Перетворювачі рівня

Під час роботи інтегральних схем ТТЛ зі схемами інших типів, які мають відмінні від ТТЛ значення логічних рівнів, необхідно використовувати спеціальні схеми **узгоджувальних пристроїв**, так звані **перетворювачі рівня**.

Так, для сумісної роботи ІС ТТЛ 133 і 135 серій з ІС ЕЗЛ 100 і 500 серій застосовується спеціальна ІС типу 100 ПУ 124 (500 ПУ 124), яка складається з чотирьох двовходових перетворювачів рівня для перетворення ТТЛ \rightarrow ЕЗЛ.

Розглянемо принцип дії одного з чотирьох перетворювачів рівня ІС 100 ПУ 124 (рис. 2.33).

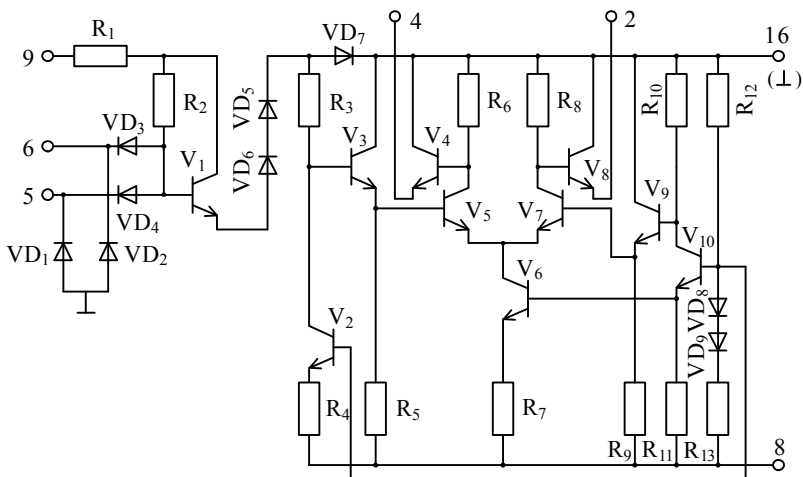


Рисунок 2.33 – Перетворювач рівня ТТЛ → ЕЗЛ

Склад схеми. VD_3 , VD_4 – вхідні діоди; V_1 – вхідний емітерний повторювач; V_5 , V_7 – диференціальний каскад у режимі перемикача струму (потенціальний інвертор із перемиканням емітерного струму); V_4 і V_8 – емітерні повторювачі; V_9 і V_{10} – генератор опірної напруги.

Напруга живлення ІС ТТЛ ($+5,0\text{ В} \pm 5\%$) подається на вивід 9; напруга живлення ІС ЕЗЛ ($-5,2\text{ В} \pm 5\%$) – на вивід 8; спільний вивід 16 з’єднується з корпусом; навантаження під’єднується до парафазних виходів 4 і 2. Для стробування усіх чотирьох перетворювачів рівня, розміщених в одному корпусі ІС 100 ПУ 124, другі входи кожного перетворювача об’єднуються на виводі 6. Опірня напруга з емітера V_{10} є напругою зміщення для ГСС на транзисторі V_6 . У схемі, крім того, створюються дві опірні напруги: $U_{оп1} = -1,8\text{ В}$ (з емітера V_9) і $U_{оп2} = -0,7\text{ В}$ (з R_{12}).

Робота схеми. Напруга $U_{оп_1}$ з емітера V_9 подається на один вхід диференціального каскаду (база V_7), напруга $U_{оп_2}$ з резистора R_{12} надходить на базу ще одного ГСС (V_2). При подачі на вхід сигналу $U_{вх} = U_{ТТЛ}^1 = 2,4 В$ на базі транзистора V_3 виникає потенціал $-0,05 В$, на базі V_5 – приблизно $-0,8 В$, що відповідає рівню $U_{ЕЗЛ}^1$. Транзистор V_5 відкривається, і на виході 4 установлюється рівень $U_{ЕЗЛ}^0 \approx -1,8 В$, а на виході 2 – рівень $U_{ЕЗЛ}^1 \approx -0,8 В$. Для подавлення імпульсних завад, що виникають у моменти перемикання в колах живлення схем ТТЛ, на вході схеми перетворювача рівня установлені діоди VD_1, VD_2 .

2.8 Порівняльна характеристика різних типів логічних елементів

Під час розроблення цифрових пристроїв електронної техніки важливим завданням є вибір серій ЦІС, які найповніше відповідають технічним вимогам, що ставляться до їх **швидкодії, завадостійкості, навантажувальної здатності, енергоспоживання**. Один із способів вибору серій полягає в порівнянні їх за характеристиками розглянутих у даному посібнику базових логічних елементів, які є основою схемотехніки серій ЦІС.

ТТЛ-, ТТЛШ-елементи характеризуються параметрами, що лежать у широкому діапазоні значень. Це дозволяє застосовувати ІС ТТЛ у пристроях різної швидкодії: високої, середньої і низької. Висока завадостійкість цих ЛЕ робить пристрої на їх основі більш стійкими щодо збоїв, спричинених дією завад. Тому ІС ТТЛ доцільно застосовувати в електронній техніці, яка працює з частотою перемикання $20 МГц$ (ТТЛ) і $50 МГц$ (ТТЛШ).

ЕЗЛ-елементи є найбільш швидкодійними з усіх існуючих ЦІС, працюють при частоті перемикавання, яка перевищує 100 МГц. Однак велика споживана потужність і низька завадостійкість обмежують їх застосування і зумовлюють необхідність ужиття спеціальних заходів їх захисту від наводок. ЦІС ЕЗЛ-типу несумісні за напругою живлення і логічними рівнями з ЦІС інших типів. Для усунення цього недоліку до складу серій входять допоміжні ІС (перетворювачі логічних рівнів).

Логічні елементи на **МОН-структурах** з індукованим *p*-каналом мають підвищену завадостійкість, але низьку швидкодію і велике енергоспоживання. Для їх роботи потрібні високовольтні (до – 27 В) джерела живлення і високі рівні логічних сигналів. Тому ЛЕ МОН-типу несумісні з усіма розглянутими типами ЛЕ.

Логічні елементи на **КМОН-структурах** істотно відрізняються за своїми властивостями від логічних елементів на МОН-структурах. Вони мають позитивну напругу живлення, споживають на кілька порядків меншу потужність, мають більшу швидкодію і завадостійкість. Функціональний склад серій на КМОН-структурах відрізняється різноманітністю, що дозволяє застосовувати ці серії для побудови будь-яких цифрових вузлів із тактовою частотою до 5 МГц.

Логічні елементи з **інжекційним живленням** мають швидкодію на порядок нижчу від швидкодії ЕЗЛ-схем, але приблизно однакову з ТТЛ- і КМОН-елементами. Завадостійкість їх найменша серед усіх типів ЛЕ. Проте за малими рівнями споживаної потужності цей тип ЛЕ може бути порівняний лише з ЛЕ на КМОН-структурах. Не меншою перевагою ЦІС з інжекційним живленням є те, що вони мають найбільшу серед усіх типів розглянутих схем **щільність пакування**, а тому найменші габарити.

Таким чином, для проектування та експлуатації електронних систем необхідним є всебічне урахування основних властивостей застосовуваної елементної бази з метою досягнення високих техніко-економічних показників.

3 Схемотехніка комбінаційних схем на програмованих логічних матрицях

3.1 Призначення і сфера застосування

Програмовані логічні матриці (ПЛМ) являють собою логічну схему для перетворення множини вхідних значень $X = \{x_1, x_2, \dots, x_m\}$ у відповідну множину вихідних даних $Y = \{y_1, y_2, \dots, y_m\}$ у двійковому коді. Правило перетворення вхідних змінних у функціях задається таблицею істинності. ПЛМ реалізує систему булевих функцій.

Програмовані логічні матриці широко застосовуються в програмованих логічних інтегральних схемах (ПЛІС). Наприклад, ПЛІС із плавкими запобіжниками за технологією ТТЛШ, в складі яких уже давно відомі ПЛМ К556РТ1, КР556РТ2, КР556РТ21.

Де можливе застосування ПЛІС?

По-перше, під час розроблення оригінальних і нестандартних пристроїв у комп'ютерах та системах керування, а також для заміни звичайних інтегральних мікросхем малого і середнього ступенів інтеграції. При цьому значно зменшуються розміри, потужність споживання й збільшується надійність пристроїв і систем, де вони використовуються.

По-друге, використання ПЛІС дає можливість значно зменшити час та затрати на проектування схем, розширити можливості розроблення модифікацій комп'ютерів.

По-третє, при проектуванні на основі ПЛІС пристроїв для захисту програмного забезпечення виробів від несанкціонованого доступу і копіювання ПЛІС має таку технологічну особливість, як «біт секретності», після програмування якого схема стає недоступною для читання.

Але найбільш широко ПЛІС використовують у мікропроцесорній та обчислювальній техніці. На їх основі розробляють контролери, адресні дешифратори, логіку обладнання мікропроцесора та ін. На основі ПЛІС часто виготовляють мікропрограмні автомати, спеціалізовані пристрої, схеми обробки сигналів і відображення, процесори швидкого перетворення Фур'є і т. д.

3.2 Принципи побудови базової програмованої логічної матриці

Виготовлювані електронною промисловістю ПЛІС мають у собі базову структуру програмованої логічної матриці, яка включає матрицю кон'юнкторів (матриця «I») і матрицю диз'юнкторів (матриця «АБО»). Принцип побудови таких ПЛМ розглянемо на ПЛІС серії K556PT1.

Ця ПЛІС (рис. 3.1) включає матрицю кон'юнкторів (матриця «I»), матрицю диз'юнкторів (матриця «АБО»), блок вхідних підсилювачів (ВП), блок вихідних каскадів (ВК), схему дозволу вибірки кристалу (ДВ), програмований дешифратор, програмовані адресні формувачі (АФ1, АФ2). Вхідні підсилювачі формують прямі та інверсні значення вхідних змінних з усіх шістнадцяти входів (A1...A16).

Програмований дешифратор (DC) і програмовані адресні формувачі (АФ1, АФ2) використовують у режимах програмування і контролю ПЛІС.

Для наочності і більш повного розуміння принципу побудови ПЛМ розглянемо базову функціональну схему ПЛІС серії K556PT1, яка містить у собі лише основні вузли схеми матриці «I», «АБО», вхідні і вихідні каскади (рис. 3.2).

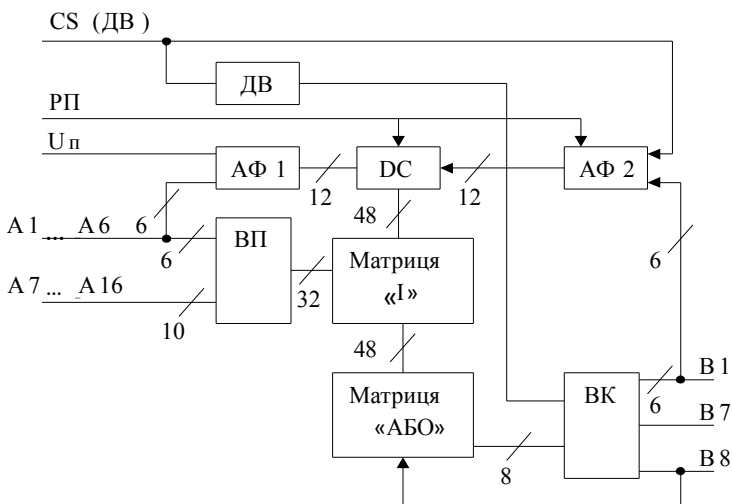


Рисунок 3.1 – Структурна схема даної ПЛІС

Вхідні підсилювачі (ВП1–ВП16) формують прямі й інверсні значення вхідних змінних, які надходять у матрицю «I». Для керування вхідними підсилювачами є шістнадцять входів (A1–A16). Вхідні підсилювачі побудовані на основі двох послідовно ввімкнених буферних логічних схем I–HE.

Основними вузлами мікросхеми K556PT1 є матриці «I» і «АБО», які реалізують дворівневі логічні функції. Перший рівень ПЛІМ складається із 48 кон'юнкторів (матриця «I»), які з'єднані за допомогою плавких ніхромових перемичок з будь-яким із шістнадцяти спільних входів через буферні схеми. У матриці «I» реалізують кон'юнкції вхідних змінних, причому кожна вхідна змінна може входити в кон'юнкцію прямим або інверсним значенням, або не входити зовсім. Вхідні сигнали, які з'являються на вхідних шинах матриці «I», вводяться в матрицю «АБО», яка утворює другий логічний рівень і реалізує диз'юнкції заданих кон'юнкцій.

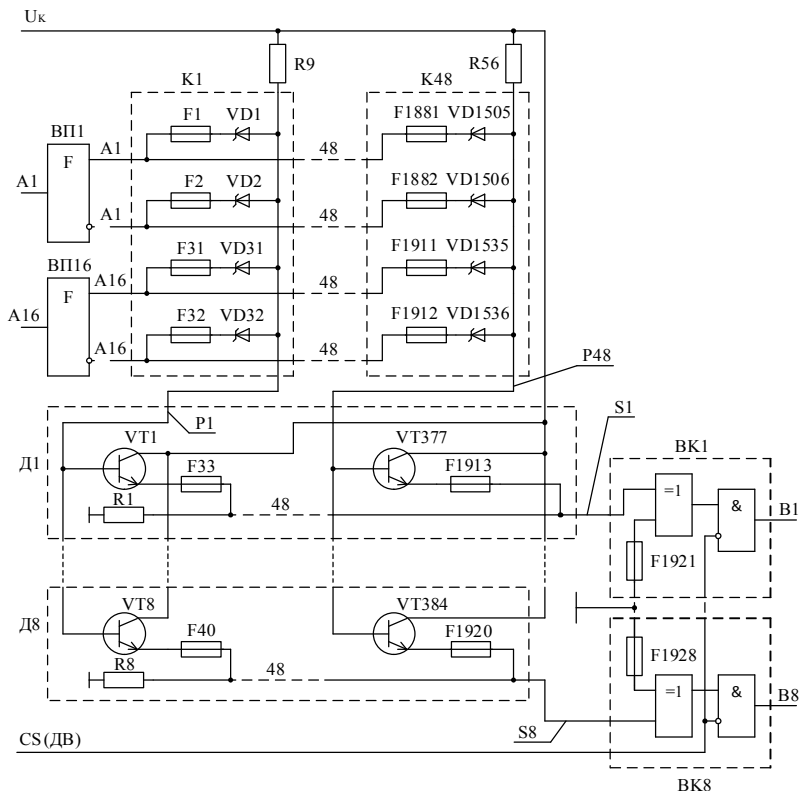


Рисунок 3.2 – Базова функціональна схема ПЛІС K556PT1,
 BП1–BП16 – вхідні підсилювачі;
 K1–K48 – кон'юнктори матриці «І»;
 Д1–Д8 – диз'юнктори матриці «АБО»
 BK1–BK8 – вихідні каскади;
 P1–P48 – шини кон'юнкцій;
 S1–S8 – шини диз'юнкцій;
 F1–F1928 – плавкі ніхромові перемикачі;
 VD1–VD1536 – діоди Шотткі;
 VT1–VT384 – транзистори;
 R1–R56 – резистори.

Матриця «АБО» утворює вісім диз'юнкторів (по одному «АБО» на виході ПЛІС), кожний із яких може бути вибірково з'єднаний із будь-яким із сорока восьми кон'юнкторів.

Шини, які з'єднують ці дві матриці, називають шинами кон'юнкцій і позначають $P1-P48$, а шини, які з'єднують матрицю «АБО» з вихідними каскадами, називають шинами диз'юнкцій та позначають $S1-S8$.

Програмованим елементом матриці «I» є діод Шоттки з плавкою ніхромовою перемичкою.

Матриці «АБО» увімкнені за схемою емітерного повторювача, $n-p-n$ -транзистор із плавкою ніхромовою перемичкою в емітері.

Вихідні каскади $BK1-BK8$ вміщують логічні схеми «Виключне АБО» і підсилювачі зчитування. Наявність на вході каскаду логічної схеми «Виключне АБО» дозволяє інвертувати рівень вихідного сигналу залежно від сигналу на вході, тобто дозволяє програмувати або активний високий, або активний низький рівень вихідного сигналу. Заземлення (під'єднання до сигналу «0») одного із двох входів логічної схеми «Виключне АБО» через плавку перемичку приводить до того, що активним рівнем виходу стає вихідна напруга високого рівня, а виплавлення цієї перемички приводить до того, що активним рівнем стає вихідна напруга низького рівня.

Підсилювачі зчитування побудовані на логічних схемах, що керують сигналами, які надходять від матриці «АБО» і від схеми дозволу вибірки.

ПЛІС як базова програмована логічна матриця в режимі обробки інформації працює так.

Вхідні змінні $A1-A16$ через блок вхідних підсилювачів у прямому інверсному значенні надходять на матрицю «I», де за допомогою діодів Шоттки і плавких ніхромових перемичок утворюють потрібні кон'юнкції $P1-P48$, які

логічно підсумовуються матрицею «АБО», утворюючи проміжні логічні функції S1–S8.

Ці функції надходять у вихідні каскади для подальшого їх перетворення і видачі на виходи В1...В8 ПЛМ.

Умовне графічне позначення мікросхеми К556РТ1 наведено на рисунку 3.3, де входи і виходи мікросхеми визначають:

- 1 – вхід програмування РП;
- 2–9 – входи ввімкнення змінних А1–А8 відповідно;
- 10–13 – виходи отриманих функцій В8–В5;
- 14 – спільний вихід (вихід подачі «0» В);
- 15–18 – виходи отриманих функцій В4–В1;
- 19 – вхід дозволу роботи (вибору) мікросхеми;
- 20–27 – входи ввімкнення вхідних змінних А16–А9;
- 28 – вхід подачі джерела живлення (+5 В).

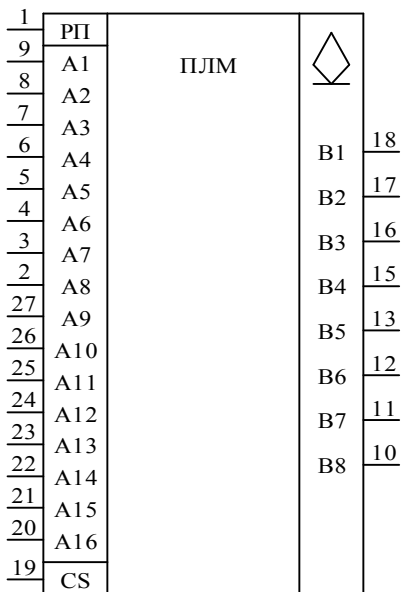


Рисунок 3.3 – Графічне позначення мікросхеми К556РТ1

СПИСОК ЛІТЕРАТУРИ

1. Твердотільна електроніка : навчальний посібник / О. А. Борисенко, О. М. Кобяков, А. І. Новгородцев та ін. – Суми : Сумський державний університет, 2013. – 270 с.
2. Схемотехніка електронних систем : підручник : у 3 кн. Кн 1. Аналогова схемотехніка та імпульсні пристрої / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – К. : Вища школа, 2004. – 366 с.
3. Схемотехніка електронних систем: підручник : у 3 кн. Кн 2. Цифрова схемотехніка / В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. – К. : Вища школа, 2004. – 423 с.
4. Васильєва Л. Д. Напівпровідникові прилади : підручник / Л. Д. Васильєва, Б. Г. Медведенко, Ю. І. Якименко. – К. : ІВЦ видавництво «Політехніка», 2003. – 388 с.
5. Евецький В. Л. Электронные приборы и основы микроэлектроники: Основы микроэлектроники : конспект лекцій / В. Л. Евецький, В. Ф. Новиков. – Київ : КВИРТУ ПВО, 1998. – 280 с.
6. Цифровые интегральные микросхемы : справочник / М. И. Богданович, И. Н. Грель, В. А. Прохоренко, В. В. Шалимо. – Мн. : Беларусь, 1991. – 493 с.
7. Матвієнко М. П. Комп'ютерна схемотехніка : навчальний посібник / М. П. Матвієнко, В. П. Розен. – К. : Ліра – К, 2013. – 192 с.

Навчальне видання

**ТВЕРДОТІЛЬНА ЕЛЕКТРОНІКА.
Мікросхемотехніка**

Конспект лекцій
для студентів напряму підготовки
6.050802 "Електронні пристрої та системи",
6.050801 "Мікро- та нанoeлектроніка"
усіх форм навчання

Відповідальний за випуск А. С. Опанасюк
Редактор Н. З. Клочко
Комп'ютерне верстання І. Є. Бражник

Підп. до друку 05.01.2015, поз.
Формат 60x84/16. Ум. друк. арк. 6,51. Обл.-вид. арк. 3,67. Тираж 40 пр. Зам. №
Собівартість видання грн к.

Видавець і виготовлювач
Сумський державний університет,
вул. Римського-Корсакова, 2, м. Суми, 40007
Свідоцтво суб'єкта видавничої справи ДК № 3062 від 17.12.2007.