

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

ІНФОРМАТИКА, МАТЕМАТИКА,
АВТОМАТИКА

ІМА :: 2013

**МАТЕРІАЛИ
та програма**

НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ

(Суми, 22-27 квітня 2013 року)

Суми
Сумський державний університет
2013

Модели встроенного ремонта комбинационных логических элементов

Литвинова Е.И., *проф.*; Baghdad Ammar Avni Abbas, *асп.*

Харьковский национальный университет радиоэлектроники, г. Харьков

Задачи создания схем со встроенным самотестированием и самовосстановлением хорошо решены для регулярных структур. Для схем с комбинационной организацией логических элементов этот вопрос остается открытым. Предлагается разбивать схему на отдельные блоки и добавлять один резервный модуль на каждые три рабочих блока (конфигурация 4-1) или 2 резервных на 6 рабочих блоков (8-2). При возникновении ошибки резервный блок можно заменить одним из основных функциональных модулей. Для управления процессом восстановления необходимы входные и выходные переключательные схемы, декодер выбора блока и два бита памяти для хранения состояния системы. Для 32-битового АЛУ количество избыточных элементов составляет 38%, в то время как для вентиля И-НЕ – 200%. Для упрощения схемы самотестирования в конфигурации 8-2 оба резервных блока управляются одной и той же схемой. При этом модель ошибок работает в предположении, что только один блок в подсистеме может быть неисправным в текущий момент времени. Схемы самотестирования и самовосстановления инициируются включением питания и выполняют свои функции в процессе проведения процедуры конфигурации FPGA. Однако замена одного логического элемента в рамках CLB трудно реализуема, поскольку функция на блоках представлена в табличном виде. Минимальным блоком для построения самотестируемых схем может быть только CLB.

Предлагаемый метод самотестирования неприменим к отдельным блокам сумматора и к реализованным на их основе устройствам. Сумматоры строятся на сквозных линиях переноса, идущих вдоль столбцов CLB в FPGA. Исключить из сумматора блок без нарушения целостности всего устройства, невозможно. Создание схемы самотестирования на уровне логических элементов приводит к высокой избыточности аппаратуры.

1. Koal T., Vierhaus H.T. *Optimal Spare Utilization for Reliability and Mean Lifetime Improvement of Logic Built-In Self-Repair* // 14th Intern. Symposium on DDECS. 2011. P. 219 – 224.