

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

ФІЗИКА, ЕЛЕКТРОНІКА,
ЕЛЕКТРОТЕХНІКА

ФЕЕ: 2016

**МАТЕРІАЛИ
та програма**

НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ

(Суми, 18–22 квітня 2016 року)



Суми
Сумський державний університет
2016

Методи реалізації цифрових лічильників у пакеті Quartus II

Бодяк Н.О., студент; Степенко С.А., доцент
Чернігівський технологічний університет, м. Чернігів

Основними елементами сучасних інформаційно-вимірювальних систем (ІВС) є цифрові лічильники. Завдяки ряду переваг [1], базою реалізації ІВС стають програмовані логічні інтегральні схеми (ПЛІС). Для розробки ІВС на ПЛІС використовують пакет Quartus II [2]. Мета даної роботи – дослідження методів реалізації цифрових лічильників у Quartus II. Перший метод – синтез на основі доступних інтегральних лічильників. Так досліджено 4-розрядний асинхронний лічильник 7490 (аналог K555ІЕ2), що використовують як дільник частоти на 10, при з'єднанні виходу QA зі входом CLKB (Q0-C2 у аналога). Другий метод – синтез на основі тригерів, зокрема, досліджено лічильник з коефіцієнтом лічби 7 (рис. 1). Третій метод – використання функції `lpm_counter` із MegaWizard Plug-in Manager, налаштування параметрів та отримання діаграм роботи у вигляді файлу `lpm_counter_wave0.jpg`. Затримки розповсюдження для 7490 у 3-5 разів нижчі, ніж у аналога (50 нс) та різняться залежно від шляхів сигналу: $t_{зд.р(C1-Q0)}^{0,1} = 14$ нс; $t_{зд.р(C2-Q1)}^{0,1(1,0)} = 5,5$ нс; $t_{зд.р(R-Q1)}^{1,0} = 16,2$ нс; $t_{зд.р(C2-Q2)}^{0,1} = 4,8$ нс; $t_{зд.р(C2-Q3)}^{0,1(1,0)} = 5,5$ нс; $t_{зд.р(S-Q1)}^{0,1} = 16,5$ нс; $t_{зд.р(S-Q3)}^{0,1} = 16,4$ нс.

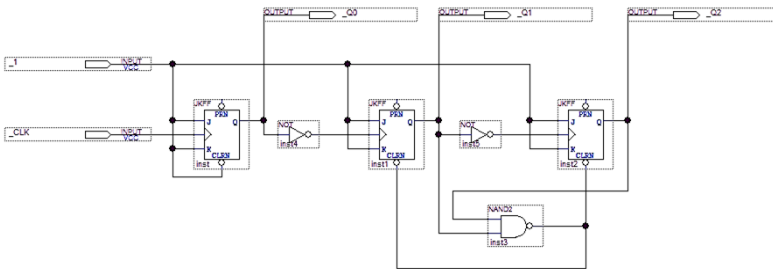


Рисунок 1 – Сумуючий лічильник з послідовним переносом.

1. S. Stepenko, O. Husev, D. Vinnikov and S. Ivanets, *13th Biennial Baltic Electronics Conference*, 263 (2012).
2. С.А. Іванець, Ю.О. Зубань, В.В. Казимир, В.В. Литвинов, *Проектування комп'ютерних систем на основі мікросхем програмованої логіки* (Суми: СумДУ: 2013).