

Борисенко А.А.

Биномиальный счет и счетчики



МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ
СУМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

БОРИСЕНКО А.А.

БИНОМИАЛЬНЫЙ СЧЕТ И СЧЕТЧИКИ

*Рекомендовано ученым советом
Сумского государственного университета
в качестве монографии*

Сумы
Изд-во СумГУ
2008

ББК 22.174
Б 82
УДК 519.854

*Рекомендовано до друку вченою радою
Сумського державного університету
(протокол № 2 від 11.09.2008 р.)*

Рецензенти:

д-р фіз.-мат. наук, професор Г.С. Воробйов
(Сумський державний університет);
канд. техн. наук, доцент І. А. Кулик
(Сумський державний університет).

Борисенко О. А.

Б 82 Біноміальна лічба і лічильники: Монографія. - Суми:
Вид-во СумДУ, 2008. – 152 с. – Рос. мовою.
ISBN 978-966-657-214-4

У роботі проведені оригінальні дослідження у сфері біноміальної лічби, які мають теоретичне і практичне значення при розробленні надійних лічильників і цифрових пристроїв на їх основі. Наведені практичні схеми. Монографія написана на основі наукових досліджень, що проводилися у Сумському державному університеті.

ББК 22.174

2008
ISBN 978-966-657-214-4
2008

© О.А. Борисенко,

© Вид-во СумДУ,

СОДЕРЖАНИЕ

	С.
Глава 1 Вводная	
1.1 Предисловие	5
1.2 О надежности цифровых устройств	9
Глава 2 Двоичный биномиальный счет	
2.1 Позиционные системы счисления	18
2.2 Двоичная биномиальная система счисления	21
2.3 Алгоритмы помехоустойчивого биномиального двоичного счета	30
2.4 Алгоритмы построения равновесных кодов на основе биномиальных чисел	36
Глава 3 Биномиальные суммирующие счетчики	
3.1 Биномиальный суммирующий помехоустойчивый счетчик	41
3.2 Биномиальный суммирующий счетчик с повышенной глубиной контроля	46
3.3 Биномиальный суммирующий счетчик с дешифрацией состояний	50
3.4 Биномиальный суммирующий счетчик с помехоустойчивой дешифрацией состояний	54
3.5 Быстродействующий биномиальный суммирующий счетчик с коррекцией ошибок	55
Глава 4 Биномиальные вычитающие счетчики	
4.1 Вычитающий помехоустойчивый биномиальный счетчик	64
4.2 Вычитающий биномиальный счетчик с переключением каналов	68
4.3 Быстродействующий вычитающий биномиальный счетчик	73
4.4 Реверсивный биномиальный счетчик	78
Глава 5 Устройства перебора равновесных кодов	
5.1 Счетчики равновесных кодов	82
5.2 Устройство перебора элементов всех подмножеств множества-степени	85

5.3 Биномиальные микропроцессорные устройства для перебора равновесных кодов	94
Глава 6 Биномиальные преобразователи кодов	
6.1 Преобразователь равновесного кода в двоичный	99
6.2 Преобразователь двоичного кода в равновесный	104
6.3 Биномиальные устройства сжатия информации	110
Глава 7 Многозначный биномиальный счет и биномиальные счетчики	
7.1 Многозначные биномиальные системы счисления	115
7.2 Многозначные суммирующие биномиальные счетчики	128
7.3 Реверсивный многозначный биномиальный счетчик	133
7.4 Многозначный биномиальный счетчик для перебора сочетаний	137
7.5 Многозначный биномиальный счетчик для перебора композиций	139
Заключение	143
Список использованной литературы	145

1.1 ПРЕДИСЛОВИЕ

Данная монография подводит итог многолетней теоретической и практической деятельности автора в области построения помехоустойчивых и самоконтролируемых цифровых устройств на основе разработанной им теории *биномиальных* систем счисления с двоичным и многозначным алфавитом. Это довольно широкий набор устройств, среди которых особенное внимание уделялось *счетчикам*. Часть из них описана в данной работе [1 – 18]. Все они в свое время были признаны изобретениями и по своим основным параметрам не потеряли актуальности до сегодняшнего дня.

В общем случае под *счетчиками* понимают автоматы, *производящие перебор своих состояний в возрастающем или убывающем порядке* [46].

Такое определение для счетчиков слишком широкое, так как позволяет подводить под них практически любой переборный автомат. Например, виртуальные вычислительные машины Тьюринга или Поста при таком определении можно считать счетчиками, несмотря на то, что они не направлены на решение задач обычного счета. Это по своей сути обладающие свойством реверса переборные автоматы, необходимые для решений различных математических задач, а также для доказательства различных теорем и соотношений. Безусловно, при необходимости они могут решать и задачи счета, то есть выступать в роли счетчиков, однако назвать их счетчиками – это, значит, в значительной мере сузить сферу их возможностей.

Счетчиком же в данной работе выступает *специализированный* переборный автомат, который решает непосредственно задачу счета, используя для этого какую-либо систему счисления. В данном случае – это будет *биномиальная* система счисления. Другими словами, *счетчиком будет называться цифровой автомат, который последовательно изменяет свои состояния*

таким образом, что каждое последующее состояние отличается от предыдущего по своему численному значению на 1.

Из приведенного определения следует, что счетчиком по существу является *сумматор*, который складывает или вычитает в какой-то одной из систем счисления находящееся в нем число с единицей. Именно к таким счетчикам относятся *биномиальные* счетчики, которые работают с числами, а не кодовыми словами вообще, как это происходит в переборных автоматах. Эти счетчики выгодно отличаются от двоичных счетчиков более высокими показателями *надежности*, а в ряде случаев и большим быстродействием. Кроме того, на их основе можно строить электронные цифровые устройства и системы с функциями, которые с помощью обычных двоичных счетчиков достичь довольно сложно.

Следует отметить, что за последние шестьдесят лет в цифровой электронной технике не произошло принципиальных изменений в ее основах. Шел прогресс в области повышения ее быстродействия и надежности, расширялись области применения, вводились новые сервисные функции, однако основные идеи построения цифровых систем, высказанные еще фон Нейманом, оставались неизменными. Одной из главных среди них оставалась и пока что остается идея использования в этих устройствах *двоичной* системы счисления.

Однако теория и практика систем счисления не стоит на месте и продолжается их дальнейшее развитие. Создавались новые системы счисления, отличные от естественных систем, и разрабатывались работающие в них устройства. Их недостаток – относительно высокая сложность одновременно является и их достоинством, потому что при современном уровне интегральных технологий можно получать качественно новые по своей структуре и возможностям цифровые устройства практически любой сложности без существенного повышения уровня их цен.

Предлагаемые в работе биномиальные счетчики, кроме решения своей основной задачи – надежного счета, в составе общих цифровых структур способны решать и другие более сложные задачи, которые можно свести как к задачам *последовательного* порождения комбинаторных объектов, например, сочетаний, так и к задачам *преобразования* кодов. К последним

задачам следует отнести задачи *помехоустойчивого* кодирования, *сжатия* информации и *защиты* ее от несанкционированного доступа.

Данная монография, кроме описания биномиальных счетчиков и цифровых устройств на их основе, содержит кратко изложенную теорию биномиальных систем счисления, как двоичных, так и многозначных. Эта теория в данном случае необходима, так как именно она позволяет разрабатывать различные алгоритмы надежного биномиального счета и строить на их основе соответствующие биномиальные счетчики. Причем не только счетчики, описанные в книге, а и другие цифровые устройства, и среди них устройства с еще неизвестной в настоящее время структурой. Это значит, что имеется перспектива на основе имеющихся идей, высказанных в монографии, создавать цифровые устройства и системы с новыми функциями и новыми возможностями.

Следует отметить, что производство счетчиков и цифровых устройств на их основе представляет на сегодня целую индустрию, в которую входят специализированные фирмы и организации, выпускающие механические, электромеханические и электронные счетчики, а также программно-временные задатчики, в простейшем случае представленные электронными часами. Наряду с этим счетчики, как составные элементы, входят в большинство электронных цифровых устройств и представляют собой наиболее массовый вид микроэлектронных устройств. Им посвящены отдельные книги и научные работы [20-22, 45, 46, 48, 49, 50].

Выше уже упоминалось, что все предлагаемые в данной работе устройства прошли соответствующую экспертизу и были признаны в свое время *изобретениями*. Однако в то время, а это было более 20 лет назад, эффективное применение этих устройств затруднялось из-за повышенной сложности, связанной с аппаратной избыточностью, что приводило к высокой их стоимости даже в интегральном исполнении. Однако в настоящее время появились дешевые интегральные схемы – программируемые интегральные схемы (ПЛИС), которые можно путем специального программирования *схемотехнически* настраивать на выполнение той или иной функции. Достоинством ПЛИС

является то, что они дают возможность строить недорогие устройства, превосходящие по быстродействию и надежности многие из существующих микропроцессорных устройств. С их помощью в настоящее время создается новое поколение цифровой техники, в том числе и компьютерной, где широко применяются интегральные схемы с жесткой логикой. Это приводит к резкому росту быстродействия и надежности этой техники, что в свою очередь изменяет существующие на сегодня ее возможности.

Возвращаясь непосредственно к монографии, можно сказать, что она предназначена в первую очередь для инженеров - разработчиков цифровой техники, но будет полезна научным сотрудникам, аспирантам и студентам различных специальностей, связанным с цифровой техникой, и в первую очередь студентам специальности «Электронные системы». Особенно она может пригодиться для дипломных работ магистров, так как одно из основных назначений данной работы – это попытка привить студентам интерес к творческой работе на примерах нестандартных схемотехнических решений цифровых устройств, которые являются практическим результатом специальной математической теории.

Данные решения могут быть также применены для рейтинговых курсовых проектов повышенной сложности, и стать темой дипломных проектов и магистерских работ, а при дальнейшем совершенствовании и диссертаций. Собственно, все эти решения, так или иначе, уже использовались ранее в диссертациях.

Монография состоит из 7 глав.

Первая из них является вводной и рассматривает необходимость и сущность решаемых в данной работе задач. Кроме того, рассмотрены вопросы, связанные с надежностью цифровой техники.

Вторая решает общие вопросы, связанные с позиционными системами счисления, вообще, и *двоичными* биномиальными системами счисления, в частности. При этом рассматриваются *алгоритмы* получения и перебора биномиальных чисел и равновесных комбинаций на их основе, а также способы их нумерации.

Третья глава представляет собой описание двоичных суммирующих биномиальных счетчиков.

В *четвертой* главе представлены двоичные вычитающие биномиальные счетчики.

В *пятой* главе рассматриваются помехоустойчивые устройства перебора *равновесных* кодов, полученные на основе биномиальных счетчиков, отличающиеся повышенной надежностью и быстродействием.

Шестая глава содержит информацию о помехоустойчивых биномиальных преобразователях, позволяющих решать задачи сжатия и защиты двоичных сообщений от несанкционированного доступа.

Седьмая глава излагает основы помехоустойчивого многозначного биномиального счета, описания алгоритмов счета и схем соответствующих суммирующих и вычитающих счетчиков, а также устройств перебора комбинаторных конфигураций.

Большинство из приведенных в монографии устройств были собраны и проверены в условиях приближенных к реальной практике.

1.2 О НАДЕЖНОСТИ ЦИФРОВЫХ УСТРОЙСТВ

Современная цифровая электронная техника прошла в своем развитии путь от электронных ламп до интегральных схем, и ныне идет к устройствам, использующим достижения нанотехнологий, то есть молекулярной электроники. Однако на всех этапах развития перед ней стояла и стоит сегодня задача повышения *надежности*. Особенно она важна была для *управляющей* техники, так как от ее надежности непосредственно зависит безопасность работы производственных линий, химических и ядерных реакторов, транспортных средств.

Эта задача будет стоять для цифровой электроники и в будущем. Более того, ее решение станет еще более актуальным, так как область применения электронных управляющих приборов непрерывно расширяется, а новые их технические решения не в состоянии удовлетворить все возрастающие требования к их надежности. Очевидно, что для задачи повышения надежности цифровой техники в силе остаются все

имеющиеся наработки в ее решении, но будут разрабатываться и принципиально новые подходы, позволяющие сделать скачок в росте ее надежности.

Среди уже существующих подходов, решающих задачу повышения надежности цифровых систем, есть и подход, который решает ее, начиная с элементной базы, – дешифраторов, регистров, счетчиков, сумматоров. Однако на сегодня автору пока что неизвестны имеющиеся в *массовом* производстве электронные цифровые системы, например, компьютеры, в которых бы происходило автоматическое устранение сбоев и отказов на самом *нижнем* уровне – на уровне их *элементов*, причем на каждом *такте* работы.

Ранее реализации этого подхода в массовом порядке мешала высокая сложность изготовления интегральных микросхем и соответственно их высокая стоимость. На сегодня стоимость микросхем значительно снизилась, но технологическая надежность уже существующей элементной базы считается достаточно высокой, и поэтому вопрос о разработке отказоустойчивой элементной базы часто не относят к первостепенной задаче.

И действительно для многих приложений цифровых систем, особенно бытовых, надежность существующей элементной базы вполне приемлема. Поэтому задача дальнейшего повышения ее надежности вообще не ставится, а необходимая надежность электронных систем достигается с помощью программных или структурных методов. Например, в летательном аппарате ставится три или пять дублирующих друг друга компьютеров и по большинству «голосов» решается какая информация достоверная. Это позволяет реализовывать на обычной элементной базе надежные электронные системы относительно небольшой стоимости, пригодные не только для массового производства, а и для спецзаказов.

Однако, все же, существуют области применения, где имеющейся в настоящее время надежности цифровых систем явно недостаточно. Это, например, ракетная и военная техника, подвижной состав, атомные станции. Известны случаи в летательных аппаратах, когда даже при пяти компьютерах в цифровой системе аппарата происходили сбои, и аппарат терпел

аварию. Потери от невысокой надежности электронных цифровых систем в таких и подобных случаях могут быть настолько большими, что практически любые затраты на ее повышение не могут считаться излишними.

А если затрат для повышения надежности требуется не слишком много, то тем более имеет смысл повышать надежность электронных систем, в том числе и на уровне микросхем. Ведь на сегодня доказано теоретически и практически, что интегральные микросхемы стареют, какими бы они надежными не были вначале, и рано или поздно выходят из строя. Причем, их отказ может происходить по совершенно непредсказуемым причинам, связанным, например, с процессами, происходящими на уровне атомов.

В целом же вопросы повышения надежности должны решаться на различных уровнях, начиная с элементной базы и заканчивая структурой проектируемого технического устройства или системы. Тогда каждый элемент и блок электронной системы на каждом такте работы будет давать сигнал о своей исправности или неисправности, а имеющаяся система контроля и диагностики станет оперативно на него реагировать.

Так как при рассматриваемом общем подходе к повышению надежности электронной системы ее контроль происходит на каждом такте, то она будет системой с оперативным контролем. Однако такая система лишь выдает сигналы о произошедших отказах или сбоях и указывает их место. Для исправления ошибок нужна еще система, оперативно устраняющая отказы и сбои, а для этого нужны дополнительные элементы в структуре исходной электронной системы.

Поэтому в электронную систему *изначально*, а не после ее построения, во всех ее элементах и блоках без исключения следует вводить схемы контроля, диагностики и исправления отказов. Причем, они могут быть рассредоточены в основной схеме так, что не будут выступать в виде отдельного устройства. Такое решение является наиболее эффективным способом введения избыточности, так как оно наиболее экономно с точки зрения аппаратных затрат и, кроме того, незначительно снижает быстродействие исходного устройства за счет распараллеливания процесса контроля.

Контролирующие схемы, введенные таким образом в устройство, автоматически, в реальном масштабе времени, устраняют отказы и ошибки и, при необходимости, изменяют *конфигурацию* электронной системы так, чтобы она продолжала выполнять свои основные функции и при отказе некоторых ее элементов. Наиболее часто для устранения ошибок или неисправностей в цифровое устройство включаются *дублирующие* основной элемент или блок резервные элементы и блоки, которые выполняют те же функции, что и вышедшие из строя. При этом в случае выключения основного элемента или блока частично снижается лишь надежность электронной системы, а ее работа в целом не нарушается.

Хотя рассматриваемая идея построения отказоустойчивой техники, исправляющей ошибки и неисправности на *каждом* такте работы электронной системы, не нова, она при массовом производстве сложных электронных систем используется относительно редко. Однако, все же, она заслуживает внимания, так как позволяет без *остановки* работы электронной системы и даже без ее *замедления* обнаруживать и исправлять ошибки, что особенно важно в системах управления, работающих в реальном масштабе времени.

Из-за того, что такая отказоустойчивая система должна производить контроль своей работы по каждому такту работы, требования к ее оперативности и быстрдействию достигают возможного максимума. В такой системе при контроле работы отдельных микросхем на ее нижних уровнях, приходится во многих случаях отказываться от программных методов контроля и устранения отказов и сбоев и заменять их схемными. Это в ряде случаев усложняет и удорожает электронную систему, но в то же время значительно повышает ее надежность и быстрдействие по сравнению с системами, где отсутствует такой потактовый контроль.

При этом как сбой, так и отказы аппаратуры воспринимаются электронной системой как неисправности, потому что они в любом случае при рассматриваемом подходе построения отказоустойчивых электронных систем должны быть оперативно, то есть в течение такта, исправлены самой системой. Именно в этом проявляется эффект повышения

быстродействия по сравнению с системами, где устранение ошибок происходит в течение ряда тактов.

В свете вышесказанного следует считать, что наиболее перспективными электронными системами будут системы, в которых после появления отказов происходит автоматическая перестройка их структур и устранение из системы отказавших элементов. При этом, очевидно, будет изменяться *структура* электронной системы и возрастать нагрузка на ее рабочие блоки, что приведет к снижению живучести системы в целом. Однако, все же, какой-то период, по крайней мере, до замены отказавших блоков, она сможет эффективно выполнять свои функции.

Сами блоки электронных систем в свою очередь состоят из выполненных в виде интегральных микросхем ее элементов, таких как *регистры, счетчики, дешифраторы*. Поэтому повышение надежности электронной системы нужно начинать именно с повышения надежности микросхем. Их стоимость при современной технологии производства увеличивается не намного, быстродействие при параллельной работе основного и дублирующего элементов практически не уменьшается, а надежность увеличивается в разы.

Из всего набора применяемой в настоящее время элементной базы следует рассмотреть, прежде всего, дешифраторы и счетчики, как наиболее универсальные и распространенные элементы цифровой техники. Отказоустойчивость дешифраторов позволяет повысить надежность устройств, в которые они входят, например, мультиплексоров, демультиплексоров, матричных сумматоров, постоянных запоминающих устройств.

На базе дешифраторов – полных и неполных, можно реализовать в принципе любую сколь угодно сложную логическую функцию и, соответственно, использующее ее цифровое электронное устройство или систему. А если эти дешифраторы будут еще и отказоустойчивыми, то это позволяет на их основе строить отказоустойчивые электронные системы.

Под *полным* дешифратором обычно понимается комбинационное цифровое устройство, имеющее n входов и 2^n выходов, только на одном из которых может появиться сигнал.

Уже то, что дешифратор вырабатывает сигнал только на одном из своих выходов, дает возможность производить контроль его работы, что успешно и осуществляется в ряде случаев. Поступающие на входы полного дешифратора комбинации представляют собой конstituанты единицы. Поэтому, объединяя выходы такого дешифратора, соответствующие конstituантам единицы некоторой логической функции, с помощью схемы *ИЛИ*, получают реализацию этой функции в совершенной нормальной дизъюнктивной форме. Эта форма может быть также и конъюнктивной. Тогда в случае, если дешифратор защищен от ошибок и отказов, устройство, реализующее на нем ту или иную логическую функцию, будет также защищено от них.

Безусловно, что такая защита относительная. Вообще, никакая избыточность и никакие самые современные и изощренные методы защиты электронных устройств и систем как те, что существуют сейчас, так и те, которые появятся в будущем, не смогут гарантировать стопроцентную надежность их работы. Однако, все же, существует возможность повысить надежность цифровой электронной техники в разы за счет рационального введения в нее избыточности, как аппаратной, так и информационной. В данном случае такая избыточность уже существует в дешифраторе в силу особенностей его структуры. Ее широко используют на практике для защиты дешифратора от ошибок и отказов.

Кроме полного дешифратора на практике широко применяются и *неполные* дешифраторы. Они имеют меньше чем 2^n выходов. Кроме того, они дешифрируют не конstituанты единицы или нуля, а произведения или суммы переменных логической функции с меньшим количеством переменных, чем их имеется в конstituантах. Например, обычная схема *И* на два входа представляет собой простейший неполный дешифратор с одним выходом. В соответствующем полном дешифраторе, реализованном на схемах *И* с двумя входами, число выходов будет равняться 4.

Обычно, на неполных дешифраторах реализуются программно-логические матрицы, а на полных - постоянные запо-

минающие устройства. В отличие от полных неполные дешифраторы предназначены для реализации нормальных сокращенных и минимальных форм представления логических функций - конъюнктивных и дизъюнктивных. Эти дешифраторы, также как и полные, после соответствующей доработки, способны защищать реализованные на них логические функции от отказов и помех.

Из вышесказанного следует, что, если дешифраторы будут обладать повышенной надежностью, то и схемы, реализующие с их помощью те или иные логические функции, будут такими же. Поэтому важной задачей при повышении надежности электронной техники является разработка отказоустойчивых и помехоустойчивых дешифраторов, как полных, так и неполных.

Используя такие дешифраторы, можно легко реализовать надежные устройства, выполняющие заложенное в логической функции преобразование входных наборов переменных в ее выходные значения. Для этого необходимо лишь определенные выходы дешифратора связать схемой *ИЛИ* для нормальной дизъюнктивной формы или схемой *И* для нормальной конъюнктивной формы. Взяв несколько таких преобразователей и расположив их параллельно, получим постоянное запоминающее устройство. Это же устройство одновременно будет представлять и преобразователь кода. А, как известно, на преобразователях кодов можно получать любые цифровые устройства, так как все они по своей сути представляют собой такие преобразователи. Отличие лишь в их конкретной реализации.

Однако дешифраторы – это всего лишь комбинационные схемы, то есть схемы без памяти. Хотя в принципе на их основе можно реализовать любое цифровое устройство или систему, работающую в течение одного такта, в виде матричной схемы, на практике, все же, пока что, невозможно обойтись без цифровых устройств с памятью. Одним их таких распространенных и универсальных цифровых устройств является *счетчик*.

Счетчик – это *универсальное* устройство. Он выполняет функции пересчетной схемы, счетчика импульсов, пересчетного устройства, сумматора, регистра, распределителя импульсов, формирователя адресов. При наличии дополнительных комбинационных схем, в частности, дешифратора, с помощью

счетчика можно реализовать – устройство управления, датчик информации, кодирующее устройство, устройство сжатия информации, преобразователь кодов, измеритель частоты или времени, аналого-цифровой и цифро-аналоговый преобразователь. Поэтому вопросам повышения помехоустойчивости и отказоустойчивости счетчиков на практике уделяется значительное внимание.

Используя только отказоустойчивые счетчики и дешифраторы можно в принципе построить отказоустойчивую электронную систему любой сложности. Однако все же наиболее эффективное применение этих двух устройств – это их применение в отказоустойчивых *управляющих* устройствах и системах. Причем, кроме того, что эти системы будут в этом случае отказоустойчивыми, они еще смогут сохранять и однородность структуры, что приведет к снижению их стоимости.

Особое значение для ряда применений счетных устройств, наряду с их высокой надежностью, имеет и их высокое быстродействие. Например, счетчики применяются в дальномерах на основе лазерных источников света. Там счетчик должен измерять время, за которое лазерный луч пройдет то или иное расстояние. Очевидно, что требования к быстродействию таких счетчиков будет очень высоким.

Получить сверхбыстродействующие отказоустойчивые счетчики для управляющих систем, работающих в реальном масштабе времени, можно различными способами, среди которых следует выделить способы, использующие специальные коды такие, например, как коды Грея [20, 21]. Их использование позволяет решить одновременно как задачу повышения быстродействия счетчиков, так и задачу повышения их надежности. В результате применения этих и подобных кодов можно решать глобальную задачу построения надежной и одновременно быстродействующей цифровой техники, которая может использоваться как в специализированной, так и в обычной аппаратуре, предназначенной для широкого потребителя.

Одним из существенных вопросов при проектировании электронных систем является расчет их отказоустойчивости и помехоустойчивости. Здесь, очевидно, не обойтись без стандартных методов расчета, данных во многих источниках

информации. Однако расчет помехоустойчивости требует и применения ряда других более специфических методов. Среди них есть и метод расчета помехоустойчивости неразделимых кодов, предложенный в [21]. Он удобен для оценки помехоустойчивости и отказоустойчивости элементов электронных устройств, использующих избыточное кодирование.

Однако для того чтобы применить данный метод оценки надежности передачи информации к оценке цифровой аппаратуры нужно представить ее в виде системы, состоящей из абсолютно надежно работающего цифрового устройства и следующего за ним блока передачи информации. Этот блок будет считаться подверженным тем же ошибкам, что и реальное цифровое устройство. Тогда оценка его помехоустойчивости будет определяться только помехоустойчивостью блока передачи информации. Данный подход прост, универсален и позволяет с достаточно высокой точностью оценивать помехоустойчивость цифровых устройств.

2.1 ПОЗИЦИОННЫЕ СИСТЕМЫ СЧИСЛЕНИЯ

В вычислительной технике широко распространены двоичные, восьмеричные, шестнадцатеричные и другие позиционные системы счисления, имеющие однородную структуру. Более сложные позиционные системы счисления с неоднородной структурой менее известны. Будем их называть *неоднородными* позиционными системами счисления. Соответственно позиционные системы счисления с однородной структурой назовем *однородными*. Их еще называют *степенными* или *естественными* системами счисления. В настоящее время неоднородные системы счисления не нашли еще достаточно широкого применения. Однако исследование этих систем выявило ряд их полезных свойств, например, помехоустойчивость, возможность генерирования перестановок и другие [27, 33, 42, 47].

Практическое применение неоднородных систем счисления основывается на двух важнейших их свойствах: они, во-первых, позволяют формировать и нумеровать комбинаторные объекты различной природы; и, во-вторых, являются помехоустойчивыми. В результате наличия таких свойств у неоднородных позиционных систем счисления на их основе могут разрабатываться специализированные управляющие устройства с экстремальными характеристиками по быстродействию, надежности, габаритам, весу. Они позволяют строить адаптивные коды и кодирующие устройства для сквозного контроля информации в процессе ее преобразования, передачи и хранения; разрабатывать алгоритмы и устройства для сжатия и засекречивания информации; предлагать новые, более эффективные по быстродействию алгоритмы и реализующие их устройства для решения ряда задач комбинаторной оптимизации.

Разработка специализированных управляющих устройств на основе неоднородных позиционных систем счисления, структура которых в максимальной степени соответствует специфике решаемой задачи, позволяет экономить аппаратурные затраты и

достигать значительного выигрыша в быстродействии. Так как неоднородные системы счисления являются избыточными, то наряду с повышением быстродействия и снижением стоимости управляющих устройств повышается их надежность и упрощается диагностика неисправностей.

Целесообразно на основе неоднородных систем счисления разрабатывать управляющие устройства, которые выполняют в основном логические и простейшие арифметические операции над целыми числами. Это вызвано тем, что указанные операции в неоднородных системах счисления выполняются наиболее эффективно. Отдельные узлы таких специализированных устройств имеют самостоятельный интерес для универсальных ЦВМ, например, помехоустойчивые счетчики, регистры, АЦП.

Для решения задачи помехоустойчивого хранения и передачи информации разработано довольно большое количество различных кодов как обнаруживающих, так и исправляющих ошибки. На практике в своем подавляющем большинстве нашли применение коды для обнаружения ошибок при передаче и хранении информации. Среди указанных кодов особо следует выделить коды, обнаруживающие ошибки не только при передаче и хранении, а и во время обработки информации. Это арифметические коды и коды в системе остаточных классов. К подобному классу кодов относятся и коды чисел неоднородных систем счисления, так как они способны обнаруживать и исправлять ошибки не только в процессе передачи информации, а и при ее обработке.

Достоинства таких кодов - простота алгоритмов и устройств обнаружения ошибок, регулярность структуры, высокая помехоустойчивость, возможность регулирования избыточности кода и соответственно обнаруживающей способности в зависимости от состояния канала связи (адаптивность), помехоустойчивость кодирующих и декодирующих устройств. Применение этих кодов приобретает особое значение в системах регистрации и передачи информации. В них съем информации, ее обработка, передача происходят в одном и том же коде, то есть наблюдается сквозной контроль информации. В результате возможно наряду с повышением помехоустойчивости получать выигрыш в аппаратуре, быстродействии и габаритах. Этим не ограничива-

ются возможности чисел неоднородных систем счисления. Важное их свойство - способность формирования комбинаторных кодов, например: равновесных, сменно-посылочных, сменно-качественных и т. д. [33, 36, 37, 47].

Одной из актуальных задач при хранении и передаче информации является ее сжатие, например, сжатие информации, не требующий применения словаря, - оптимальное кодирование на основе кодов Шеннона - Фано и Хаффмана [21, 52]. В настоящее время существует также довольно широкий арсенал других средств решения задачи сжатия, что не исключает разработки новых или усовершенствования старых. Одно из них - *нумерация* сообщений. Основные достоинства нумерации - алгоритмический характер кодирования, позволяющий легко осуществить его техническую реализацию, а также отсутствие потребности в словаре. Как раз применение неоднородных систем счисления позволяет расширить класс нумеруемых сообщений и тем самым усовершенствовать и упростить алгоритмическую и аппаратную реализацию задачи сжатия сообщений.

Как задачу нумерации, так и задачу денумерации на основе неоднородных позиционных систем счисления можно использовать для засекречивания информации. При этом имеется возможность получать помехоустойчивые шифры, обладающие высокой стойкостью и простыми одноразовыми ключами. Особое значение имеет простота и надежность аппаратурной реализации шифрации и дешифрации засекречиваемых сообщений.

Среди комбинаторных задач особое место занимают задачи комбинаторной *оптимизации*. Причем в самом общем виде указанные задачи могут даже не иметь четко выраженной целевой функции и задаваться, например, в терминах предпочтения. Для таких задач наиболее распространенным решением является перебор возможных вариантов и выбор из него наилучшего по некоторому критерию. В случае, если перебор невозможен, то он заменяется случайным поиском. В том и другом случаях требуется организовывать или перебор, или генерирование комбинаторных объектов. Неоднородные системы счисления дают возможность предложить общий метод решения этой задачи. К таким неоднородным системам счисле-

ния относится рассматриваемые ниже биномиальные системы счисления, как с двоичным, так и многозначным алфавитом. Рассмотрим более подробно позиционную двоичную биномиальную систему счисления.

2.2 ДВОИЧНАЯ БИНОМИАЛЬНАЯ СИСТЕМА СЧИСЛЕНИЯ

В цифровой технике широко распространены *степенные* или *естественные* позиционные системы счисления, вес разрядов чисел которых определяется степенью с показателем равным номеру разряда и основанием, определяемым начальными числами натурального ряда $- 2, 3, \dots$. Среди них особое распространение нашли системы счисления с *двоичным* алфавитом – *двоичные* системы счисления. Более сложные позиционные системы счисления, в которых зависимость между весом разряда и его номером отличается от степенной зависимости, менее известны. Они пока еще не нашли достаточно широкого практического применения. Однако известные на сегодня полезные свойства некоторых нестепенных систем счисления, в которых основания также представляются числами натурального ряда, например, системы счисления со *смешанным* основанием, делают их применение в практике вполне перспективным. Это помехоустойчивость, генерация и перебор комбинаторных конфигураций, кодирование информации и т. д.

Имеются также работы, в которых в качестве оснований позиционных систем счисления выступают *функции*, например, функция, создающая числа Фибоначчи. Эти системы счисления с повышенной сложностью, которые еще можно назвать интеллектуальными, имеют ряд особенностей и достоинств, не присущих более простым степенным системам счисления. С их помощью можно строить помехоустойчивые и отказоустойчивые цифровые устройства, сжимать информацию, защищать ее от несанкционированного доступа, решать комбинаторные задачи, в том числе и оптимизационные.

Особое значение позиционные системы счисления имеют для решения задач счета и построения на их основе соответствующих счетных устройств и систем. Существует целая область техники счета и счетных устройств, использующая в

большинстве своем двоичные позиционные системы счисления. Такие счетные устройства или просто *счетчики* были долгое время вне конкуренции в силу их простоты и относительно небольших аппаратных затрат, необходимых для их реализации.

Однако развитие интегральных технологий и, в частности, программно-логических интегральных схем (ПЛИС) позволяет на сегодня строить более сложные счетчики, имеющие возможность производить самоконтроль и самодиагностику своей работы, а также выполнять наряду со счетом и ряд других полезных функций, например, генерировать помехоустойчивые коды или перебирать решения комбинаторных задач. Один из путей построения таких счетчиков – это использование более сложных, чем обычные, нестепенных позиционных систем счисления.

В данной работе для решения задач цифрового счета предлагаются позиционные системы счисления с биномиальными весами и двоичным алфавитом $\{1, 0\}$ - *биномиальные* двоичные системы счисления. В них в качестве основания берется выражение для биномиальных коэффициентов, задающее число сочетаний определенного количества элементов из их общего множества.

Тогда количественный эквивалент кодовой комбинации n -разрядной k -биномиальной системы счисления $A_i = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1, \dots, P - 1$, будет определяться выражением

$$A_i = a_{j-1}C_{m-1}^{k-q_j} + \dots + a_l C_{m-j+l}^{k-q_{l+1}} + \dots + a_0 C_{m-j}^{k-q_1}, \quad (1)$$

при соблюдении двух систем ограничений:

$$\left\{ \begin{array}{l} q_0 = k, \end{array} \right. \quad (2)$$

$$\left\{ \begin{array}{l} j < m, \end{array} \right. \quad (3)$$

и

$$\left\{ \begin{array}{l} m - k = j - q_0, \end{array} \right. \quad (4)$$

$$\left\{ \begin{array}{l} q_0 < k, \end{array} \right. \quad (5)$$

где q_0 - количество единиц в биномиальном числе; P - диапазон чисел; j - количество разрядов биномиального числа (длина); $l=0,1, \dots, j-1$ - порядковые номера разряда; q_l - сумма единичных значений цифр биномиального числа от $(j-1)$ -го разряда до l -го включительно

$$q_l = \sum_{i=l}^j a_i, \quad (6)$$

где $q_j = a_j = 0$.

Очевидно, что максимальное биномиальное число

$$A_{\langle \text{бин} \rangle}^{\max} = 111\dots 1 = C_{m-1}^k + C_{m-2}^{k-1} + \dots + C_{m-k+1}^{k-k+1} = C_m^k - 1. \quad (7)$$

Следовательно, диапазон P представимых в биномиальной системе счисления чисел, учитывающий и нуль, равен C_n^k .

Характерным свойством биномиальных чисел является то, что представляющие их двоичные кодовые комбинации образуют класс биномиальных *неравномерных* чисел, имеющих разную длину (см. табл. 2.1). Тогда для них должно выполняться важное требование, что ни одна из этих комбинаций не может быть началом другой. В противном случае эти комбинации невозможно будет отличить между собой. Это требование, в общем, в теории кодирования известно как требование префиксности неравномерных кодов.

Только кодовые комбинации, удовлетворяющие требованию префиксности, могут передавать информацию. Для равномерных кодовых комбинаций с одинаковой длиной требование префиксности выполняется автоматически, так как разные кодовые комбинации одинаковой длины всегда можно отличить друг от друга. Для неравномерных же кодов необходимо специальное доказательство наличия у них свойства префиксности, что и будет сделано ниже в данной работе для биномиальных чисел. Свойство префиксности неравномерных биномиальных чисел, представленных в табл. 2.1, вытекает из нее с очевидностью.

Таблица 2.1 - Биномиальные неравномерные числа с $m = 6$, $k = 4$

Пор. ном.	Биномиальное число	Количественный эквивалент
0	00	$0 \cdot C_5^4 + 0 \cdot C_4^4$
1	010	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$
2	0110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
3	01110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
4	01111	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
5	100	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$
6	1010	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
7	10110	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
8	10111	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
9	1100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$
10	11010	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
11	11011	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
12	11100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 0 \cdot C_1^1$
13	11101	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 1 \cdot C_1^1$
14	1111	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2$

Из данной таблицы легко получить таблицу равномерных биномиальных чисел (см. табл. 2.2). Они получаются приписыванием нулей справа к неравномерным биномиальным числам.

Ограничения (2) показывает, что число единиц необходимых для однозначного представления числа биномиальным кодом применительно к системе ограничений (2, 3) равно k . Соответственно и его минимальная длина будет равна k . Кроме того, в соответствии с ограничениями (2, 3) биномиальные

числа, если их последовательно строить по разрядам, начиная со старшего разряда, должны быть при достижении числа единиц в них k и при длине меньшей n сформированными. Это значит, что нулевые разряды биномиальных чисел для ограничений (2, 3) всегда равны 1.

Таблица 2.2 – Биномиальные равномерные числа с $m = 6$, $k = 4$

Пор. ном.	Биномиальный код	Равномерный биномиальный код	Пор. ном.	Биномиальный код	Равномерный биномиальный код
0	00	00000	8	10111	10111
1	010	01000	9	1100	11000
2	0110	01100	10	11010	11010
3	01110	01110	11	11011	11011
4	01111	01111	12	11100	11100
5	100	10000	13	11101	11101
6	1010	10100	14	1111	11110
7	10110	10110			

Ограничение (3) показывает, что наибольшее значение длины биномиального числа j равно $n = m - 1$. Следовательно, количество биномиальных чисел с k единицами и соответственно, содержащих в конце единицу,

$$N_1 = C_{m-1}^k. \quad (8)$$

Максимальное же число нулей в таких биномиальных числах, то есть числах с k единицами, очевидно, будет равно $m - k - 1$.

Ограничение (4) показывает, что число нулей, необходимых для однозначного представления любого числа в биномиальном коде, должно быть постоянным и равняться $m - k$. Число же единиц для различных биномиальных чисел не одинаково. Оно изменяется от 0 до $k - 1$. Из ограничения (5) следует, что наибольшее число единиц в числах биномиального кода равно $k - 1$. Сумма максимального числа нулей и единиц в биномиальном числе, удовлетворяющем системе ограничений (4, 5), определит наибольшую его длину

$$m - k + k - 1 = m - 1. \quad (9)$$

Она совпадает с длиной биномиальных чисел, заданных ограничениями (2, 3). Это говорит о том, что максимальная длина биномиальных чисел удовлетворяющих ограничениям (2, 3) и (4, 5) равна $m-1$. Остальные же числа имеют переменную длину, наименьшее из которых для ограничений (2, 3) имеет k единиц, а для ограничений (4, 5) – $(m-k)$ нулей.

Так как биномиальные числа, удовлетворяющие ограничениям (4, 5), должны содержать в своем составе $m-k$ нулей, то появление в процессе поразрядного построения биномиального числа $(m-k)$ -го 0 будет говорить о том, что двоичное биномиальное число построено. Это значит, что двоичные биномиальные числа с ограничениями (4, 5) должны заканчиваться нулями. Тогда количество биномиальных чисел, содержащих в конце нуль,

$$N_0 = C_{m-1}^{m-k} = C_{m-1}^k. \quad (10)$$

При этом, примем во внимание, что эти числа будут *неравномерными*.

Количество всех биномиальных чисел, содержащих в конце как 0, так и 1, в соответствии с формулами (8) и (10)

$$N = C_{m-1}^k + C_{m-1}^{k-1} = C_m^k. \quad (11)$$

Таким образом, кодовые комбинации, представляющие двоичные биномиальные числа разбиваются на два класса:

а) комбинации, оканчивающиеся единицами, содержащие k единиц и переменное число нулей, изменяющееся в пределах от 0 до $m-k-1$;

б) комбинации, оканчивающиеся нулем, содержащие $m-k$ нулей и переменное число единиц, изменяющееся в пределах от 0 до $k-1$.

Важнейшим требованием для биномиальных чисел, как указывалось уже выше, является требование, чтобы они обладали свойством префиксности. Для первого класса это следует в силу того, что все его биномиальные комбинации заканчиваются единицами и содержат равное их количество. Тогда число

единиц в меньшем по длине биномиальном числе этого класса будет больше их числа в начальной части большего по длине биномиального числа. Значит, напротив хотя бы одной из единиц меньшего биномиального числа будет стоять ноль в начальной части биномиального числа большей длины и соответственно меньшее число не может быть началом или префиксом большего. Аналогично доказывается и свойство префиксности для второго класса биномиальных чисел, содержащих в конце 0.

Большее по длине биномиальное число первого класса, содержащее в конце 1, будет отличаться в начальной части от меньшего по длине биномиального числа второго класса, содержащего в конце 0, уже потому, что число нулей в нем будет меньше, чем число нулей в меньшем по длине числе второго класса. Значит, напротив одной из 1 большего числа будет стоять 0 меньшего числа и соответственно меньшее число не может быть префиксом большего. Аналогично доказывается свойство префиксности и для двух чисел первого и второго класса, большее из которых содержит в конце 0. Все эти свойства чисел с очевидностью видны и из таблиц 2.1 и 2.2.

Пример 2.1 Допустим $m = 6$, $k = 4$. В биномиальном числе, удовлетворяющем ограничениям (4,5) содержатся две единицы. Определить длину таких чисел, привести их возможные варианты и найти эквивалентные представления в десятичном коде.

Решение. В соответствии с выражением (4) длина биномиального числа $j = 6 - 4 + 2 = 4$. Следовательно, в биномиальном числе должны стоять два ($m - k = 2$) нуля и две единицы, причем число в соответствии с требованием ограничений (4, 5) должно заканчиваться нулем. Соответствующие варианты таких чисел в порядке их возрастания приведены ниже

0110, 1010, 1100.

На основании равенства (1) представим полученные биномиальные числа в десятичной форме:

$$0110 = 0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 = 2,$$

$$1010 = 1 \cdot C_5^4 + 0 \cdot C_4^3 + 1 \cdot C_3^3 + 0 \cdot C_2^2 = 6,$$

$$1100 = 1 \cdot C_5^4 + 1 \cdot C_4^3 + 0 \cdot C_3^2 + 0 \cdot C_2^2 = 9.$$

Биномиальный неравномерный код позволяет сравнительно легко переходить от биномиальных чисел к соответствующим им равновесным кодовым комбинациям, в которых наблюдается постоянное число единиц, равное k . Для этого достаточно приписать к биномиальному неравномерному числу недостающие единицы или нули до длины $m - 1$ (см. табл. 2.3).

Таблица 2.3 – Код с постоянным весом $m = 6$, $k = 4$

Пор. ном.	Биномиальный код	Код с постоянным весом	Пор. ном.	Биномиальный код	Код с постоянным весом
0	00	001111	8	10111	101110
1	010	010111	9	1100	110011
2	0110	011011	10	11010	110101
3	01110	011101	11	11011	110110
4	01111	011110	12	11100	111001
5	100	100111	13	11101	111010
6	1010	101011	14	1111	111100
7	10110	101101			

Очевидно, что не представляет особого труда и переход от равновесных кодовых комбинаций к неравномерным биномиальным числам. Для этого достаточно отбросить в равновесной кодовой комбинации, начиная с младшего разряда, стоящие подряд единицы или нули до появления, соответственно, первого нуля или единицы. Полученная таким образом комбинация будет неравномерным двоичным биномиальным числом.

Пример 2.2 Даны биномиальные числа с $m = 6$, $k = 4$:
 $A_{\langle \sigma \rangle}^1 = 01111$, $A_{\langle \sigma \rangle}^0 = 00$, $A_{\langle \sigma \rangle}^6 = 1010$.

Требуется определить соответствующие им равновесные кодовые комбинации.

Ответ. $A_{\langle \sigma \rangle}^1 = 01111\underline{0}$, $A_{\langle \sigma \rangle}^0 = 00\underline{1111}$, $A_{\langle \sigma \rangle}^6 = 1010\underline{11}$.

Приписанные нули и единицы подчеркнуты.

Как уже отмечалось выше, обратная задача перехода от равновесных кодов к биномиальным числам решается отбрасыванием лишних в соответствии с ограничениями (4, 5, 6, 7) нулей и единиц, т.е. до получения $n-k$ нулей или k единиц. Биномиальное число затем в соответствии с выражением (1) можно перевести в степенную систему счисления. Тем самым решается задача нумерации равновесных кодов.

Пример 2.3 Найти номер равновесной комбинации 100111.

Решение. В приведенной равновесной кодовой комбинации длина $m=6$, а число единиц $k=4$. Очевидно, что такая же величина $k=4$ будет и в биномиальном числе. Отбрасываем единицы с конца равновесной кодовой комбинации до получения первого из двух нулей. Тем самым будет получено биномиальное число $A_{\langle 6 \rangle} = 100$ с числом нулей $m-k=6-4=2$.

Затем в соответствии с выражением (1) преобразовываем биномиальное число в десятичную систему счисления

$$A_{\langle 6 \rangle} = 100 = A_{\langle 10 \rangle} = 1 \cdot C_5^4 + 0 \cdot C_4^3 + 0 \cdot C_3^3 = 5.$$

Ответ. Номер равновесной кодовой комбинации 100111 равен 5.

Если пронумеровать позиции двоичных знаков равновесной кодовой комбинации в порядке 1, 2, ... , то, выписывая в таком же порядке номера позиций, где стоят 1, получим одно из сочетаний, содержащее 4 элемента из 6. Так, например, для равновесной кодовой комбинации 100111 соответствующее сочетание будет иметь вид 1456. Это значит, что, используя биномиальные числа и соответствующие им равновесные кодовые комбинации, можно строить сочетания, а с их помощью затем и коды, основанные на сочетаниях.

Следует отметить, что таких кодов в комбинаторике можно получить много, например, к таким кодам относятся сочетания с повторениями, композиции, а также коды на различные сочетания, получаемые с помощью порождающих функций. Соответственно и алгоритмы, порождающие биноми-

альные числа и равновесные коды на их основе, могут генерировать такое же множество различных комбинаторных кодов на сочетания. В этом, кроме всего прочего, состоит одно из важнейших применений биномиальных чисел и биномиального кодирования, так как сочетания широко применяются в различных разделах математики и информатики.

2.3 АЛГОРИТМЫ ПОМЕХОУСТОЙЧИВОГО БИНОМИАЛЬНОГО ДВОИЧНОГО СЧЕТА

Одной из задач, возникающей при использовании двоичных биномиальных кодов, является задача разработки алгоритмов их построения. Эти алгоритмы могут использоваться, как для порождения биномиальных чисел в случайном порядке, так и в заданном, например, в возрастающем или убывающем порядке, решая при этом задачу биномиального *счета*. Кроме того, данные алгоритмы могут быть предназначены для реализации на универсальных микропроцессорных устройствах, а могут использоваться при схемотехнической реализации биномиального счета в виде жесткой логики.

Это связано с тем, что имеются две основные тенденции в построении средств обработки данных – применение *универсальных* микропроцессорных средств обработки данных и создание *специализированных* микроэлектронных устройств, реализующих наиболее распространенные вычислительные операции. Первая тенденция предусматривает *программный*, а вторая – *схемный* способ реализации вычислительных функций. Алгоритмы же построения биномиальных чисел остаются практически одними и теми же независимо от способа их реализации.

Схемная реализация обработки данных в целом по сравнению с программной реализацией значительно повышает скорость обработки данных и поэтому незаменима в цифровых системах, работающих в реальном масштабе времени. Поэтому в данной работе основное внимание уделено схемной реализации алгоритмов биномиального счета.

Счет, как таковой, является важнейшей частью организационных и технологических автоматизированных систем управления. Счетчики важны не только сами по себе, но и с

точки зрения получения новых схемотехнических решений в области цифровых устройств, которые в процессе работы проходят сквозь ряд состояний. В этом случае решается задача перебора этих состояний, то есть задача обобщенного счета.

Широкое применение счетчиков требует повышения их надежности и, в частности, помехоустойчивости. Последнее свойство достигается введением в счетчики запрещенных состояний. Однако их обнаружение выливается подчас в довольно сложную задачу и требует разработки дополнительно к счетчику контролирующего устройства, за правильностью работы которого необходимо следить. Счетчик при этом приобретает неоднородную структуру, которую непросто спроектировать и отладить.

Преодолеть указанные противоречия в ряде случаев можно путем применения помехоустойчивых *неоднородных* систем счисления. Разработанные на их основе счетчики в достаточной степени однородны и помехоустойчивы. Они не содержат специального контролирующего устройства, хотя избыточность аппаратуры по сравнению с двоичными счетчиками у них все же имеется.

К этому классу счетных устройств и систем принадлежат и биномиальные счетчики, работающие в биномиальных системах счисления. Важной их особенностью является значительное уменьшение аппаратурных затрат, необходимых для дешифрации их состояний. В ряде случаев это может привести к тому, что количество аппаратурных затрат в устройстве с биномиальными счетчиками в целом уменьшится по сравнению с устройством, содержащим двоичные счетчики. Кроме того, эти счетчики позволяют изменением коэффициента пересчета адаптироваться к интенсивности и характеру помех.

Указанные в разделе 2.2 ограничения (2, 3, 4, 5) совместно с выражением (1) приводят к двум алгоритмам биномиального счета на основе неравномерных и равномерных биномиальных чисел. Первый алгоритм больше приспособлен для программной реализации биномиальных счетчиков в компьютерах и микропроцессорных устройствах, а второй – для их схемной реализации, хотя и тот и другой алгоритмы могут с успехом применяться как для программной, так и аппаратной реализации

биномиальных счетчиков.

Алгоритм для биномиального счета на основе неравномерных биномиальных чисел имеет следующий вид:

1. Формируется начальное неравномерное биномиальное число, состоящее из $m - k$ нулей.

2. В младший разряд числа, содержащий нуль, записывается единица и к нему справа приписывается нуль.

3. Пункт 2 повторяется до тех пор, пока число единиц в числе не станет равным k .

4. В этом случае приписывание нуля в биномиальное число справа не происходит, а в младший его разряд, содержащий 0, записывается 1, а все предшествующие единицы преобразуются в нули.

5. Определяется количество единиц в числе. Если оно равно k и единицы не занимают k старших разрядов, то происходит возврат к пункту 4.

6. Если количество единиц в числе не равно k , то справа от младшего разряда, содержащего 1, записываются нули до тех пор, пока их общее число не станет равным $m - k$.

7. Возврат к пункту 2.

8. Если k единиц занимают в комбинации k старших разрядов, то происходит останов работы алгоритма. Конец.

В соответствии с приведенным алгоритмом в табл. 2.2 получены все неравномерные и затем путем добавления к ним нулей, равномерные биномиального числа. Они представлены в виде состояний 5-разрядного биномиального счетчика с параметрами $m = 6$, $k = 4$. В самой левой колонке табл. 2.2 указаны количественные эквиваленты биномиальных чисел, выраженные в десятичной системе счисления. Число состояний данного биномиального счетчика $P = C_m^k = 15$.

Приведенный алгоритм позволяет строить различные структуры биномиальных счетчиков. Они могут быть заданы в виде программ универсальных ЭЦВМ или микропроцессорных устройств. Также эти устройства могут иметь жесткую логику и собраны из отдельных элементов или изготовлены в виде программированных логических интегральных схем.

Использование программы биномиального счета в универ-

сальных ЭЦВМ имеет практическое значение в случае защиты информации от несанкционированного доступа или помехоустойчивого кодирования данных в сложных задачах передачи данных, например, с адаптацией помехоустойчивости. Также эта программа может использоваться в случае, если решаются задачи перебора, генерирования, нумерации равновесных кодов или сочетаний различных видов, например, сочетаний с повторениями или композиций. Микропроцессорный вариант биномиального счетчика целесообразен в специализированных цифровых устройствах со сквозным контролем обрабатываемой информации при относительно невысоких требованиях к их быстродействию.

Рассматриваемые биномиальные счетчики с жесткой логикой в силу своего большого быстродействия и хорошей надежности могут найти применение, как в специализированных, так и в универсальных цифровых устройствах. Наличие алгоритмов биномиального счета, построенных аналогично табл. 2.4 позволяет производить структурный синтез и получать рациональные в смысле минимального количества элементов структуры биномиальных счетчиков. Однако этот путь сопряжен с усложнением связей между элементами счетчика, что приводит к уменьшению однородности структуры, сложности перестройки коэффициента пересчета, и поэтому может быть рекомендован там, где вопросы быстродействия, надежности и экономии элементов являются первостепенными.

Алгоритм биномиального счета на основе равномерных биномиальных чисел имеет следующий вид (см. табл. 2.4):

1. Все разряды счетчика установлены в нуль.
2. Заносится 1 в $k-i-1$ разряд, где i - число единиц в счетчике.
3. Если число единиц в счетчике больше k , то произошла ошибка.
4. Если число единиц в счетчике равно k и они не расположены в k старших разрядах, то все младшие единичные разряды до первого нулевого устанавливаются в 0, а первый нулевой - в 1.
5. Если число единиц в счетчике меньше k , то происходит переход к пункту 2.

б. Если число единиц в счетчике равно k и они расположены в k старших разрядах, то цикл счета окончен.

Возврат к пункту 1.

Таблица 2.4 – Биномиальные равномерные числа с $m = 6$, $k = 4$

Пор. ном.	Разряд 43210	Пор. ном.	Разряд 43210	Пор. ном.	Разряд 43210	Пор. ном.	Разряд 43210
0	00000	4	01111	8	10111	12	11100
1	01000	5	10000	9	11000	13	11101
2	01100	6	10100	10	11010	14	11110
3	01110	7	10110	11	11011		

Ошибки в счетчике без дополнительных схем контроля обнаруживаются при превышении количества единиц в его разрядах величины k . В этом случае обнаруживается тип ошибок $0 \rightarrow 1$. Количество обнаруживаемых ошибок данного типа значительно увеличивается с уменьшением k .

В рассматриваемом примере счетчика с $k = 4$ обнаруживаемым ошибочным состоянием будет одно состояние - 11111. Это наихудший вариант счетчика с точки зрения количества ошибок типа $0 \rightarrow 1$, обнаруживаемых им. При условии, что $k = 1$, любые ошибки типа $0 \rightarrow 1$ в числах за исключением 0 будут обнаружены, а сам счетчик будет преобразован в помехоустойчивый распределитель импульсов. Это наилучший вариант счетчика для обнаружения ошибок данного типа. Если учесть, что ошибки в счетчиках возникают преимущественно в виде пакетов, то его способность к обнаружению ошибок можно считать вполне удовлетворительной.

В случае необходимости обнаруживать ошибки типа $1 \rightarrow 0$ в счетчик необходимо ввести дополнительные элементы, учитывающие ограничения (4, 5), в соответствии с которыми биномиальная комбинация может содержать не более $m - k$ нулей, последний из которых должен быть в конце. Поэтому если перед последней единицей в комбинации табл. 2.4 находится $m - k$ и более нулей, то это значит, что произошла ошибка типа $1 \rightarrow 0$. Так, например, комбинация 00110 будет воспринята как ошибочная. Причем с ростом k обнаруживающая

способность счетчика к ошибкам $1 \rightarrow 0$ растет. При $k = m - 1$ любой переход $1 \rightarrow 0$, за исключением сбоя последней единицы комбинации, будет обнаружен. Очевидно, что изменением величины k счетчик можно настраивать на определенный характер помех, т. е. производить адаптацию к ним.

Рассмотренный счетчик был суммирующим. Однако на практике имеется также задача построения вычитающих биномиальных счетчиков. В основу решения задачи алгоритма счета при вычитании в биномиальной системе счисления с заданными k и m может быть положен рассмотренный выше алгоритм сложения равномерных биномиальных чисел. В этом случае алгоритм вычитания биномиальных чисел состоит из следующих шагов:

1 Происходит счет биномиальных чисел по алгоритму сложения, начиная с нуля, с контрольным числом $k' = m - k$.

2 Разряды полученной в процессе счета комбинации инвертируются до k -го нуля или k' единицы включительно, считая со старшего разряда.

Для примера в табл. 2.5 приведены последовательности состояний биномиальных счетчиков суммирующего с $k = 4$ и $k' = 2$ и вычитающего с $k = 4$.

Таблица 2.5 – Сложение и вычитание биномиальных чисел с $k = 4$ и $k = 2$

Пор. ном.	Состояние счетчика			Пор. ном.	Состояние счетчика		
	при сложении с $k = 4$	при сложении с $k = 2$	при вычитании с $k = 4$		при сложении с $k = 4$	при сложении с $k = 2$	при вычитании с $k = 4$
0	00000	00000	11110	8	10111	01010	10100
1	01000	00010	11101	9	11000	01100	10000
2	01100	00011	11100	10	11010	10000	01111
3	01110	00100	11011	11	11011	10001	01110
4	01111	00101	11010	12	11100	10010	01100
5	10000	00110	11000	13	11101	10100	01000
6	10100	01000	10111	14	11110	11000	00000
7	10110	01001	10110				

Данный алгоритм можно представить также в виде алгоритма вычитания *неравномерных* биномиальных чисел на

основе алгоритма их суммирования. Он состоит в присвоении параметру k биномиального кода, в котором происходит вычитание, значения параметра $k' = m - k = l$ и инвертировании информационных разрядов в суммирующем счетчике, работающем с новым значением $k = k'$. В оставшиеся разряды, дополняющие неравномерные биномиальные числа до равномерных чисел, записываются нули.

В табл. 2.6 приведены двоичные биномиальные неравномерные числа вычитающего биномиального счетчика, работающего по данному алгоритму.

Таблица 2.6 – Алгоритм вычитания на основе неравномерных биномиальных чисел с параметрами $m = 6, k = 4$

Пор. ном.	Биномиальные числа суммирующего счетчика	Биномиальные числа суммирующего счетчика с $k = l$	Биномиальные числа вычитающего счетчика
0	00	0000	1111
1	010	00010	11101
2	0110	00011	11100
3	01110	00100	11011
4	01111	00101	11010
5	100	0011	1100
6	1010	01000	10111
7	10110	01001	10110
8	10111	0101	1010
9	1100	011	100
10	11010	10000	01111
11	11011	10001	01110
12	11100	1001	0110
13	11101	101	010
14	1111	11	00

2.4 АЛГОРИТМЫ ПОСТРОЕНИЯ РАВНОВЕСНЫХ КОДОВ НА ОСНОВЕ БИНОМИАЛЬНЫХ ЧИСЕЛ

В задачах кодирования широко применяются *равновесные* коды, известные еще как коды с *постоянным* весом. Равновесные коды (коды с постоянным числом единиц) вследствие простоты алгоритмов кодирования и декодирования и высокой способности к обнаружению ошибок широко применяются на

практике как для передачи данных по каналам связи, так и при хранении и передаче информации в цифровых системах обработки информации. Однако ограничивающим фактором, позволяющим в полной мере реализовать достоинства этих кодов, является отсутствие регулярных методов их построения. Как правило, формирование равновесных кодов происходит на основе таблиц, что ограничивает их разрядность и соответственно мощность. Это не позволяет в полной мере использовать достоинства равновесных кодов и ограничивает область их применения.

Решить такую задачу с помощью регулярных структур, не требующих табличного представления, можно путем применения двоичных биномиальных чисел, как неравномерных, так и равномерных. Неравномерное биномиальное число

$$A_i = (a_{j-1}, a_{j-2}, \dots, a_0),$$

где $i=1, 2, \dots, P$; j - количество разрядов неравномерного биномиального числа.

Эти числа могут быть получены с помощью рассмотренных выше биномиальных систем счисления с двоичным алфавитом. Напомним их основные характеристики.

Диапазон представления биномиальных чисел

$$P = C_m^k, \tag{12}$$

где k, m - целочисленные параметры системы счисления; $k > 0, m > k$; k - число, задающее максимальное количество единиц в неравномерном биномиальном числе; $m - k$ - число, задающее максимальное количество нулей в таком биномиальном числе

Длина биномиальных неравномерных чисел j , которые оканчиваются на 1, должна быть меньше или равна $m - 1$ разрядам и больше или равна k разрядам, а которые оканчиваются на 0 - меньше или равна $m - 1$ разрядам и больше или равна $m - k$ разрядам. Биномиальное число может содержать или k единиц или $l = m - k$ нулей и, соответственно, не больше $m - k - 1$ нулей и $k - 1$ единиц.

Пусть, например, заданы двоичные последовательности 0000, 00, 01111, 1000. Требуется определить, какие из указанных последовательностей при $m = 6$, $k = 4$ являются биномиальными неравномерными числами, вычислить их диапазон и преобразовать в десятичную систему счисления.

Диапазон представления биномиальных чисел для указанных m и k $P = C_m^k = C_6^4 = 15$. Последовательность 0000 не содержит единиц и содержит нулей больше $l = m - k$, поэтому для заданных m и k она не является неравномерным биномиальным числом. Последовательности 00, 01111 представляют неравномерные биномиальные числа, так как в первой из них число нулей равно l , а во второй число единиц равно k . При этом их длина не превышает $m - 1 = 5$ и не меньше $m - k = 2$ разрядов.

Переход от неравномерного биномиального числа к кодовому слову с постоянным весом осуществляется приписыванием к нему единиц, если биномиальное число содержит l нулей, или нулей, если в нем содержится k единиц, до тех пор, пока длина двоичного слова не станет равной n . Например, 00, 001111, 01111, 011110. Правило обратного перехода состоит в вычеркивании из кодового слова с постоянным весом единиц или нулей, начиная с младшего разряда, до тех пор, пока их число не станет равным k или l . Например, 011110 - 01111, 001111 - 00.

На практике, как правило, стоит задача получения равновесных кодов из двоичного числа или обратно по равновесной кодовой комбинации требуется найти номер соответствующего ей двоичного числа. Первая задача требует решения задачи перехода от двоичного к биномиальному числу, а вторая от биномиального числа к двоичному числу. Последняя задача решается подстановкой биномиального числа в числовую функцию (1) и нахождение соответствующего ей двоичного номера. Для наглядности приведем еще раз функцию 1 в первоначальном виде

$$A_i = a_{j-1}C_{m-1}^{k-q_j} + \dots + a_l C_{m-j+1}^{k-q_{l+1}} + \dots + a_0 C_{m-j}^{k-q_1},$$

так как на ее основе организовывается перевод двоичного числа

в биномиальное число и обратно.

Алгоритм решения первой задачи по поиску биномиального числа на основе его двоичного номера состоит из следующих шагов:

1. Определяется цифра a_{j-1} старшего разряда сравнением переводимого числа A_j с весом $j-1$ разряда $C_{m-1}^{k-q_j}$, где $q_j = 0$.

Если $A_j \geq C_{m-1}^{k-q_j}$, то $a_{j-1} = 1$, $q_{j-1} = q_j + 1 = 1$. В противном случае $a_{j-1} = 0$, $q_{j-1} = q_j + 0 = 0$.

2. Определяется остаток R .

Если $a_{j-1} = 1$, то $R = A_j - C_{m-1}^{k-q_j}$, а если $a_{j-1} = 0$, то $R = A_j$.

3. Сравняется образовавшийся остаток R с весом $j-2$ разряда $C_{m-1}^{k-q_{j-1}}$. Если $R \geq C_{m-1}^{k-q_{j-1}}$, то $a_{j-2} = 1$, $q_{j-2} = q_{j-1} + 1$. В противном случае $a_{j-2} = 0$, $q_{j-2} = q_{j-1} + 0$.

4. Аналогично определяются цифры a_{j-3} , a_{j-4} , ... и т.д. по аналогии с пунктом 2, 3 до тех пор, пока получаемая кодовая комбинация не станет удовлетворять условиям биномиального числа.

5. Коэффициент a_l , где $l = j-1, j-2, \dots, 0$, при котором выполняются условия биномиального числа, является коэффициентом a_0 .

Пример 4. Перевести число $A_i = 2$ в биномиальную систему счисления с параметрами $m = 6$, $k = 4$. В данном случае номер переводимого числа $i = 2$ и поэтому $A_i = A_2$.

1. Так как $A_2 = 2 < C_5^4 = 5$, то $a_{j-1} = 0$. Соответственно $q_{j-1} = q_j + 0 = 0 + 0 = 0$.

2. Из того, что $R = A_2 = 2 > C_{6-2}^{4-0} = 1$, следует $a_{j-2} = 1$, $q_{j-2} = q_{j-1} + 1 = 0 + 1 = 1$.

3. Определяется новый остаток $R_1 = R - C_{6-2}^{4-0} = 1$ и вес

$j-3$ разряда $C_{6-3}^{4-1} = 1$.

4. Так как $R_1 = C_{6-3}^{4-1}$, то $a_{j-3} = 1$, $q_{j-3} = q_{j-2} + 1 = 2$.

5. Определяется очередной остаток $R_2 = R_1 - C_{6-3}^{4-1} = 0$ и вес $j-4$ разряда $C_{6-4}^{4-2} = 1$.

6. Так как $R_2 = 0 < C_{6-4}^{4-2} = 1$, то соответственно $a_{j-4} = 0$.

7. После появления коэффициента $a_{j-4} = 0$ число нулей в комбинации $a_{j-1}, a_{j-2}, a_{j-3}, a_{j-4} = 0110$ достигло двух, что соответствует определению биномиального числа для параметров $m = 6$, $k = 4$ и, значит, биномиальное число является сформированным.

3.1 БИНОМИАЛЬНЫЙ СУММИРУЮЩИЙ ПОМЕХОУСТОЙЧИВЫЙ СЧЕТЧИК

Биномиальные счетчики относятся к основным элементам устройств и систем автоматики и цифровой технике. Они могут быть использованы в них, как в виде элементов с повышенной устойчивостью к помехам и с самоконтролем своей работы, так и самостоятельно для обработки информации, в частности, в качестве перестраиваемых помехоустойчивых счетчиков, распределителей импульсов, кодирующих и декодирующих устройств.

Особенностью рассматриваемых структур биномиальных счетчиков является наличие в их структурах комбинационных матричных сумматоров, которые выполняют функции переноса и схем контроля. Они, как правило, в обычных счетчиках отсутствуют. Кроме того, матричные сумматоры в биномиальных счетчиках частично выполняют функции дешифратора биномиальных чисел. Поэтому дешифрация состояний биномиального счетчика значительно упрощается. Важными достоинствами рассматриваемого счетчика являются однородность его структуры и простота перестройки коэффициента пересчета и соответственно степени помехоустойчивости [1].

Рассмотрим работу наиболее простой структуры биномиального счетчика (см. рис. 3.1). Он характеризуется двумя основными параметрами - числом разрядов n и контрольным числом k . При этом смена состояний биномиального счетчика происходит по следующим правилам: в исходном состоянии все разряды счетчика установлены в нуль; заносится единица в $(k - i)$ -й разряд, где i - число единиц в счетчике; если число единиц в счетчике равно k и они не расположены в k старших разрядах, то младшие единичные разряды до первого старшего нулевого устанавливаются в нуль, а первый старший нулевой - в единицу; если число единиц в счетчике равно k и они расположены в k старших разрядах, то цикл счета окончен. Возврат к началу.

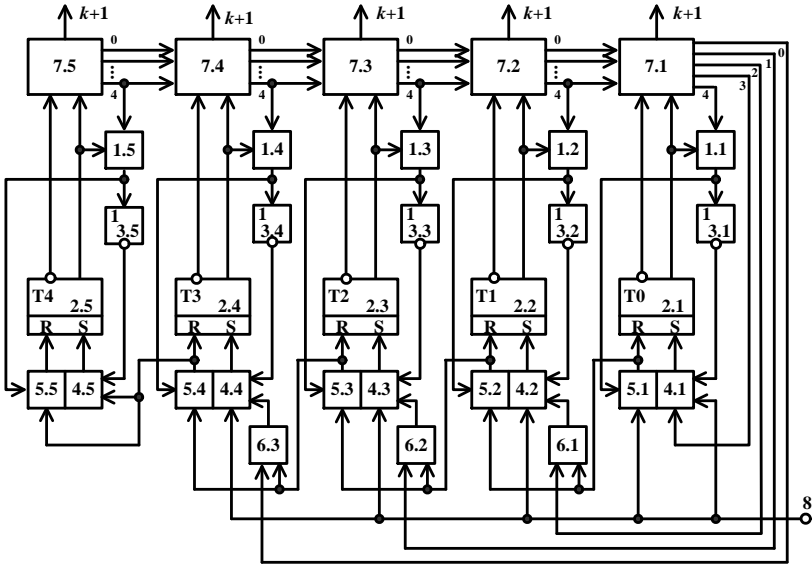


Рисунок 3.1 – Биномиальный пятиразрядный суммирующий счетчик импульсов с $k = 4$, $n = 5$

Число состояний счетчика определяется числом сочетаний k единиц из $m = n + 1$ элементов

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!}. \quad (13)$$

Состояния рассматриваемого счетчика с числом разрядов $n = 5$ и контрольным числом $k = 2$ в порядке возрастания приведены в табл. 3.1. Состояния счетчика с параметрами $k = 4$, $n = 5$, начиная с нулевого состояния – 00000 и заканчивая последним состоянием – 11110, приведены в табл. 3.2. Их число в соответствии с формулой (12) равняется $C_6^2 = C_6^4 = 15$.

На рисунке 3.1 приведен биномиальный пятиразрядный счетчик импульсов с $n = 5$ и контрольным числом $k = 4$; на рисунке 3.2 - реализация одного из сумматоров.

Наличие числа единиц, превышающего k , на выходе любого сумматора свидетельствует о том, что в результате

суммирования произошла ошибка.

Таблица 3.1 - Состояния двоичного биномиального счетчика $k=2, n=5$

Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 3 3 2 1
0	00000	4	00101	8	01010		
1	00010	5	00110	9	01100	12	10010
2	00011	6	01000	10	10000	13	10100
3	00100	7	01001	11	10001	14	11000

Таблица 3.2 - Состояния двоичного биномиального счетчика $k=4, n=5$

Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 4 3 2 1	Пор. ном.	Разряд 5 4 3 2 1
0	00000	4	01111	8	10111	12	11100
1	01000	5	10000	9	11000	13	11101
2	01100	6	10100	10	11010	14	11110
3	01110	7	10110	11	11011		

Счетчик импульсов работает следующим образом.

В исходном состоянии все триггеры счетчика стоят в "0", т.е. счетчик находится в нулевом состоянии 00000. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элемент ИЛИ 6.3 на вход элемента И 4.4, а на всех остальных выходах этого сумматора будут нулевые сигналы. Так как с единичного выхода триггера 2.4 поступает нулевой сигнал на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние 01000, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элемент ИЛИ 6.2 дает разрешение элементу И 4.3 на установку в единичное состояние триггера 2.3, т.е. счетчик по тактовому импульсу переходит в состояние 01100.

Аналогично получены состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1

находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и входе элемента И 5.1 имеется "1", то следующий тактирующий сигнал устанавливает триггер 2.1 в "0" и с выхода элемента И 5.1 проходит на вход элемента 5.2 И, и сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает "0" и через элемент НЕ 3.5 разрешает сигналу сброса установить его в "1", т.е. получают состояние 10000. При этом на первом выходе сумматора 7.1 присутствует единичный сигнал. Этот сигнал через элементы ИЛИ 6.2 и И 4.3 устанавливает триггер 2.3 в "1", в результате счетчик находится в состоянии 10100. Далее, аналогично с вышеописанным материалом, происходит установка в "1" второго и первого разрядов счетчика. В результате получают следующие состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в "0" триггеров 2.1 - 2.3 и записывается "1" в триггер 2.4 - 11000. Затем процесс записи "1" в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на 4-м выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в "0" триггера 2.1 и дальнейшее его распространение через элементы И 5.2 - 5.5. В результате счетчик переходит в исходное (нулевое) состояние (00000).

В предлагаемой схеме единственным обнаруживаемым запрещенным состоянием является состояние 11111. В этом случае происходит переполнение сумматора 7.1, и на выходе "ошибки" сумматора 7.1 находится сигнал ошибки. Однако обнаруживающую способность счетчика к ошибкам можно повысить, изменив контрольную цифру k , т.е. число обратных связей с сумматора 7.1. Чем их меньше, тем выше способность к обнаружению ошибок у счетчика. Например, при $k=2$ ошибочные состояния счетчика 01110; 10011; 11100 будут обнаружены. В этом случае на 5-м выходе сумматоров соответственно (7.2, 7.1), (7.1), (7.3, 7.2, 7.1) появляется сигнал ошибки.

Сумматор (рис. 3.2) является матричным и содержит первую группу 9 из $(k+1)$ элементов И 10, вторую группу 11 из $(k+1)$ элементов И 12 и группу 13 из k элементов ИЛИ 14,

первую группу 15 и вторую группу 16 входов, группу из $k + 2$ выходов $- 0, 1, \dots, k, k + 1$.

Входы сумматора из группы 15 соединены соответственно с первыми входами элементов И 10 и с первыми входами элементов И 12, вторые входы соответствующей пары из элементов И 10 и И 12 соединены с соответствующими входами из второй группы 16, входы каждого из элементов ИЛИ 14 из группы 13 соединены с выходами соответствующих элементов И 10 и И 12 из групп 9 и 11.

Наличие единицы на выходе $k + 1$ сумматора свидетельствует о том, что в результате суммирования произошла ошибка (сумма единиц больше k).

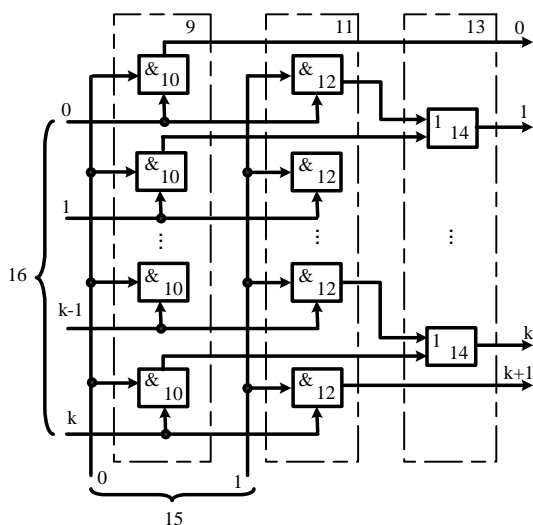


Рисунок 3.2 - Матричный сумматор

Все состояния рассматриваемого счетчика, начиная с нулевого состояния 00000 и заканчивая последним состоянием 11110, приведены в табл. 3.2.

Таким образом, введение новых конструктивных признаков позволяет организовать биномиальный счет, что расширяет функциональные возможности предлагаемого устройства и повышает при этом его помехоустойчивость.

3.2 БИНОМИАЛЬНЫЙ СУММИРУЮЩИЙ СЧЕТЧИК С ПОВЫШЕННОЙ ГЛУБИНОЙ КОНТРОЛЯ

Рассмотренная выше структура биномиального счетчика обладала помехоустойчивостью только к ошибочным переходам цифр биномиальных чисел 0 в 1, а ошибочные переходы цифр 1 в 0 у нее оставались не обнаруженными. С целью увеличения глубины контроля счетчика, путем выявления запрещенных состояний, возникающих в результате переходов 1→0, и не обнаруживаемых основным счетчиком, предложена усовершенствованная схема биномиального счетчика, представленная на рисунке 3.3 [2].

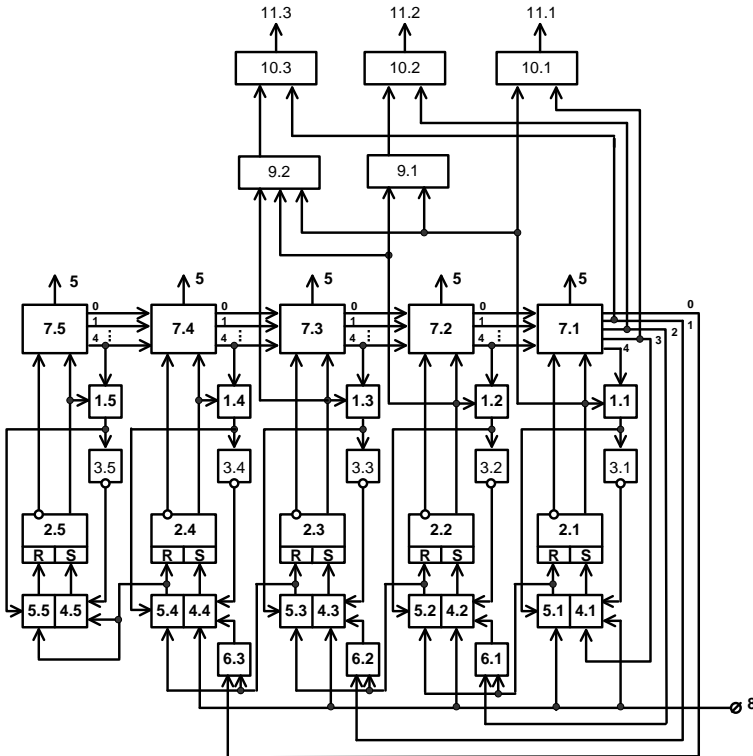


Рисунок 3.3 – Биномиальный пятиразрядный суммирующий счетчик импульсов с $k = 4$, $n = 5$ и дополнительной защитой от помех

Биномиальное число, характеризующее то или иное состояние счетчика, не может содержать больше k единиц или $n-k$ нулей перед младшей единицей. Поэтому схема счетчика должна содержать дополнительно $k-1$ элементов И и $k-2$ элементов ИЛИ. Это следует из того, что запрещенные комбинации образуют $k-1$ группы, содержащие $1, 2, \dots, k-1$ единицы, $k \geq 2$, перед младшей из которых содержится больше $n-k$ нулей. Группа, содержащая k единиц, является разрешенной, так как в этом случае максимальное количество нулей в комбинации равно $n-k$.

Признаком запрещенной комбинации для группы, содержащей одну единицу, является наличие единичного состояния одного из разрядов счетчика с первого по $k-1$ разряд. В этом случае число нулей в комбинации, стоящих перед младшей единицей будет больше $n-k$. Например, если единица будет стоять в $k-1$ разряде, то количество нулей перед ней – $n-(k-1) = n-k+1$.

Для группы запрещенных комбинаций, содержащих две единицы, одна из которых находится в разрядах с первого по $k-2$, для случая, когда первая единица справа находится в $k-2$ разряде, количество нулей перед ней равно $n-(k-2)-1 = n-k+1$. Для других случаев, когда первая единица стоит правее, число нулей перед ней, очевидно, возрастет (см. табл. 3.3).

Соответственно для последней группы с запрещенными комбинациями и с $k-1$ единицами младшая из них должна находиться в первом разряде (см. табл. 3.3). Количество нулей перед ней будет равно $n-(k-1) = n-k+1$. Если она будет находиться не в первом разряде, а, например, во втором, то тогда количество нулей перед ней будет равно $n-(k-1)-1 = n-k$ и, следовательно, эта комбинация является разрешенной.

Разряды, в которых могут находиться единицы в запрещенных комбинациях, принадлежащих к одной группе, и перед которыми может быть более $n-k$ нулей, объединяются элементами ИЛИ. Число этих элементов будет $k-2$, так как одна группа запрещенных кодовых комбинаций, которая содер-

жит в кодовых комбинациях $k - 1$ единиц, имеет обязательно в младшем разряде одну единицу, перед которой имеется больше $n - k$ нулей. В результате для этой группы нет необходимости вводить элемент ИЛИ. Для выделения каждой группы запрещенных кодовых комбинаций необходимо ввести элементы И, число которых равно числу этих групп $- k - 1$, так как если число единиц равно k , то число нулей обязательно будет равно $n - k$, т.е. разрешенное. На рисунке 3.3 приведен счетчик с $n = 5$ и $k = 4$.

Таблица 3.3 – Запрещенные состояния биномиального счетчика

Номер комбинации	Разряд					Номер комбинации	Разряд				
	5	4	3	2	1		5	4	3	2	1
1	0	0	0	0	1	11	0	0	1	1	1
2	0	0	0	1	0	12	0	1	0	1	1
3	0	0	1	0	0	13	0	1	1	0	1
4	0	0	0	1	1	14	1	0	0	1	1
5	0	0	1	0	1	15	1	0	1	0	1
6	0	0	1	1	0	16	1	1	0	0	1
7	0	1	0	0	1						
8	0	1	0	1	0						
9	1	0	0	0	1						
10	1	0	0	1	0						

Счетчик работает следующим образом. В исходном состоянии все триггеры 2.1 - 2.5 счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии - 00000. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элемент ИЛИ 6.3 на вход элемента И 4.4. Так как с единичного выхода триггера 2.4 поступает нулевой сигнал на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние 01000, и на первом выходе сумматора 7.1 появляется единичный сигнал. Он через элемент ИЛИ 6.2 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по следующему тактовому импульсу (в соответствии с описанным

выше материалом) переходит в состояние 01100.

Аналогично будут получены состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и на входе элемента И 5.1 - единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента И 5.2, и сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает нуль и через элемент НЕ 3.5 разрешает сигналу сброса установить его в единицу, т.е. будет получено состояние 10000. При этом на первом выходе сумматора 7.1 будет единичный сигнал, который через элементы ИЛИ 6.2 и И 4.3 устанавливает триггер 2.3 в единицу, в результате чего счетчик будет в состоянии 10100. Далее при поступлении тактовых импульсов (по аналогии с выше описанным) происходит заполнение второго и первого разрядов счетчика. В результате чего получим состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в нуль триггеров 2.1 - 2.3 и записывается единица в триггер 2.4 - 11000. Затем процесс записи единицы в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на четвертом выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в нуль триггера 2.1 и дальнейшее его распространение через элементы И 5.2 - 5.5, в результате чего счетчик переходит в исходное (нулевое) состояние - 00000.

При переходе счетчика в запрещенное состояние (11111) происходит переполнение сумматора 7.1, и на его выходе будет сигнал ошибки.

Эти запрещенные состояния относятся к их первой группе. Вторая группа запрещенных состояний содержит больше $n - k$ нулей до последней младшей 1. Работа счётчика в этом случае рассмотрена ниже.

Если в результате однократных или многократных ошибок счетчик переходит в одно из запрещенных состояний, в кодовой комбинации которого содержится только одна единица, перед которой стоит число нулей больше $n - k = 1$ (см. табл. 3.3), то

сигнал с первого выхода сумматора 7.1 поступает на первый вход элемента И 10.3 и открывает его. Так как в запрещенной комбинации счетчика единица может находиться в первом, втором или третьем разрядах, то сигнал с единичного выхода триггера 2.1, 2.2 или 2.3 поступает соответственно на первый, второй или третий входы элемента ИЛИ 9.2 и с его выхода проходит через элемент И 10.3 на выходную шину 11.3.

Допустим, что счетчик переходит в одно из запрещенных состояний с двумя единицами (см. табл. 3.3), младшая из которых находится в одном из первых двух разрядов счетчика (значит перед ней стоит число нулей больше $n - k = 1$). Тогда сигналы с единичных выходов триггеров 2.1 и 2.2 или с одного из них, находящихся в единичном состоянии, поступают соответственно на входы 1, 2 или на один из них элемента ИЛИ 9.1. Сигнал с его выхода и единичный сигнал со второго выхода сумматора 7.1 первого разряда поступают на И 10.2, в результате чего на выходной шине 11.2 появляется единичный сигнал.

При переходе счетчика в одно из запрещенных состояний с тремя единицами, одна из которых находится в первом разряде счетчика, с единичного выхода триггера 2.1 поступает на второй вход элемента И 10.1, который открыт единичным сигналом с третьего выхода сумматора 7.1, и на выходную шину 11.1.

Запрещенные состояния биномиального счетчика с $n = 6$, $k = 4$, обнаруживаемые дополнительной схемой, состоящей из элементов ИЛИ 9.1, 9.2 и элементов И 10.1, 10.2, 10.3, приведены в табл. 3.3.

3.3 БИНОМАЛЬНЫЙ СУММИРУЮЩИЙ СЧЕТЧИК С ДЕШИФРАЦИЕЙ СОСТОЯНИЙ

Рассмотренные выше биномиальные счетчики хотя и обладают повышенной помехоустойчивостью по сравнению с двоичными счетчиками, но не дешифрируют свои состояния. Эта задача, как уже указывалось выше, может быть решена достаточно эффективно за счет наличия в структуре биномиального счетчика матричных сумматоров и введения в счетчик новых конструктивных признаков, обеспечивающих дешифрацию его состояний [3].

На рисунке 3.4 в качестве примера приведен пятиразрядный счетчик импульсов с контрольным числом k , равным четырем, обладающий возможностью дешифрации своего состояния.

Для дешифрации состояний счетчика необходимо знать количество единичных разрядов в кодовых комбинациях и их расположение. Информация о количестве единиц содержится на выходах сумматора 7.1 первого разряда, а об их расположении - на прямых выходах триггеров счетчика.

В табл. 3.4 в качестве примера приведены кодовые комбинации счетчика для $n = 5$, $k = 4$ и соответствующие им номера выходов дешифратора, а в табл. 3.5 - эти же комбинации, сгруппированные по числу единиц.

Таблица 3.4 - Биномиальные числа с $n = 5$, $k = 4$

Разряд					Номер числа	Разряд					Номер числа
5	4	3	2	1		5	4	3	2	1	
0	0	0	0	0	0	1	0	1	1	1	8
0	1	0	0	0	1	1	1	0	0	0	9
0	1	1	0	0	2	1	1	0	1	0	10
0	1	1	1	0	3	1	1	0	1	1	11
0	1	1	1	1	4	1	1	1	0	0	12
1	0	0	0	0	5	1	1	1	0	1	13
1	0	1	0	0	6	1	1	1	1	0	14
1	0	1	1	0	7						

Кодовые комбинации разбиваются на группы, содержащие равное количество единиц. Так, в группу с одной единицей войдут комбинации 01000, 10000, в группу с двумя единицами - 01100, 10100, 10100 и т.д. Нулевое состояние счетчика снимается с нулевого выхода сумматора 7.1 первого разряда и подается на выход.

Дешифрация состояний счетчика происходит следующим образом. В исходном состоянии в счетчике находится комбинация 00000 и на нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который поступает на выход устройства и, таким образом, дешифрируется нулевое состояние счетчика. При нахождении счетчика в состоянии 01000 единичный сигнал с первого выхода сумматора 7.1 поступает на

первый вход элемента И 9.1, а единичный сигнал с прямого выхода триггера 2.4 поступает на другой вход этого же элемента. В результате появляется единичный сигнал на выходе 1 элемента И 9.1, который определяет первое состояние счетчика. Дешифрация состояния 10000 происходит аналогично. Сигнал при этом снимается с выхода 5 элемента И 9.2.

При нахождении счетчика в состоянии 01100 единичный сигнал с второго выхода сумматора 7.1 поступает на первый вход элемента И 10.1, на остальные два входа которого поступают единичные сигналы с прямых выходов триггеров 2.3 - 2.4. В результате появляется единичный сигнал на выходе 2 элемента И 10.1, который определяет второе состояние счетчика.

Аналогичным образом будут определены и остальные состояния счетчика.

Таблица 3.5 - Биномиальные числа с $n = 5$, $k = 4$, сгруппированные по числу единиц

Разряд					Номер вых. дешифратора	Разряд					Номер вых. дешифратора
5	4	3	2	1		5	4	3	2	1	
0	0	0	0	0	0	0	1	1	1	0	3
0	1	0	0	0	1	1	0	1	1	0	7
1	0	0	0	0	5	1	1	0	1	0	10
0	1	1	0	0	2	1	1	1	0	0	12
1	0	1	0	0	6	0	1	1	1	1	4
1	1	0	0	0	9	1	0	1	1	1	8
						1	1	0	1	1	11
						1	1	1	0	1	13
						1	1	1	1	0	14

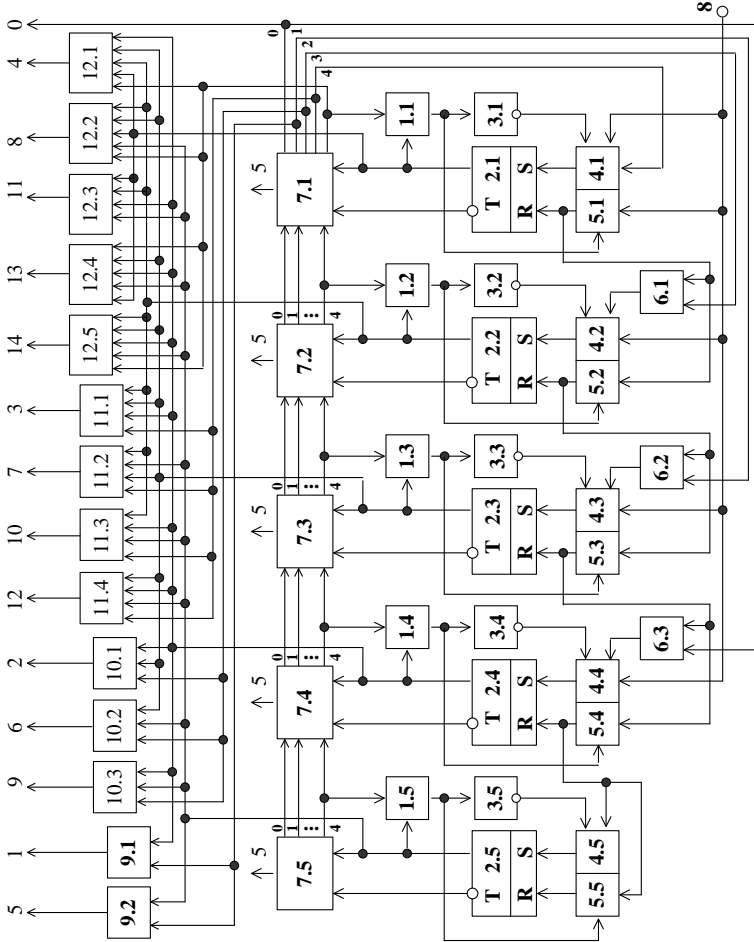


Рисунок 3.4 – Биномиальный счетчик с дешифрацией состояний при $n=5$, $k=4$

3.4 БИНОМИАЛЬНЫЙ СУММИРУЮЩИЙ СЧЕТЧИК С ПОМЕХОУСТОЙЧИВОЙ ДЕШИФРАЦИЕЙ СОСТОЯНИЙ

Биномиальный счетчик, рассматриваемый ниже, обладает возможностью обнаружения ошибок при дешифрации своих состояний [4].

На рисунке 3.5 приведен пятиразрядный счетчик импульсов с контрольным числом k , равным четырем. Локализация ошибок дешифрации происходит следующим образом.

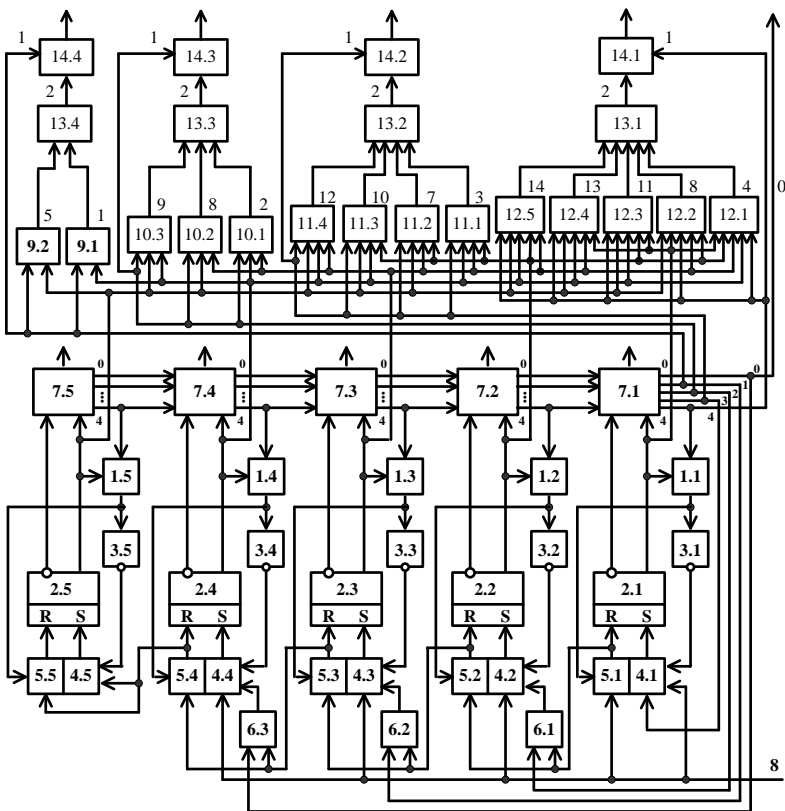


Рисунок 3.5 – Биномиальный пятиразрядный суммирующий счетчик импульсов с $n = 5$, $k = 4$

Если, например, счетчик находится в состоянии 01000, что соответствует сигналу "1" на выходе сумматора 7.1, то на

выходе элемента И 9.1 появляется единичный сигнал, который через элемент ИЛИ 13.4 поступает на второй вход элемента неравнозначности 14.4. На первый вход этого элемента поступает единичный сигнал с первого выхода сумматора 7.1. Так как сигналы на входах этого элемента совпадают, то, следовательно, на его выходе присутствует нулевой сигнал. На выходах элементов неравнозначности 14.1 - 14.3 также имеется нулевой сигнал, так как на обоих входах этих элементов существуют нулевые сигналы. Если в результате сбоя или отказа на выходе элемента И 9.1 пропадет единичный сигнал, то на втором входе элемента неравнозначности 14.4 появляется нулевой сигнал.

В результате несовпадения сигналов на первом и втором входах элемента неравнозначности 14.4 на его выходе возникнет единичный сигнал ошибки.

Если в результате сбоя или отказа произойдет возбуждение выхода дешифратора из другой группы, например, выхода элемента И 10.1, то единичный сигнал с этого элемента поступит на второй вход элемента неравнозначности 14.3 через элемент ИЛИ 13.3. На первом входе элемента неравнозначности 14.4 в это время находится нуль, и на его выходе соответственно возникнет единичный сигнал ошибки, который одновременно указывает на группу выходных шин дешифратора, в которой произошла ошибка.

Аналогичным образом локализуются ошибки дешифрации и в других кодовых комбинациях. Совместный отказ или сбой выходов сумматора и дешифратора, который не будет обнаружен схемой неравнозначности, имеет малую вероятность.

3.5 БЫСТРОДЕЙСТВУЮЩИЙ БИНОМИАЛЬНЫЙ СУММИРУЮЩИЙ СЧЕТЧИК С КОРРЕКЦИЕЙ ОШИБОК

Быстродействие рассмотренных выше биномиальных счетчиков можно значительно поднять, если обрабатывать информацию по каскадам в специальных регистровых схемах, а затем информацию в них объединять с помощью логических схем ИЛИ [5]. Наличие регистровых схем позволяет исключить переносы в счетчике и тем самым дает возможность значительно поднять его быстродействие. При этом появляется

возможность наряду с обнаружением ошибок в биномиальных числах по правилам, рассмотренным выше для обычных биномиальных счетчиков, еще часть их и исправлять.

Кодовые комбинации состояний биномиального счетчика импульсов (биномиальные числа) и его каскадов 6.1 - 6.3 (см. рис. 3.6) приведены в табл. 3.6. Из этой таблицы наглядно видна каскадная структура биномиального счетчика и ее однородность, что особенно важно при построении цифровых схем, так как это приводит к упрощению технологии их производства и повышает надежность.

Таблица 3.6 – Биномиальные числа в каскадном виде $n = 5, k = 3$

Тактовый импульс	Биномиальное число	Кодовая комбинация в каскадах	Каскад
0	00000	000	6.1
		000	6.2
		000	6.3
1	00100	100	6.1
		000	6.2
		000	6.3
2	00110	110	6.1
		000	6.2
		000	6.3
3	00111	111	6.1
		000	6.2
		000	6.3
4	01000	000	6.1
		100	6.2
		000	6.3
5	01010	010	6.1
		100	6.2
		000	6.3
6	01011	011	6.1
		100	6.2
		000	6.3
7	01100	000	6.1
		110	6.2
		000	6.3
8	01101	001	6.1
		110	6.2
		000	6.3

Продолжение таблицы 3.6

Тактовый импульс	Биномиальное число	Кодовая комбинация в каскадах	Каскад
9	01110	000	6.1
		111	6.2
		000	6.3
10	10000	000	6.1
		000	6.2
		100	6.3
11	10010	010	6.1
		000	6.2
		100	6.3
12	10011	011	6.1
		000	6.2
		100	6.3
13	10100	000	6.1
		010	6.2
		100	6.3
14	10101	001	6.1
		010	6.2
		100	6.3
15	10110	000	6.1
		011	6.2
		100	6.3
16	11000	000	6.1
		000	6.2
		110	6.3
17	11001	001	6.1
		000	6.2
		110	6.3
18	11010	000	6.1
		001	6.2
		110	6.3
19	11100	000	6.1
		000	6.2
		111	6.3

Такое каскадное представление биномиальных счетчиков возможно в силу специфического свойства биномиальных чисел представляться в виде нескольких сдвинутых по отношению друг к другу на один разряд двоичных комбинаций, состоящих из k разрядов (см. табл. 3.6). В этих каскадах между единицами не должны стоять нули, а в столбцах, образуемых ими, может

находиться не больше одной единицы.

Работу предлагаемого устройства рассмотрим на конкретном примере с количеством разрядов счетчика $n = 5$ и контрольным числом $k = 3$. На рисунке 3.6 приведена схема данного счетчика.

Как видно из начала табл. 3.6, заполнение разрядов кодовых комбинаций первого каскада 6.1 происходит последовательно, начиная со старшего разряда. Как только все его разряды будут заполнены единицами, происходит обнуление каскада 6.1 и сигнал переноса дает разрешение на изменение состояния старшего разряда второго каскада 6.2. Затем повторяется процесс заполнения первого каскада 6.1 единицами, начиная с предпоследнего разряда, так как единичные разряды каскадов блокируют занесение единиц в соответствующие разряды всех предыдущих каскадов. Заполнение всех последующих каскадов будет происходить по сигналу переноса с предыдущего каскада.

Формирование кодовых комбинаций счетчика импульсов будет происходить на основании кодовых комбинаций каскадов следующим образом. Первый и пятый разряды будут соответствовать первому разряду первого каскада 6.1 и старшему разряду третьего каскада 6.3 соответственно. Второй разряд будет сформирован из второго разряда первого каскада 6.1 и из первого разряда второго каскада 6.2, объединяемых операцией логическое ИЛИ. Третий разряд будет аналогично сформирован из третьего разряда первого каскада 6.1, второго разряда второго каскада 6.2 и первого разряда третьего каскада 6.3, а четвертый разряд будет сформирован из третьего разряда второго каскада 6.2 и второго разряда третьего каскада 6.3.

На выходе счетчика импульсов может произойти искажение кодовой комбинации в одном из его каскадов в результате перехода одного или нескольких старших разрядов, стоящих перед любым младшим единичным разрядом, в противоположное состояние. Тогда после прохождения одного или нескольких тактовых импульсов на выходе счетчика импульсов будет находиться кодовая комбинация, соответствующая количеству тактовых импульсов, пришедших с момента начала отсчета. В данном случае не будет происходить изменение

количества тактовых импульсов, необходимых для перебора кодовых комбинаций, требуемого на данном шаге счета.

Счетчик работает следующим образом.

В исходном состоянии во всех каскадах 6.1 - 6.3 находятся кодовые комбинации "000". Соответственно на выходных шинах 3.1 - 3.5 будет находиться кодовая комбинация "00000". С приходом первого тактового импульса на входную шину 2 произойдет установка триггера 7.3 каскада 6.1 в единичное состояние через элемент И 8.3 каскада 6.1, который открыт единичным сигналом с инверсного выхода элемента ИЛИ 10.3 и с инверсного выхода элемента И 9 этого же каскада. В результате в каскаде 6.1 будет записана кодовая комбинация "100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.1 поступит на вход элемента ИЛИ 5.2, в результате на выходе этого элемента также появится единичный сигнал, а на выходных шинах 3.1 - 3.5 появится соответственно кодовая комбинация "00100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.1 поступит также на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода даст разрешение следующему тактовому сигналу с шины 2 пройти через элемент И 8.2 этого же каскада на вход установки в единицу триггера 7.2 этого же каскада. В результате в каскаде 6.1 будет занесена кодовая комбинация "110". Единичный сигнал с прямого выхода триггера 7.2 каскада 6.1 поступит на вход элемента ИЛИ 5.1 и с его выхода - на выходную шину 3.2. На выходных шинах 3.1 - 3.5 счетчика будет находиться кодовая комбинация "00110". Одновременно единичный сигнал с прямого выхода триггера 7.2 каскада 6.1 поступит на вход элемента ИЛИ 10.2 этого же каскада и с его прямого выхода даст разрешение пройти очередному тактовому сигналу с шины 2 через элемент И 8.1 этого же каскада и установить триггер 7.1 этого же каскада в единичное состояние. Единичный сигнал с прямого выхода триггера 7.1 каскада 6.1 поступит на выходную шину 3.1, и на выходе счетчика импульсов будет находиться кодовая комбинация "00111". С приходом следующего тактового сигнала с входной шины 2 на вход элемента И 9 произойдет сброс триггеров 7.1 - 7.3 каскада 6.1 в нулевое состояние единичным сигналом с выхода элемента И 9 этого же каскада, который

будет открыт единичным сигналом с прямого выхода элемента ИЛИ 10.1 этого же каскада. Одновременно единичный сигнал с прямого выхода триггера 7.1 каскада 6.1 поступит на вход элемента И 8.3 каскада 6.2 и даст разрешение на запись единичного сигнала в триггер 7.3 каскада 6.2. В результате в каскаде 6.1 будет кодовая комбинация "000", а в каскаде 6.2 - "100". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.2 поступит на вход элемента ИЛИ 5.3 и с его выхода - на выходную шину 3.4. На выходе счетчика импульсов будет кодовая комбинация "01000".

Одновременно единичный сигнал с прямого выхода триггера 7.3 каскада 6.2 поступит на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода - на вход элемента ИЛИ 10.3 каскада 6.1, и запретит прохождение входного сигнала через элемент И 8.3, инверсный выход элемента ИЛИ 10.3 и элемента И 8.3 этого же каскада, а единичный сигнал с прямого выхода этого элемента даст разрешение на прохождение входного сигнала через элемент И 8.2, на установку триггера 7.2 этого же каскада в единичное состояние. В результате прохождения тактового импульса в каскаде 6.1 будет находиться кодовая комбинация "010", а в каскаде 6.2 - "100". На выходе счетчика импульсов - "01010".

Аналогичным образом при дополнении первого каскада в 1 произойдет заполнение каскада 6.1 до первого разряда включительно, т.е. в каскаде 6.1 будет записана кодовая комбинация "011", а на выходе счетчика импульсов - "01011". С приходом очередного тактового сигнала произойдет сброс каскада 6.1 - "000" и одновременно запись в триггер 7.2 каскада 6.2 единицы. И так далее. После заполнения каскада 6.2 единицами по очередному тактовому сигналу с входной шины 2 произойдет сброс каскада 6.2 - "000" и одновременно запись в старший разряд каскада 6.3 единицы. В этом случае в каскаде 6.3 будет записана кодовая комбинация "100", в каскаде 6.2 - "000", в каскаде 6.1 - "000", а на выходе счетчика импульсов - "10000". Единичный сигнал с прямого выхода триггера 7.3 каскада 6.3 поступит на вход элемента ИЛИ 10.3 этого же каскада и с его прямого выхода на вход элемента ИЛИ 10.3 каскада 6.2, и запретит очередному тактовому сигналу пройти на вход

установки триггера 7.3 этого же каскада в единичное состояние. Одновременно с прямого выхода элемента ИЛИ 10.3 этого же каскада единичный сигнал поступит на вход элемента ИЛИ 10.3 каскада 6.1 и запретит прохождение очередного тактового сигнала через элемент И 8.3 этого же каскада, и разрешит через элемент И 8.2 этого же каскада установку триггера 7.2 этого же каскада в единичное состояние. В результате в каскаде 6.1 запишется кодовая комбинация "010", а на выходе импульсов - "10010" и т.д.

После записи в каскаде 6.1 кодовой комбинации "000", в каскаде 6.2 - "000", а в каскаде 6.3 - "111" на выходе счетчика импульсов будет сформирована последняя кодовая комбинация - "11100". С приходом очередного тактового сигнала с шины 2 на элемент И 9 каскада 6.3 произойдет сброс этого каскада в состояние "000", т.е. все каскады перейдут в исходное состояние "000", а на выходе счетчика импульсов также будет исходная кодовая комбинация "00000".

В качестве примера из таблицы 3.6 рассмотрим восстановление информации после искажения кодовых комбинаций. Кодовая комбинация на выходе счетчика импульсов "00110" может после сбоя измениться на "00010" в результате перехода "1"→"0" в третьем разряде первого каскада 6.1. Это значит, что комбинация "110" в нем изменится на "010". Тогда после прихода очередного тактового импульса на вход счетчика импульсов в первом каскаде 6.1 третий и первый разряды перейдут в единичное состояние, т.е. появится кодовая комбинация "111". На выходе счетчика импульсов будет кодовая комбинация "00111", которая соответствует очередной кодовой комбинации счетчика импульсов.

Также может другая кодовая комбинация на выходе счетчика импульсов "11000", соответствующая шестнадцатому тактовому импульсу, измениться на "01000" в результате перехода "1"→"0" в третьем разряде третьего каскада 6.3 (кодовая комбинация "110" изменится на "010"). Тогда после прихода первого тактового импульса в первом каскаде 6.1 будет записана кодовая комбинация "101", по второму тактовому импульсу - "000", а во втором каскаде 6.2 - "101". С приходом

третьего тактового импульса в каскадах 6.1 и 6.2 будут записаны кодовые комбинации "000 и 000", а в каскаде 6.3 - "111". В результате на выходе счетчика импульсов за три такта появится правильная кодовая комбинация "11100", соответствующая девятнадцатому тактовому импульсу, что и должно быть при безошибочной работе счетчика.

Аналогично будет происходить восстановление информации в случае ошибочных переходов "0"→"1".

Если тринадцатая кодовая комбинация на выходе счетчика импульсом "10100" изменится на "11100" из-за искажения кодовой комбинации "010" во втором каскаде 6.2 на "110", то после первого тактового импульса в первом каскаде 6.1 будет записана кодовая комбинация "001", после второго - "000", а во втором каскаде 6.2 - "111". С приходом третьего тактового импульса в каскадах 6.1 - 6.3 будут записаны соответственно кодовые комбинации "000", "000", "110". На выходе счетчика импульсов будет сформирована правильная кодовая комбинация "11000", соответствующая шестнадцатому тактовому импульсу.

Наличие сумматора 1 на выходе счетчика импульсов позволит постоянно производить подсчет единичных разрядов в кодовых комбинациях счетчика импульсов, и в случае превышения количества единиц заданной величины k возникнет сигнал ошибки, что дополнительно повышает помехоустойчивость счетчика.

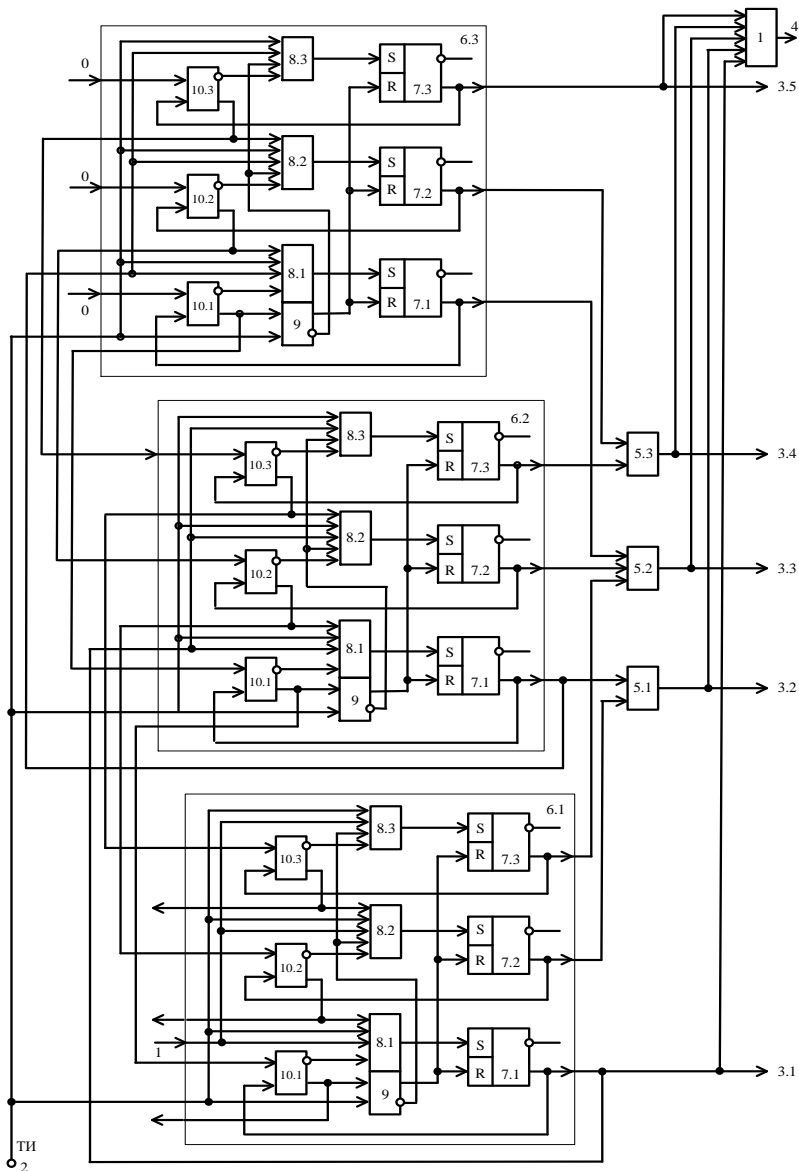


Рисунок 3.6 – Быстродействующий биномиальный суммирующий счетчик с $n = 5$, $k = 3$

**4.1 ВЫЧИТАЮЩИЙ ПОМЕХОУСТОЙЧИВЫЙ
БИНОМИАЛЬНЫЙ СЧЕТЧИК**

На практике счетчиками, кроме решения задачи суммирования, решается и задача вычитания импульсов. На рисунке 4.1 приведен пятиразрядный вычитающий биномиальный счетчик импульсов с контрольным числом k , равным четырем [6].

Особенностью примененного в данном счетчике алгоритма является то, что для вычитания единиц используется последовательность равномерных биномиальных чисел, которая использовалась и для построения суммирующего счетчика, только в данном случае она рассматривается в обратном порядке (см. табл. 3.4). В этой таблице приведены биномиальные кодовые комбинации для $k = 4$ и $n = 5$.

Реализация алгоритма вычитания происходит за счет выделения младшего единичного разряда в биномиальной кодовой комбинации, перевода его в нуль и записи в рядом стоящие младшие разряды единиц до общего их количества в счетчике, равного k (например, при $k = 4$, $n = 5$ после такта вычитания кодовая комбинация 11000 переходит в 10111). Если количество оставшихся младших разрядов счетчика, стоящих после его младшего единичного разряда, меньше, чем количество единиц, которое надо записать в младшие разряды, чтобы их число равнялось k , то добавление единиц в эти разряды не происходит и они остаются в нулевом состоянии (например, после такта вычитания кодовая комбинация 10100 переходит в 10000). Если счетчик находится в нулевом состоянии, то происходит запись k единиц в старшие разряды числа (т. е. для приведенного примера кодовая комбинация 00000 по такту вычитания переходит в кодовую комбинацию 11110).

Счетчик работает следующим образом.

В исходном состоянии на шинах 11.1 - 11.5 занесения кода находятся нулевые сигналы. В четырех старших разрядах счетчика триггеры находятся в единичном состоянии, т. е. в

счетчике записана кодовая комбинация 11110. Тактовый сигнал с шины 10 поступает на вторые входы элементов 3.1 И и 4.1 И. Так как триггер 2.1 находится в нулевом состоянии, нулевой сигнал с его прямого выхода, поступая на первый вход элемента 3.1 И, закрывает его, а единичный сигнал с инверсного выхода триггера 2.1 поступает на первый вход элемента 4.1 И и разрешает тактовому сигналу прохождение на вторые входы элементов 3.2 И и 4.2 И. Так как триггер 2.2 находится в единичном состоянии, то элемент 4.2 И закрыт нулевым сигналом с инверсного выхода триггера 2.2, а элемент 3.2 И открыт по первому входу единичным сигналом с прямого выхода триггера 2.2. В результате тактовый сигнал проходит через элемент 3.2 И на вход установки в нуль триггера 2.2 и сбрасывает его в нулевое состояние. Одновременно сигнал сброса поступает на первый вход элемента 9.1 И, на второй вход которого поступает единичный сигнал с четвертого выхода сумматора 1.2, так как в счетчике находится четыре единичных разряда. Поэтому сигнал с выхода элемента 9.1 И поступает на вход элемента 5.1 ИЛИ и с его выхода - на вход установки в единицу триггера 2.1, и устанавливает его в единичное состояние, т. е. счетчик переходит в состояние 11101. В результате элемент 4.1 И закрыт нулевым сигналом с инверсного выхода триггера 2.1, а элемент 3.1 И открыт единичным сигналом с прямого выхода триггера 2.1, и при поступлении очередного тактового сигнала с шины 10 на второй вход элемента 3.1 И триггер 2.1 переходит в нулевое состояние, и соответственно в счетчике записывается 11100. Следующий тактовый сигнал с шины 10 проходит через элементы 4.1 И и 4.2 И и поступает на второй вход элемента 3.3 И. Ввиду того, что триггер 2.3 находится в единичном состоянии, то единичный сигнал с его прямого выхода разрешает тактовому сигналу пройти через элемент 3.3 И и сбросить триггер 2.3 в нулевое состояние. Одновременно сигнал сброса поступает на первые входы элементов 9.2 И и 8.1 И, так как в счетчике находится три единичных разряда, то сигнал с третьего выхода сумматора 1.3 разрешает сигналу сброса пройти через элемент 8.1 И и через элементы 5.2 ИЛИ и 5.1 ИЛИ установить триггеры 2.2 и 2.1 в единичное состояние. Счетчик переходит в состояние 11011. Аналогично получают состояние 11010. При посту-

плении очередного тактового сигнала с шины 10 через элемент 4.1 И и на второй вход элемента 3.2 И происходит сброс триггера 2.2 в нулевое состояние. Однако установки триггера 2.1 в единичное состояние не происходит, так как в счетчике находится менее четырех единичных разрядов и на втором входе элемента 9.1 И присутствует нулевой сигнал, т. е. счетчик переходит в состояние 11000. С приходом следующего тактового сигнала с шины 10 через элементы 4.1 И, 4.2 И, 4.3 И и 3.4 И триггер 2.4 переходит в нулевое состояние, и одновременно через элемент 7.1 И сигнал сброса устанавливает триггеры 2.3 - 2.1 в единичное состояние через элементы 5.3 - 5.1 ИЛИ соответственно. Счетчик переходит в состояние 10111. Аналогично получают состояния счетчика 10110, 10100 и 10000. С приходом очередного тактового сигнала с шины 10 через элементы 4.1 - 4.4 И и 3.5 И триггер 2.5 переходит в нулевое состояние, и одновременно через элемент 6.1 И сигнал сброса устанавливает триггеры 2.4 - 2.1 в единичное состояние через элементы 5.4 - 5.1 ИЛИ соответственно. Счетчик переходит в состояние 01111. Аналогично получают состояния счетчика 01110, 01100, 01000 и 00000. При нахождении счетчика в состоянии 00000 сигнал с шины 10 проходит через элементы 4.1 - 4.5 И и устанавливает через элементы 5.5 - 5.2 ИЛИ в единичное состояние триггеры 2.5 - 2.2, т.е. счетчик переходит в исходное состояние 11110.

В случае необходимости любая кодовая комбинация может быть занесена в счетчик с шин 11.1 - 11.5 через элементы 5.1 - 5.5 ИЛИ соответственно. Вычитание из занесенной комбинации происходит аналогично указанному порядку. Одновременно в счетчике контролируется количество единичных разрядов, и если оно превышает величину k в результате сбоя, то вырабатывается сигнал ошибки на соответствующих выходах сумматоров 5.

Таким образом, предлагаемый счетчик позволяет производить операцию вычитания, начиная с любой кодовой комбинации, сохраняя при этом помехоустойчивость.

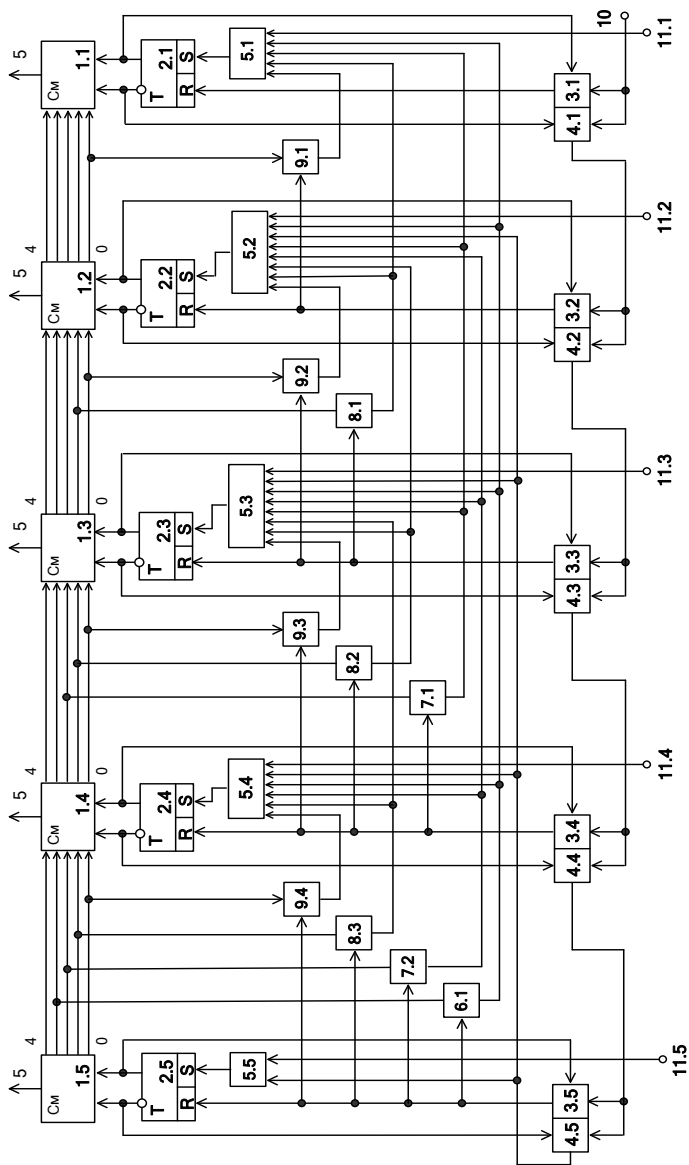


Рисунок 4.1 – Пятиразрядный вычитающий биномиальный счетчик с $n = 5$, $k = 4$

4.2 ВЫЧИТАЮЩИЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК С ПЕРЕКЛЮЧЕНИЕМ КАНАЛОВ

В данной схеме вычитающего счетчика используется идея перехода от кодовых комбинаций суммирующего биномиального счетчика к кодовым комбинациям вычитающего счетчика работающего в симметричной биномиальной системе счисления [7]. На рисунке 4.2 изображен пятиразрядный счетчик импульсов с контрольным числом $k=4$, который может быть переключен на контрольное число $k=2$ для выполнения операции *вычитания*.

В табл. 4.1, в качестве примера, приведены состояния счетчика для его работы в режиме сложения с $k=4$. Также получены состояния этого же счетчика с $k=2$.

Для получения состояний счетчика в режиме вычитания необходимо значения разрядов снимать с инверсных выходов счетчика, работающего в режиме сложения с $k=2$. Затем в младшие разряды записывать нули, если в старших разрядах имеется $n-k+1$ нулей или k единиц.

Таблица 4.1 – Состояния счетчика при сложении и вычитании

Состояние счетчика		
Сложение		Вычитание $k=4$
$k=4$	$k=2$	
00000	00000	11110
01000	00010	11101
01100	00011	11100
01110	00100	11011
01111	00101	11010
10000	00110	11000
10100	01000	10111
10110	01001	10110
10111	01010	10100
11000	01100	10000
11010	10000	01111
11011	10001	01110
11100	10010	01100
11101	10100	01000
11110	11000	00000

Счетчик импульсов работает следующим образом.

В исходном состоянии все триггеры счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии 00000, на шине 10 сложения присутствует сигнал, на шине 9 вычитания сигнал отсутствует. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элемент И 11.1 и элемент ИЛИ 6.3 на вход элемента И 4.4. Так как с четвертого выхода сумматора 7.4 (через элемент И 15.4), выхода элемента И 14.4 и единичного выхода триггера 2.4 поступают нулевые сигналы на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. Поэтому тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.4 в единичное состояние, а счетчик - в 01000, соответственно на первом выходе сумматора первого разряда 7.1 появляется единичный сигнал, который через элемент И 11.2 и элемент ИЛИ 6.2 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по тактовому импульсу в соответствии с описанным переходит в состояние 01100.

Аналогично получают состояния 01110 и 01111.

Так как при состоянии счетчика 01111 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента ИЛИ 1.1 и на входе элемента И 5.1 имеется единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента И 5.2, и также сбрасывает его в нуль. Аналогично сброс триггеров распространяется до триггера 2.5. Так как он находится в нуле, то элемент ИЛИ 1.5 выдает нуль и через элемент НЕ 3.5 разрешает сигналу сброса установить его в единицу, т.е. получается состояние 10000. При этом на первом выходе сумматора 7.1 имеется единичный сигнал. Этот сигнал через элементы 11.2 И, 6.2 ИЛИ и 4.3 И устанавливает триггер 2.3 в единицу, в результате счетчик находится в состоянии 10100. Следующими тактовыми импульсами, по аналогии с описанным текстом выше, происходит заполнение второго и первого разрядов счетчика. В результате получаем следующие состояния: 10110 и 10111. По следующему тактовому импульсу происходит сброс в нуль триггеров 2.1 - 2.3 и записывается единица в триггер 2.4 -

11000. Затем процесс записи единицы в младшие разряды повторяется - 11100, 11110. В состоянии счетчика 11110 на 4-м выходе сумматора 7.1 появляется единица. Она разрешает тактовому импульсу прохождение через элемент И 5.1 на вход установки в "0" триггера 2.1 и дальнейшее его распространение через элементы И 5.2 - 5.5. В результате счетчик переходит в исходное состояние 00000.

В исходном состоянии при работе счетчика в режиме вычитания все триггеры находятся в нуле - 00000, на шине 9 вычитания находится единичный сигнал, соответственно на выходных шинах 16.5 - 16.1 снимается кодовая комбинация 11110. Причем на шины 16.5 и 16.4 единичные сигналы поступают непосредственно с инверсных выходов соответствующих триггеров 2.5 и 2.4, а на шины 16.3 и 16.2 - с инверсных выходов соответствующих триггеров 2.3 и 2.2 через соответствующие элементы И 13.3 и И 13.2 (разрешение на прохождение сигналов поступает с двух выходов сумматоров 7.4 - 7.3 на инверсные входы элементов И 13.3 и И 13.2). Так как счетчик находится в нулевом состоянии, то на нулевом выходе сумматора 7.2 находится единичный сигнал, который поступает на пятый инверсный вход элемента 13.1 и запрещает прохождение через него единичного сигнала с инверсного выхода триггера 2.1. В результате на шине 16.1 снимается нулевой сигнал. На нулевом выходе сумматора 7.1 также имеется единичный сигнал, который проходит через элементы 12.1 И и 6.1 ИЛИ на вход элемента И 4.2. Так как со второго выхода сумматора 7.2 (через элемент И 14.2), выхода элемента И 15.2 и единичного выхода триггера 2.2 поступают нулевые сигналы на элемент ИЛИ 1.2, то элемент И 5.2 закрыт нулевым сигналом, а элемент И 4.2 открыт единичным сигналом с элемента НЕ 3.2. Тактовый сигнал, поступающий на входную шину 8, устанавливает триггер 2.2 в единичное состояние 00010, на выходных шинах 16.5 - 16.1 - 11101, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элементы 12.2 И и 6.4 ИЛИ дает разрешение на установку в единичное состояние триггера 2.1, т.е. счетчик по тактовому импульсу в соответствии с описанным переходит в состояние 00011, на выходных шинах 16.5 - 16.1 - 11100.

Так как при состоянии счетчика 00011 триггер 2.1 находится в единичном состоянии и, следовательно, на выходе элемента И 5.1 имеется единица, то следующий тактирующий сигнал устанавливает триггер 2.1 в нуль и с выхода элемента И 5.1 идет на вход элемента 5.2 И и также сбрасывает его в нуль. Так как триггер 2.3 находится в нуле, то элемент ИЛИ 1.3 выдает нуль и через элемент НЕ 3.3 разрешает сигналу сброса установить его в единицу, т.е. получено состояние 00100, на шинах 16.5 - 16.1 - 11011. При этом на первом выводе сумматора 7.1 имеется единичный сигнал. Этот сигнал через элементы 12.2 И, 6.4 ИЛИ и 4.1 И устанавливает триггер 2.1 в единицу, в результате счетчик находится в состоянии 00101, на шинах 16.5 - 16.1 - 11010. По следующему тактовому импульсу происходит сброс триггера 2.1 в нуль, и этим же сигналом производится установка триггера 2.2 в единицу, в результате получаем состояние счетчика 00110, на шинах 16.5 - 16.1 - 11000.

На втором выходе сумматора 7.1 появляется единичный сигнал, который через элементы 14.1 И и 1.1 ИЛИ разрешает тактовому сигналу пройти через элементы И 15.1, И 15.2 и И 15.3, сбрасывает триггеры 2.2 и 2.3 в ноль и установит триггер 2.4 в единицу. Получаем состояние счетчика 01000, на шинах 16.5 - 16.1 - 10111. Затем процесс записи единицы в младший разряд и дальнейший перенос ее в старшие разряды повторяется: 01001, 01010, 01100, 10000, 10001, 10010, 10100, 11000, на шинах 16.5 - 16.1 соответственно 10110, 10100, 10000, 01111, 01110, 01100, 01000, 00000. В состоянии счетчика 11000 на втором выходе сумматора 7.1 появляется единица, которая разрешает тактовому импульсу прохождение через элементы И 5.1 - 5.5 на вход установки в "0" триггеров 2.4 и 2.5. В результате счетчик переходит в исходное состояние 00000, на шинах 16.5 - 16.1 - 11110.

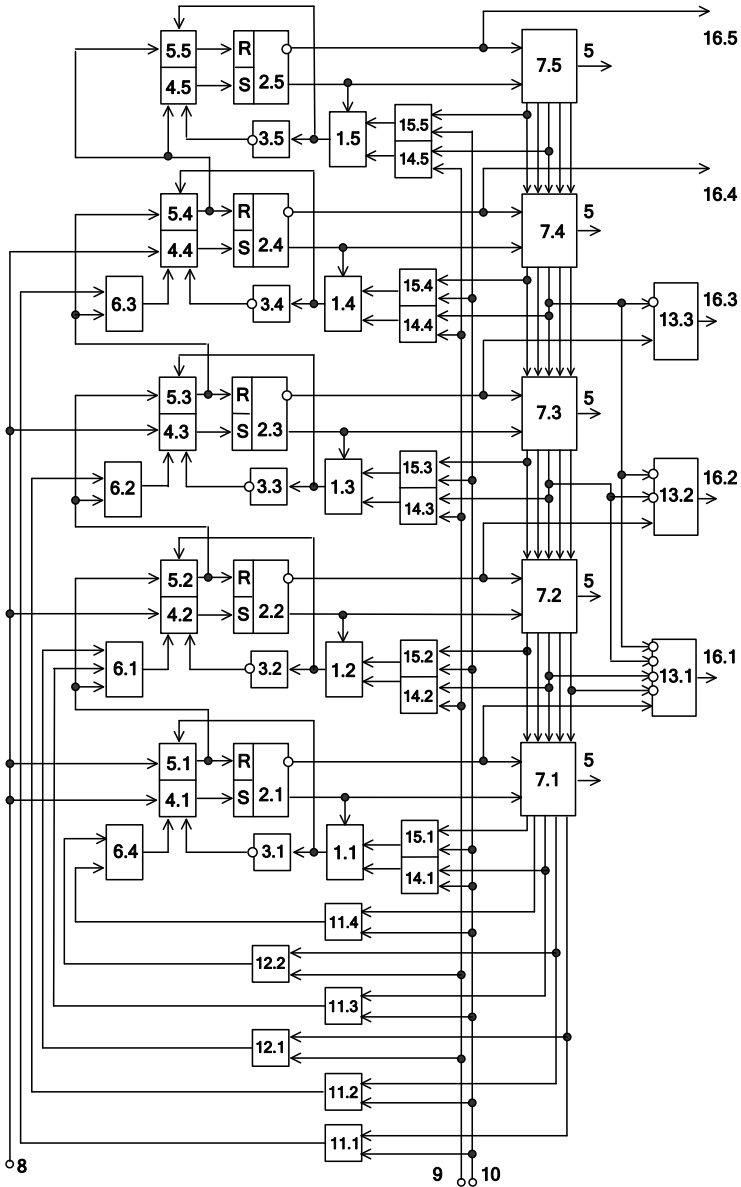


Рисунок 4.2 – Вычитающий биномиальный счетчик с $n = 5, k = 4$

4.3 БЫСТРОДЕЙСТВУЮЩИЙ ВЫЧИТАЮЩИЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК

На рисунке 4.3 приведен пятиразрядный счетчик с контрольным числом $k = 3$, обладающий повышенным быстродействием и способностью помехоустойчивого вычитания импульсов. Такое повышение быстродействия осуществляется за счет представления биномиальных чисел в виде сдвинутых по отношению друг к другу биномиальных чисел, в данном случае с $k = 3$ разрядами, - каскадов (см. табл. 4.2). Исходя из такого представления, строится структура биномиального счетчика и, соответственно, вводятся в него новые элементы и связи [8].

Введенные элементы и новые связи обеспечивают работу счетчика в режиме вычитания. Для этого в одноименных разрядах всех каскадов, начиная с нулевого разряда, ищется единица. Затем она переводится в ноль и одновременно происходит установка в единицу одноименного и всех младших разрядов, если они имеются, предшествующего каскада. Затем происходит логическое объединение схемами ИЛИ по столбцам, число которых равно длине $n = 5$ биномиального числа, двоичных цифр всех каскадов. В результате будет получено новое биномиальное число, которое по своему количественному значению будет на 1 меньше предшествующего, из которого и было получено данное число.

Обеспечение помехоустойчивости в режиме вычитания достигается за счет наличия сумматора на выходе счетчика импульсов, который позволяет постоянно производить подсчет единичных разрядов в кодовых комбинациях счетчика и в случае превышения количества единиц заданной величины k возникает сигнал ошибки.

Таблица 4.2 - Каскадное изображение состояний счетчика

Пор. ном.	Кодовая комбинация счетчика	Каскад	
		Кодовая комбинация	Пор. ном.
1	11100	000	1
		000	2
		111	3
2	11010	000	1
		001	2
		110	3
3	11001	001	1
		000	2
		110	3
4	11000	000	1
		000	2
		110	3
5	10110	000	1
		011	2
		100	3
6	10101	001	1
		010	2
		100	3
7	10100	000	1
		010	2
		100	3
8	10011	011	1
		000	2
		100	3
9	10010	010	1
		000	2
		100	3
10	10000	000	1
		000	2
		100	3
11	01110	000	1
		111	2
		000	3
12	01101	001	1
		110	2
		000	3
13	101100	000	1
		110	2
		000	3

Продолжение таблицы 4.2

Пор. ном.	Кодовая комбинация счетчика	Каскад	
		Кодовая комбинация	Пор. ном.
14	01011	011	1
		100	2
		000	3
15	01010	010	1
		100	2
		000	3
16	01000	000	1
		100	2
		000	3
17	00111	111	1
		000	2
		000	3
18	00110	110	1
		000	2
		000	3
19	00100	100	1
		000	2
		000	3
20	00000	000	1
		000	2
		000	3

Как видно из таблицы 4.2 в одноименных разрядах всех каскадов может находиться не более одной единицы. При переходе от одной комбинации счетчика к другой происходит переход единицы, находящейся в младшем разряде одного из каскадов в нуль. Одновременно происходит переход нуля в одноименном разряде предшествующего каскада в единицу, например, переход от комбинации № 1 к комбинации № 2. Если младшая единица находится не в первом разряде, то происходит одновременный переход в единицу всех младших разрядов предыдущего каскада. Счетчик работает следующим образом.

В исходном состоянии в каскадах 6.1 - 6.2 находятся кодовые комбинации 000, а в каскаде 6.3 - 111. Соответственно на выходных шинах 3.1 - 3.5 находится кодовая комбинация 11100. С приходом первого тактового импульса на входную шину 2 происходит сброс триггера 7.1 каскада 6.3 через первый элемент

И 8.1 этого же каскада. Одновременно этот сигнал через элемент ИЛИ 9.1 каскада 6.2 устанавливает триггер 7.1 этого же каскада в единичное состояние. В результате во втором каскаде будет комбинация 001, в третьем - 110, а на выходных шинах 3.1 - 3.5 - 11010. Следующий тактовый сигнал поступает через элемент И 8.1 каскада 6.2 на вход R-триггера 7.1 этого же каскада, сбрасывает его в нулевое состояние и одновременно через элемент ИЛИ 9.1 каскада 6.1 устанавливает триггер 7.1 этого же каскада в единичное состояние. В первом каскаде получают 001, во втором - 000, в третьем - 110, а на выходе счетчика - 11001. С приходом очередного тактового импульса происходит сброс триггера 7.1 каскада 6.1 в нулевое состояние. На выходе счетчика - 11000. Следующий тактовый импульс сбрасывает триггер 7.2 каскада 6.3 в нулевое состояние и одновременно через элементы ИЛИ 9.1 - 9.2 каскада 6.2 устанавливает в единичное состояние триггеры 7.1 - 7.2 этого же каскада. В каскаде 6.1 будет 000, в каскаде 6.2 - 011, в каскаде 6.3 - 100. На выходе счетчика - 10110 и так далее. При поступлении тактового импульса на счетчик, который находился в состоянии 10000, происходит сброс триггера 7.3 каскада 6.3 в нулевое состояние и одновременно установка через элементы ИЛИ 9.1 - 9.2 триггеров 7.1 - 7.3 каскада 6.2 в единичное состояние. В результате в каскаде 6.1 - 000, в каскаде 6.2 - 111, в каскаде 6.3 - 000, а на выходе счетчика - 01110 и так далее. При обнулении счетчика, когда на его выходах комбинация 00000, а во всех каскадах также нулевые комбинации 000, с приходом тактового импульса с входной шины 2 на третий вход второго элемента И 10.3 каскада 6.3 происходит установка в единичное состояние триггеров 7.1 - 7.3 каскада 6.3 через элементы ИЛИ 9.1 - 9.2 данного каскада. В результате в каскаде 6.3 будет комбинация 111, в каскаде 6.2 - 000, в каскаде 6.1 - 000, а на выходных шинах счетчика 3.1 - 3.5 - 11100, т.е. счетчик переходит в исходное состояние.

В случае появления на выходных шинах 3.1 - 3.5 счетчика импульсов кодовой комбинации с количеством единичных разрядов большим, чем $k = 3$, в сумматоре 1 формируется сигнал ошибки, который поступает на шину 14 сигнала ошибки.

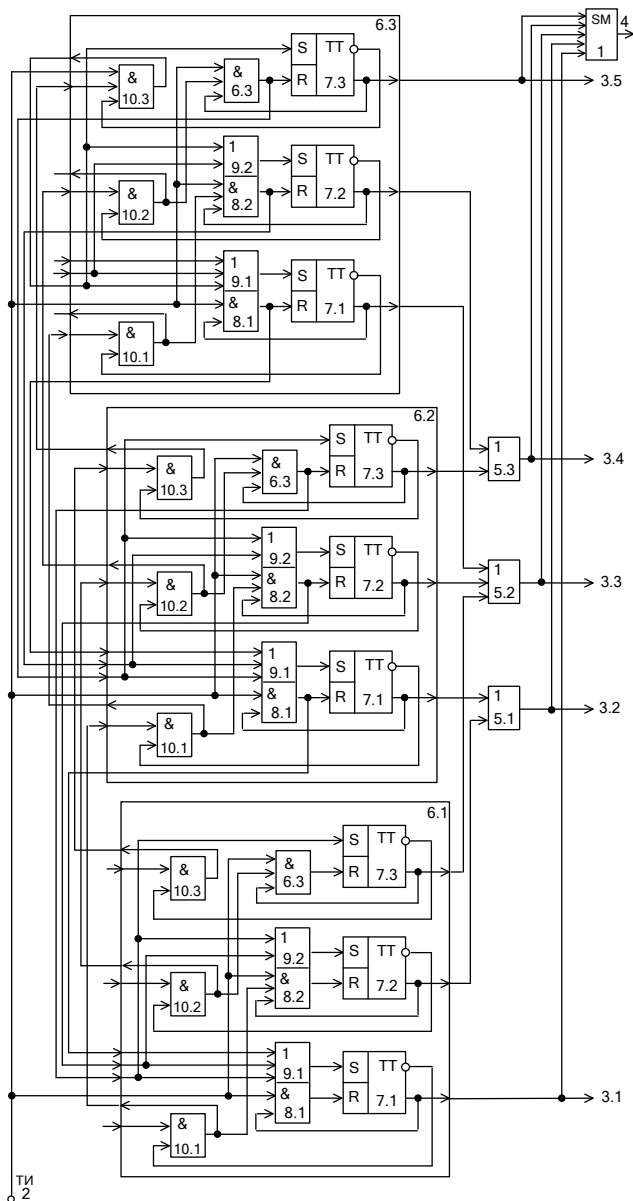


Рисунок 4.3 – Быстродействующий биномиальный вычитающий счетчик с $n = 5$, $k = 3$

4.4 РЕВЕРСИВНЫЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК

Данное устройство расширяете функциональные возможности биномиальных счетчиков путем реверса счета с суммирующего на вычитающий счет и обратно. Поставленная цель достигается за счет введения новых конструктивных признаков, обеспечивающих переход из режима сложения в режим вычитания (и, наоборот) с *произвольного* состояния счетчика [9].

Счетчик импульсов с $k=4$, $n=5$ работает следующим образом (см. рис. 4.4).

В исходном состоянии все триггеры счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии 00000, на шине 10 сложения присутствует сигнал, на шине 9 вычитания сигнал отсутствует. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элементы И 11.1 и ИЛИ 6.4 на вход элемента И 4.4, так как с четвертого выхода сумматора 7.4 (через элемент И 13.4), выхода элемента И 14.4 и единичного выхода триггера 2.4 поступают нулевые сигналы на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. На шине 25 импульсного сигнала переключения режима работы сигнал отсутствует, поэтому элемент И 27 разрешения на перезапись закрыт, а элемент И 26 блокировки тактового сигнала открыт. Тактовый сигнал, поступающий на входную шину 8, проходит через элемент И 26 и устанавливает триггер 2.4 в единичное состояние через элементы И 4.4 и ИЛИ 17.3. В счетчике будет состояние 01000, соответственно на первом выходе сумматора первого разряда 7.1 появляется единичный сигнал, который через элементы И 11.2 и ИЛИ 6.3 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по тактовому импульсу в соответствии с вышеописанным переходит в состояние 01100.

Аналогично получены все состояния счетчика.

В исходном состоянии при работе счетчика в режиме вычитания все триггеры находятся в нуле - 00000, на шине 9 вычитания присутствует единичный сигнал, на шине 10 сложения сигнал отсутствует, соответственно на выходных шинах 16.5 - 16.1 снимается кодовая комбинация 11110. Причем на

шины 16.5 и 16.4 единичные сигналы поступают непосредственно с инверсных выходов соответствующих триггеров 2.5, 2.4, на шины 16.3 и 16.2 единичные сигналы поступают с инверсных выходов соответствующих триггеров 2.3 и 2.2 через соответствующие элементы И 15.3 и И 15.2 (разрешение на прохождение сигналов поступает с вторых выходов сумматоров 7.4 и 7.3 на инверсные входы элементов И 15.3 и И 15.2). Так как счетчик находится в нулевом состоянии, то на нулевом выходе сумматора 7.2 находится единичный сигнал, который поступает на инверсный вход элемента И 15.1 и запрещает прохождение через него единичного сигнала с инверсного выхода триггера 2.1. В результате на шине 16.1 снимается нулевой сигнал. На нулевом выходе сумматора 7.1 также имеется единичный сигнал, который проходит через элементы И 12.1 и ИЛИ 6.2 на вход элемента И 4.2. Так как с второго выхода сумматора 7.2 (через элемент И 14.2), выхода элемента И 13.2 и единичного выхода триггера 2.2 поступают нулевые сигналы на элемент ИЛИ 1.2, то элемент И 5.2 закрыт нулевым сигналом, а элемент И 4.2 открыт единичным сигналом с элемента НЕ 3.2. Тактовый сигнал с входной шины 8 через элемент И 26 устанавливает триггер 2.2 в единичное состояние 00010, на выходных шинах 16.5 - 16.1 - 11101, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элементы И 12.2 и ИЛИ 6.1 дает разрешение на установку в единичное состояние триггера 2.1, т.е. счетчик по тактовому импульсу в соответствии с вышеописанным переходит в состояние 00011, на выходных шинах 16.5 - 16.1 - 11100.

Аналогично получают остальные состояния счетчика.

При переходе счетчика от одного режима работы к другому, на шину 25 импульсного сигнала переключения режима работы поступает единичный сигнал, который подается на инверсный вход элемента И 26 и блокирует прохождение очередного тактового сигнала с шины 8 через элемент И 26, одновременно дает разрешение на прохождение этого тактового сигнала через элемент И 27 на входы элементов И 22.1 - 22.4 и И 23.1 - 23.4 и открывает их для установки соответствующих триггеров 2.2 - 2.5 в нулевое или в единичное состояние в зависимости от предыдущего состояния счетчика. Например, если

счетчик находится в состоянии 01100 и приходит сигнал переключения режима работы, то на выходе элемента И 19.1 будет нулевой сигнал, так как на второй вход этого элемента приходит нулевой сигнал с прямого выхода триггера 2.1. На выходе элемента И 20.1 также будет нулевой сигнал, так как на прямой вход этого элемента поступает нулевой сигнал с прямого выхода триггера 2.2. В результате единичный сигнал с инверсного выхода элемента ИЛИ 21.1 через элементы И 23.1 и ИЛИ 18.1 подтверждает нулевое состояние триггера 2.2. Нулевые сигналы с прямых выходов триггеров 2.1 и 2.2 поступают на инверсные входы элемента И 20.2 и открывают его, в результате единичный сигнал с прямого выхода триггера 2.3 проходит через элементы И 20.2, ИЛИ 21.2, И 22.2 и ИЛИ 17.2 и подтверждает единичное состояние триггера 2.3. Единичный сигнал с прямого выхода триггера 2.3 поступает на инверсный вход элемента И 20.3 и закрывает его, в результате на выходе этого элемента будет нулевой сигнал. На выходе элемента И 19.3 также будет нулевой сигнал, так как на первый вход этого элемента поступает нулевой сигнал с инверсного выхода триггера 2.4, в результате единичный сигнал и с инверсного выхода элемента ИЛИ 21.3 поступает через элементы И 23.3 и ИЛИ 18.3 на вход установки в "0" триггера 2.4 и сбрасывает его в нулевое состояние. Единичный сигнал с прямого выхода триггера 2.4 проходит через элемент ИЛИ 24.3 на второй вход элемента И 19.4, на первый вход которого поступает единица с инверсного выхода триггера 2.5, в результате единичный сигнал с элемента И 19.4 через элементы ИЛИ 21.4, И 22.4, ИЛИ 17.4 поступает на триггер 2.5 и устанавливает его в единичное состояние. В счетчик записана кодовая комбинация 10100. До прихода следующего тактового сигнала на входную шину 8 единичный сигнал снимается с шины 25, закрывает элемент И 27 и открывает элемент И 26. С приходом очередного тактового сигнала происходит обычный счет, начиная с кодовой комбинации 10100.

Аналогичным образом при переходе от одного режима работы к другому происходят преобразование остальных кодовых комбинаций и запись их в счетчик.

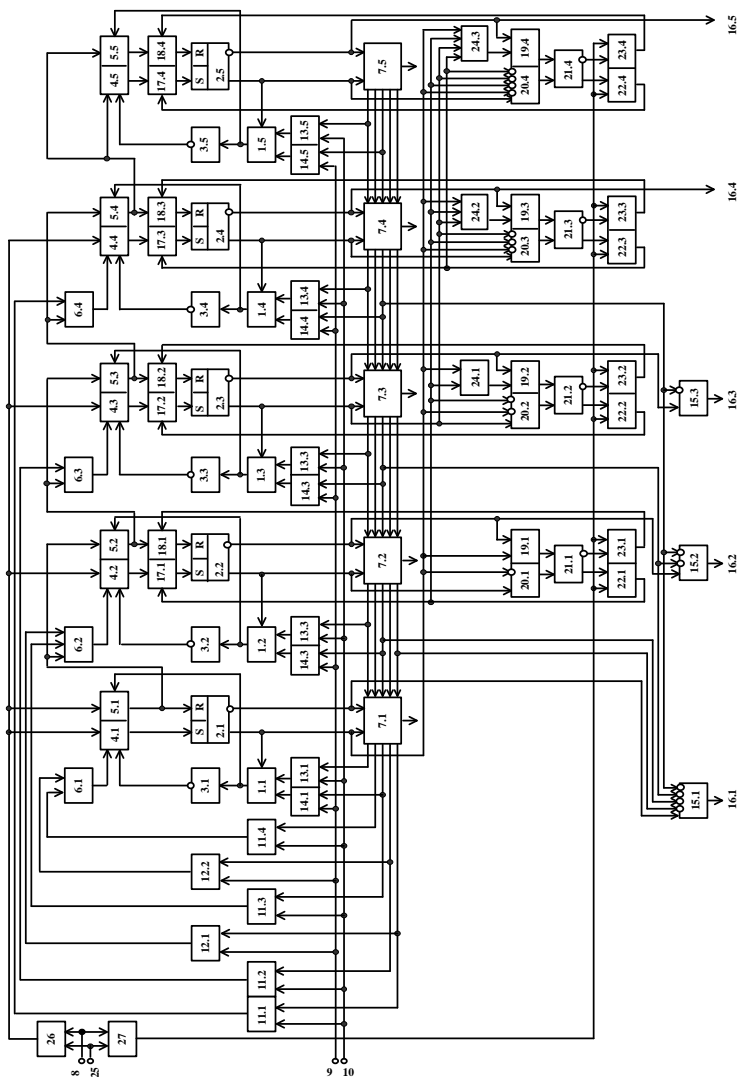


Рисунок 4.4 – Биномиальный реверсивный счетчик с $k = 4$, $n = 5$

5.1 СЧЕТЧИКИ РАВНОВЕСНЫХ КОДОВ

Счетчики равновесных кодов (кодов с постоянным весом, содержащих во всех кодовых комбинациях постоянное число единиц k) распространены в автоматике и вычислительной технике и могут быть использованы в устройствах дискретной обработки информации, в частности, в качестве помехоустойчивых счетчиков, распределителей импульсов и устройств помехоустойчивого кодирования информации.

Комбинация кода с постоянным весом, как указывалось выше, в первом разделе, формируется на основе неравномерного биномиального числа, начиная с дополнительного разряда, стоящего в его начале. В этот разряд записывается единица, если в соответствующей биномиальной кодовой комбинации содержится менее k единиц и соответственно имеется $n - k + 1$ нулей. Далее записываются единицы во все последующие разряды до тех пор, пока их общее число не станет равным k . Если в биномиальной кодовой комбинации уже имеется k единиц, то дополнительный разряд и все остальные, если они есть, остаются в нуле (см. табл. 5.1).

На рисунке 5.1 приведен биномиальный пятиразрядный счетчик импульсов с контрольным числом $k = 4$, работающий в коде с постоянным весом. Он основан на биномиальном счетчике с таким же числом разрядов – 5 и тем же контрольным числом - $k = 4$ [10].

В таблице 5.1 приведены состояния счетчика в биномиальной системе счисления и соответствующие комбинации в коде с постоянным весом.

Кодовые комбинации с постоянным весом формируются следующим образом (см. рис. 5.1).

Когда счетчик находится в нулевом состоянии, на нулевом выходе сумматора первого разряда 7.1 находится единичный сигнал. Он поступает на нулевые входы элементов ИЛИ 9.1 - 9.4.

В результате на выходах этих элементов также появляются единичные сигналы, которые с выходов элементов ИЛИ 9.2 - 9.4 поступают соответственно на выход элементов ИЛИ 10.1 - 10.3 через их вторые входы. В итоге на выходных шинах 11.1 - 11.6 получаем кодовую комбинацию с постоянным весом - 001111, поступающую соответственно с выхода элемента ИЛИ 9.1, выходов элементов ИЛИ 10.1 - 10.3 и прямых выходов триггеров 2.4 - 2.5 счетчика.

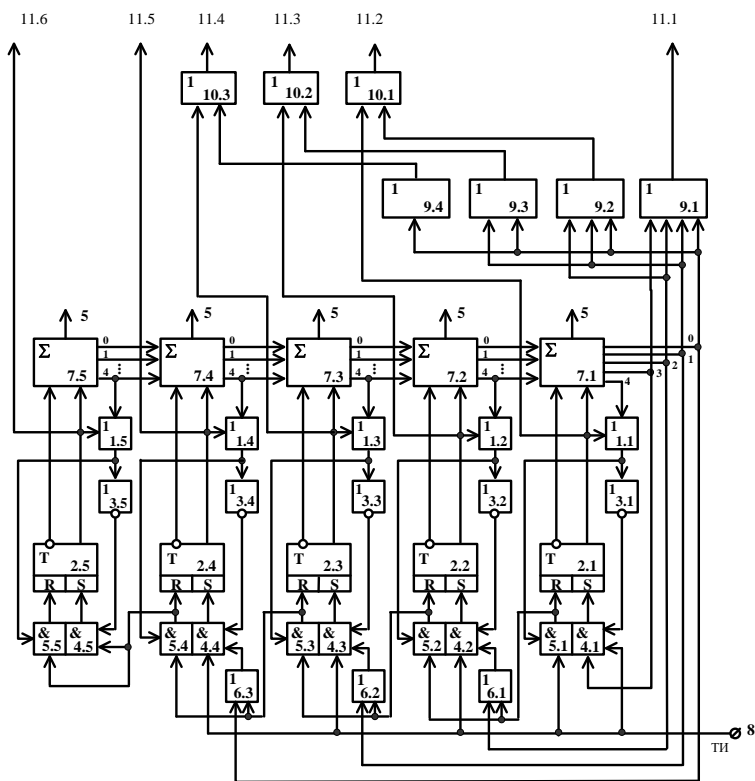


Рисунок 5.1 – Устройство перебора кодовых комбинаций с постоянным весом

Если счетчик находится в состоянии 01000, то на первом выходе сумматора 7.1 появляется единичный сигнал, который поступает на первые входы элементов ИЛИ 9.1 - 9.3 (элемент

ИЛИ 9.4 первого входа не имеет). Вследствие этого на выходах этих элементов также появляется единичный сигнал, так как на нулевом входе элемента ИЛИ 9.4 отсутствует сигнал, то и на его выходе сигнал также отсутствует. В результате на выходных шинах 11.1 - 11.3, 11.5 получены единицы, а остальные разряды, 11.4, 11.6, находятся в нуле, т.е. получена комбинация кода 010111.

Таблица 5.1 – Соответствие биномиальных и равновесных комбинаций

Пор. ном.	Состояние счетчика	
	в биномиальной системе счисления	в коде с постоянным весом
0	00000	001111
1	01000	010111
2	01100	011011
3	01110	011101
4	01111	011110
5	10000	100111
6	10100	101011
7	10110	101101
8	10111	101110
9	11000	110011
10	11010	110101
11	11011	110110
12	11100	111001
13	11101	111010
14	11110	111100

Если счетчик находится в состоянии 01100, то на втором выходе сумматора 7.1 появляется единичный сигнал, который поступает на вторые входы элементов ИЛИ 9.1 - 9.2. Вследствие этого на выходах этих элементов также появляется единичный сигнал, а на выходах элементов ИЛИ 9.3 - 9.4 сигнала не будет. В результате единичные сигналы будут на выходных шинах 11.1 - 11.2, 11.4 - 11.5, а на остальных будут нулевые сигналы, т.е. получают комбинацию кода 011011.

В состоянии 01110 счетчика на третьем выходе сумматора 7.1 появляется единичный сигнал, который поступает на третий

вход элемента ИЛИ 9.1. В результате на выходных шинах 11.1 - 11.6 получают комбинацию кода 011101.

В состоянии счетчика 01111 на входы элементов 9.1 - 9.4 не поступают единичные сигналы, и кодовая комбинация 011110 на выходе сформирована единичными сигналами с триггера 2.4 и 2.1 - 2.3 счетчика.

Аналогичным образом будут сформированы и все остальные комбинации кода с постоянным весом: 100111, 101011, 101101, 101110, 110011, 110101, 110110, 111001, 111010, 111100.

Для уменьшения времени установления кодов с постоянным весом достаточно заменить последовательное соединение элементов ИЛИ, например, элементов ИЛИ 9.2, ИЛИ 10.1, одним элементом ИЛИ с большим числом входов.

Таким образом, в предлагаемом устройстве введенные новые конструктивные признаки обеспечивают более широкие функциональные возможности за счет формирования кодовых комбинаций с постоянным весом, сохраняя при этом высокую помехоустойчивость.

5.2 УСТРОЙСТВО ПЕРЕБОРА ЭЛЕМЕНТОВ ВСЕХ ПОДМНОЖЕСТВ МНОЖЕСТВА-СТЕПЕНИ

Данное устройство – биномиальный счетчик множества-степени, как и рассмотренный выше счетчик равновесных кодов, применим в автоматике и вычислительной технике, и может быть использован в устройствах дискретной обработки информации, в частности, в качестве счетчиков, распределителей импульсов и устройств кодирования информации с возможностью обнаружения ошибок [11]. Однако в нем получено расширение функциональных возможностей за счет введения новых конструктивных признаков, обеспечивающих увеличение модуля счета вследствие последовательного перебора всех групп равновесных кодов с длиной кодовых комбинаций m и постоянным значением числа единиц в них $k = 0, 1, \dots, m - 1$.

Для решения данной задачи привлекаются биномиальные коды с длиной чисел $n = m - 1$ и значениями параметра $k = 0, 1, \dots, m - 1$. Этот параметр задает максимально возможное количество единиц в биномиальной кодовой комбинации. На их

основе реализуются равновесные кодовые комбинации с *постоянным* числом единиц в них k , при сохранении возможности обнаружения ошибок (см. табл. 5.2). Другими словами данное устройство последовательно перебирает все биномиальные кодовые комбинации с параметром $k = 0, 1, \dots, m-1$ и, затем, на их основе формирует соответствующие равновесные коды, начиная с кодов, имеющих число единиц $k = 0$ и заканчивая их числом $k = m$. На рисунке 5.2 приведено в качестве примера устройство перебора (счетчик множества-степени), решающее данную задачу. Введенные элементы и новые связи обеспечивают перебор 2^m двоичных состояний следующим образом. Количество состояний обычного двоичного счетчика равно 2^m , где m - разрядность этого счетчика. Диапазон счетчика равновесных кодов описывается выражением C_m^k , где $m = n + 1$; n - разрядность этого счетчика. Согласно известному выражению $2^m = C_m^0 + C_m^1 + \dots + C_m^k + \dots + C_m^m$. Следовательно, для того, чтобы перебрать все 2^m двоичных кодовых комбинаций с помощью помехоустойчивого n -разрядного биномиального счетчика импульсов, необходимо в процессе счета менять значение величины k этого счетчика от 0 до $m-1$. Значение его разрядности n при этом остаются неизменными. Затем после дополнительного преобразования биномиальных чисел будут получены равновесные кодовые комбинации. Для значений $k = 0, 1, \dots, m-1$ их число будет, соответственно, $C_m^0, C_m^1, \dots, C_m^m$.

Перестройка биномиального счетчика на различные значения величины k осуществляется с помощью кольцевого распределителя импульсов 12, единичные сигналы с выходов разрядов которого с второго по шестой задают величину k для счетчика импульсов. С помощью выходов первого и седьмого разрядов распределителя импульсов 12 формируются 2 комбинации - только с нулевыми и только с единичными разрядами. Помехоустойчивость работы счетчика достигается за счет подсчета количества единичных разрядов в счетчике, и при превышении этим количеством величины k вырабатывается сигнал ошибки.

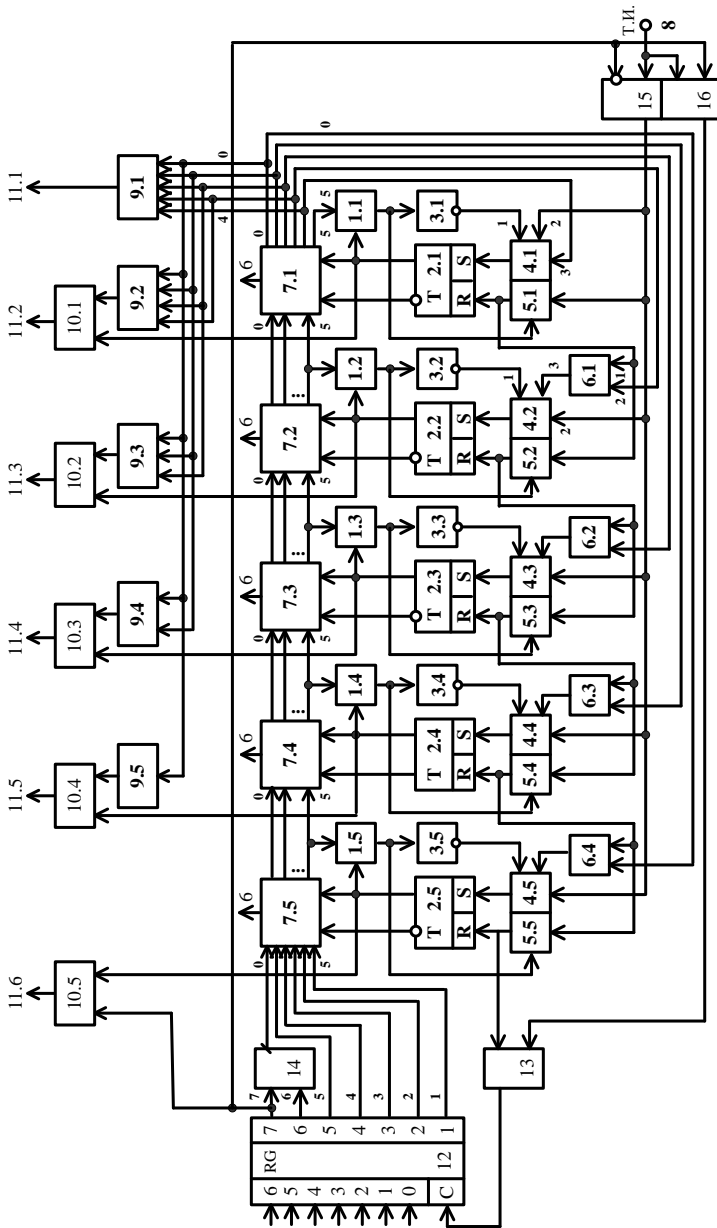


Рисунок 5.2 - Структурная схема счетчика множества - степени

Работу предлагаемого устройства рассмотрим на конкретном примере с количеством разрядов счетчика $n = 5$. В таблице 5.2 приведены состояния выходов седьмого - первого разрядов распределителя импульсов 12, триггеров 2.5 - 2.1 счетчика и выходных шин 11.6 - 11.1 в зависимости от номера входного импульса на шине 8 при отсчете от исходного состояния.

Как видно из таблицы 5.2, в исходном состоянии в кольцевом распределителе импульсов 12 в первом разряде находится единица, в счетчике импульсов и на выходных шинах - нули. При состояниях счетчика импульсов с 1-го по 6-е (C_6^1) кольцевой распределитель импульсов 12 содержит "1" во втором разряде и настраивает счетчик импульсов на работу с $k = 1$. При этом счетчик импульсов производит перебор кодовых комбинаций с $k = 1$, а на выходных шинах вырабатываются взвешенные кодовые комбинации с количеством единиц, равным единице. При нахождении счетчика импульсов в состояниях с 7-го по 21-е (C_6^2) в кольцевом распределителе импульсов единичный сигнал будет находиться в третьем разряде. Счетчик импульсов перебирает биномиальные кодовые комбинации с $k = 2$, а на выходных шинах появляются кодовые комбинации с постоянным весом, равным двум. В состояниях счетчика импульсов с 22-го по 41-е (C_6^3) он работает в режиме с $k = 3$ и так далее. В 63-м состоянии счетчика на выходе формируется последняя кодовая комбинация с шестью единицами.

Таблица 5.2 - Подмножества множества-степени

Пор. ном.	Состояние разрядов			
	распределителя импульсов		биномиального счетчика импульсов	выходных шин
	7654321		54321	654321
0	1	0000001	00000	000000
1	1	0000010	00000	000001
2	2	0000010	00001	000010
3	3	0000010	00010	000100
4	4	0000010	00100	001000
5	5	0000010	01000	010000
6	6	0000010	10000	100000

Продолжение таблицы 5.2

Пор. ном.	Состояние разрядов			
	распределителя импульсов		биномиального счетчика импульсов	выходных шин
	7654321		54321	654321
7	1	0000100	00000	000011
8	2	0000100	00010	000101
9	3	0000100	00011	000110
10	4	0000100	00100	001001
11	5	0000100	00101	001010
12	6	0000100	00110	001100
13	7	0000100	01000	010001
14	8	0000100	01001	010010
15	9	0000100	01010	010100
16	10	0000100	01100	011000
17	11	0000100	10000	100001
18	12	0000100	10001	100010
19	13	0000100	10010	100100
20	14	0000100	10100	101000
21	15	0000100	11000	110000
22	1	0001000	00000	000111
23	2	0001000	00100	001011
24	3	0001000	00110	001101
25	4	0001000	00111	001110
26	5	0001000	01000	010011
27	6	0001000	01010	010101
28	7	0001000	01011	010110
29	8	0001000	01100	011001
30	9	0001000	01101	011010
31	10	0001000	01110	011100
32	11	0001000	10000	100011
33	12	0001000	10010	100101
34	13	0001000	10011	100110
35	14	0001000	10100	101001
36	15	0001000	10101	101010
37	16	0001000	10110	101100
38	17	0001000	11000	110001
39	18	0001000	11001	110010
40	19	0001000	11010	110100

Продолжение таблицы 5.2

Пор. ном.	Состояние разрядов			
	распределителя импульсов		биномиального счетчика импульсов	выходных шин
	7654321		54321	654321
41	20	0001000	11100	111000
42	1	0010000	00000	001111
43	2	0010000	01000	010111
44	3	0010000	01100	011011
45	4	0010000	01110	011101
46	5	0010000	01111	011110
47	6	0010000	10000	100111
48	7	0010000	10100	101011
49	8	0010000	10110	101101
50	9	0010000	10111	101110
51	10	0010000	11000	110011
52	11	0010000	11010	110101
53	12	0010000	11011	110110
54	13	0010000	11100	111001
55	14	0010000	11101	111010
56	15	0010000	11110	111100
57	1	0100000	00000	011111
58	2	0100000	10000	101111
59	3	0100000	11000	110111
60	4	0100000	11100	111011
61	5	0100000	11110	111101
62	6	0100000	11111	111110
63	1	1000000	00000	111111

Устройство перебора работает следующим образом.

В исходном состоянии в первом разряде кольцевого распределителя импульсов 12 находится единица, которая поступает на пятый вход сумматора 7.5 (цепи начальной установки распределителя 12 и триггеров 2.1 - 2.5 на чертеже не показаны). Так как в счетчике находится нулевая кодовая комбинация, то на пятом выходе сумматора 7.1 также появляется единичный сигнал. На выходных шинах 11.1 - 11.6 формируется нулевая кодовая комбинация 000000, так как на нулевом - четвертом выходах сумматора 7.1 находятся нулевые сигналы, на прямых

выходах триггеров 2.1 - 2.5 - также нулевые сигналы. С приходом первого тактового импульса на входную шину 8 единичный сигнал проходит через элемент И 15, который через инверсный вход открыт нулевым сигналом с седьмого разряда кольцевого распределителя импульсов 12, на элемент И 5.1, который, в свою очередь, открыт единичным сигналом с пятого выхода сумматора 7.1 через элемент ИЛИ 1.1. В результате единичный сигнал проходит через элемент И 5.1, а также последовательно через элементы И 5.2 - 5.5, которые открыты единичными сигналами с пятых выходов сумматоров 7.2 - 7.5 через элементы ИЛИ 1.2 - 1.5 соответственно. Единичный сигнал с выхода элемента И 5.5 поступает на тактовый вход кольцевого распределителя 12 импульсов через элемент ИЛИ 13, в результате чего первый разряд распределителя переходит в нулевое состояние, а второй - в единичное. Единичный сигнал с выхода второго разряда распределителя 12 поступает на четвертый вход сумматора 7.5, и так как в счетчике все триггеры находятся в "0", то и на четвертом выходе сумматора 7.1 появляется сигнал "1". Этот сигнал поступает на четвертый вход элемента ИЛИ 9.1, и на выходных шинах 11.1 - 11.6 формируется комбинация 000001.

Сигнал "1" с четвертого выхода сумматора 7.1 поступает также на третий вход элемента И 4.1, на первый вход которого также поступает сигнал "1" с инвертора 3.1. В результате очередной тактовый сигнал поступает с входной шины 8 через элемент И 15 на второй вход элемента И 4.1 и устанавливает триггер 2.1 в состояние "1". Сигнал "1" с прямого выхода триггера 2.1 через элемент ИЛИ 10.1 поступает на выходную шину 11.2. В результате на выходных шинах формируется кодовая комбинация 000010.

Так как на четвертом входе сумматора 7.5 находится сигнал "1", то и на четвертом входе сумматора 7.1 также находится сигнал "1", который совместно с сигналом "1" с прямого выхода триггера 2.1 вырабатывает сигнал "1" на пятом выходе сумматора 7.1. При поступлении очередного тактового сигнала на элемент И15 триггер 2.1 переводится в нулевое состояние единичным сигналом с выхода элемента ИЛИ 1.1 через элемент И 5.1. Сигнал "1" с выхода элемента И 5.1 поступает также на

третий вход элемента И 4.2 через первый вход элемента ИЛИ 6.1. Единичный сигнал с выхода элемента НЕ 3.2 поступает на первый вход элемента И 4.2, и триггер 2.2 переходит в состояние "1" по этому же такту. На выходных шинах формируется кодовая комбинация 000100. Таким же образом получают все кодовые комбинации с одним единичным разрядом.

При нахождении счётчика импульсов в состоянии 10000, а выходных шин – 100000 и на четвертом входе сумматора 7.5 единицы, очередной тактовый сигнал проходит через элементы И 5.1 - 5.5, сбрасывает триггер 2.5 в нулевое состояние и устанавливает третий разряд распределителя импульсов 12 в состояние "1". Сигнал "1" с выхода третьего разряда распределителя импульсов 12 поступает на третий вход сумматора 7.5, а с третьего выхода сумматора 7.1 - на входы элементов ИЛИ 9.1 - 9.2. В результате на выходных шинах 11.1 - 11.6 появляется кодовая комбинация 000011.

С приходом очередного тактового сигнала триггер 2.2 переходит в состояние "1" и поэтому "1" появляется на 4-м выходе сумматора 7.1. При этом на выходных шинах формируется кодовая комбинация 000101. Аналогичным образом на выходных шинах формируются все кодовые комбинации с двумя единичными разрядами. По окончании перебора кодовых комбинаций с двумя единичными разрядами распределитель импульсов 12 переходит в очередное состояние и задает режим работы счетчику импульсов с $k = 3$. В результате на выходных шинах последовательно перебираются кодовые комбинации с тремя единичными разрядами. Затем аналогично перебираются комбинации с четырьмя и пятью единицами.

При нахождении счетчика в 62-м состоянии, когда на выходных шинах сформирована кодовая комбинация 111110, а счетчик находится в состоянии 11111, очередной тактовый сигнал сбрасывает триггеры 2.1 - 2.5 в "0" и устанавливает в состояние "1" седьмой разряд распределителя импульсов 12, единичный сигнал с выхода которого поступает через элемент ИЛИ 14 на нулевой вход сумматора 7.5 и через сумматоры 7.5 - 7.1 - на нулевой выход сумматора 7.1. Этот сигнал через элементы ИЛИ 9.1 - 9.5 поступает на выходные шины 11.1 - 11.5, а на выходную шину 11.6 также поступает единичный сигнал с

седьмого разряда распределителя импульсов 12 через элемент ИЛИ 10.5. На выходных шинах формируется последняя кодовая комбинация 111111. Очередной тактовый сигнал с шины 8 поступает на элемент И 1.6, который открыт единичным сигналом с седьмого разряда распределителя импульсов 12, и через элемент ИЛИ 13 устанавливает распределитель импульсов 12 в исходное состояние (0000001); на выходе счетчика - 000000.

Обнаружение ошибок при работе счетчика импульсов происходит при ошибочных переходах разрядов счетчика типа $0 \rightarrow 1$, когда количество единичных разрядов в счетчике превысит заданную величину k . Например, если счетчик находится во втором состоянии (кодовая комбинация - 00001, а на выходных шинах - 000010), и произошел ошибочный переход в единичное состояние триггера 2.3, то в счетчике будет комбинация 00101. Это значит, что количество единичных разрядов превысило $k = 1$. Так как во 2-м состоянии единичный сигнал с первого разряда распределителя импульсов поступает на четвертый вход сумматора 7.5, то учитывая наличие "1" с триггера 2.3 на пятом выходе сумматора 7.3 появится единичный сигнал. Этот сигнал поступает на пятый вход сумматора 7.1, на первую группу входов которого поступает единичный сигнал с прямого выхода триггера 2.1, в результате единичный сигнал появляется на шестом выходе сумматора 7.1, что и является сигналом ошибочного состояния счетчика импульсов.

Аналогично, если при нахождении счетчика импульсов в 41-м состоянии и соответственно нахождении "1" в распределителе 12 в 4-м разряде (комбинация 11100, а на выходных шинах - 111000) произойдет ошибочный переход одного из разрядов из $0 \rightarrow 1$, например, триггера 2.2, то на шестых выходах сумматоров 7.2 и 7.1 появится сигнал ошибки.

Устанавливая в единичное состояние один из разрядов кольцевого распределителя импульсов с помощью поразрядных входов распределителя 12, можно осуществить помехоустойчивый перебор кодовых комбинаций счетчика импульсов, начиная с любого заданного числа k .

5.3 БИНОМИАЛЬНЫЕ МИКРОПРОЦЕССОРНЫЕ УСТРОЙСТВА ДЛЯ ПЕРЕБОРА РАВНОВЕСНЫХ КОДОВ

Равновесные коды (коды с постоянным числом единиц), как уже отмечалось ранее, вследствие простоты алгоритмов кодирования и декодирования широко применяются на практике, как для помехоустойчивой передачи данных по каналам связи, так и при хранении и передаче информации в цифровых системах обработки информации. Для их генерирования в данной работе предлагаются различные устройства, реализованные на жесткой логике, то есть в виде схем. Такой подход оправдан тем, что такие устройства имеют большое быстродействие, хорошую надежность и достаточно экономичны. Их недостатком является сложность перестройки для решения других похожих задач, другими словами они для ряда приложений недостаточно универсальны. Поэтому в ряде приложений целесообразно использование микропроцессорных устройств с микропрограммной перестраиваемой логикой.

Рассмотрим помехоустойчивый алгоритм перебора равновесных кодов повышенной мощности на основе биномиальных чисел и его реализацию с помощью помехоустойчивого микропроцессорного устройства [31].

Алгоритм работы устройства основывается на правилах выполнения арифметических операций над числами в биномиальной системе счисления. Для его реализации напомним еще раз понятие биномиального числа:

Определение. *k - биномиальным числом называется двоичная комбинация разрядности n , содержащая не более k единиц и $l = n - k + 1$ нулей до младшей единицы или k единиц и $l < n - k$ нулей до младшей единицы.*

Например, для параметров $n = 5$, $k = 2$ число 00001 не является биномиальным, так как перед младшей единицей, стоящей в нулевом разряде, находятся четыре нуля, а должно быть не более $n - k = 5 - 2 = 3$. Число 00110 является биномиальным, так как содержит $k = 2$ единицы и $2 < 3$ нуля до младшей единицы, стоящей в первом разряде.

Работа рассматриваемого устройства происходит по следующим правилам:

1. В исходном состоянии все разряды устройства установлены в нуль.
 2. Происходит занесение единицы в $k - i$ разряд, где i - число единиц в разрядной сетке устройства.
 3. Подсчитывается число единиц в ней.
 4. Если число единиц меньше k , то переход к пункту 2.
 5. Если число единиц равно k и они не расположены в k старших разрядах, то младшие единичные разряды до первого нулевого устанавливаются в нуль, а первый нулевой - в единицу.
 6. Если число единиц равно k и они расположены в k старших разрядах, то цикл счета окончен.
 7. Если число единиц больше k , то вырабатывается сигнал «ошибка» и происходит переход к пункту 1.
 8. Производится подсчет числа нулей в разрядной сетке устройства до первой младшей единицы.
 9. Если число нулей меньше или равно $n - k + 1$, то переход к п. 2.
 10. Если число нулей больше $n - k + 1$, то вырабатывается сигнал «ошибка» и происходит возврат к пункту 1.
- Количество перебираемых устройством биномиальных чисел определяется из выражения

$$N = C_{n+1}^k = \frac{(n+1)}{k!(n-k+1)!}. \quad (14)$$

В соответствии с приведенным выше алгоритмом в таблице 5.3 в качестве примера приведены биномиальные числа с $n = 5$, $k = 2$.

Таблица 5.3 – Биномиальные числа с $n = 5$, $k = 2$

Номер	54321	Номер	54321	Номер	54321	Номер	54321
0	00000	4	00101	8	01010	12	10010
1	00010	5	00110	9	01100	13	10100
2	00011	6	01000	10	10000	14	11000
3	00100	7	01001	11	10001	15	

Переход к равновесной комбинации от равномерного биномиального числа осуществляется приписыванием к его последнему разряду единиц, если оно их содержит меньше k . В противном случае, если число содержит k единиц, в его конец добавляются нули. Единицы приписываются, начиная от $(n - k + 1)$ -го нуля, а нули - от последней k -й единицы при счете от старшего разряда до тех пор, пока соответственно число единиц не станет равным k или число нулей - равным $n - k + 1$. Так, биномиальная комбинация 01000 с $n = 5$ и $k = 4$ после преобразования в равновесную будет иметь вид 010111.

Работу микропроцессорного устройства рассмотрим на основе его обобщенной структуры (см. рис. 5.3). В начальный момент времени ЦП микропроцессора находится в состоянии ожидания (или может выполнять какие-либо дополнительные функции, не относящиеся к биномиальному счетчику). Источник информации (ИИ) посылает запрос на прерывание и вырабатывает команду *RST*, которая вызывает подпрограмму биномиального счетчика, хранящуюся в ПЗУ. При каждом обращении к подпрограмме содержимое счетчика увеличивается на единицу и выводится в порт вывода 00, который в данном случае является потребителем информации. При обнаружении ошибки в работе счетчика микропроцессор выводит сообщение об ошибке также в порт вывода 00, после чего счетчик обнуляется и продолжает работать в прежнем режиме.

ОЗУ используется для хранения предыдущего состояния счетчика и организации стека, который необходим при работе с подпрограммами. Таким образом, объем ОЗУ, необходимый непосредственно для биномиального счетчика, составляет всего несколько ячеек.

Алгоритм подпрограммы работы биномиального счетчика представлен на рисунке 5.4.

При обращении к подпрограмме в аккумулятор загружается число A (предыдущее состояние счетчика, которое хранится в счетчике ОЗУ). Для перехода к следующему состоянию нам необходимо знать, какое количество единиц уже содержится в счетчике, поэтому на следующем этапе подсчитывается число единиц. Дальше алгоритм разветвляется в

зависимости от того, равно ли количество единиц контрольному числу ($i = k$?). В случае равенства проверяется, находятся ли все единицы в старших разрядах счетчика ($A = A1?$), и в зависимости от результата обнуляется счетчик ($A := 0$) или прибавляется единица в младший разряд счетчика ($A := A + A2$).

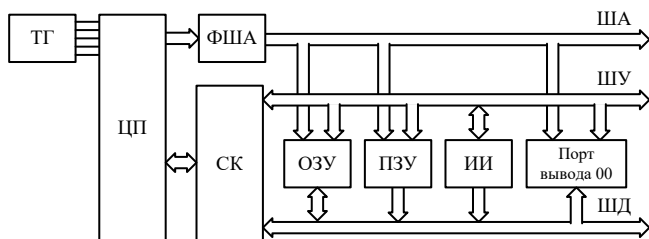


Рисунок 5.3 – Обобщенная структура микропроцессорной реализации биномиального счетчика

Случай, когда i не равно k , в свою очередь, делится на два варианта: $i > k$ и $i < k$. Если число единиц в счетчике больше контрольного числа $i > k$, то это значит, что произошла ошибка. В этом случае выводится в порт 00 сообщение об ошибке, после чего обнуляется счетчик ($A := 0$).

Если число единиц в счетчике меньше контрольного числа $i < k$, то алгоритм также разветвляется в зависимости от того, равно нулю число единиц или нет ($i = 0?$). В случае, если это число равно нулю, то нужно прибавить единицу в разряд счетчика с номером k ($A := A + A3$). В случае неравенства нулю необходимо сначала сдвинуть содержимое счетчика на i разрядов влево, а после сложения вернуть его в исходное состояние.

Окончание программы для всех рассмотренных случаев одно и то же: выводится новое состояние счетчика в порт вывода 00, затем выгружается в ячейку ОЗУ для хранения до следующего обращения к подпрограмме и происходит возврат из подпрограммы.

Очевидно, что на одном микропроцессоре можно организовать несколько биномиальных счетчиков с различными параметрами. При этом различные источники информации будут выдавать запросы на прерывания, и формировать различные команды *RST*. В свою очередь, микропроцессор будет пооче-

редно обрабатывать запросы, и выдавать информацию в различные порты вывода.

Если же микропроцессор будет использоваться для реализации одного единственного счетчика, и никаких дополнительных функций выполнять не будет, то можно исключить из структурной схемы, изображенной на рисунке 5.3, ОЗУ, а предыдущее состояние счетчика хранить в регистре микропроцессора. При этом останется единственный порт вывода, который можно не соединять с шиной адреса. В этом случае можно обойтись без формирователя шины адреса.

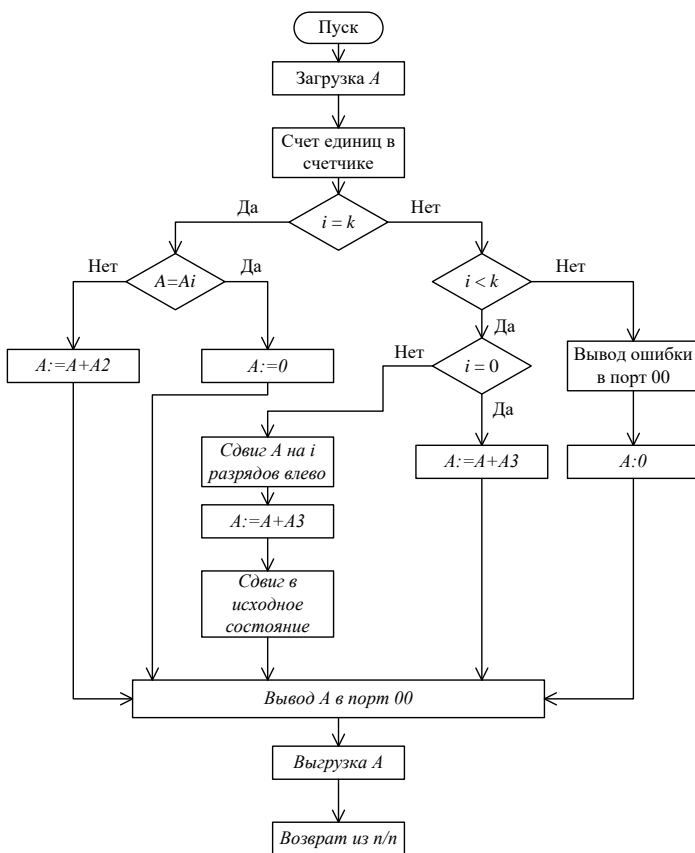


Рисунок 5.4 – Блок-схема алгоритма работы подпрограммы биномиального устройства для перебора кодов

6.1 ПРЕОБРАЗОВАТЕЛЬ РАВНОВЕСНОГО КОДА В ДВОИЧНЫЙ

Устройство может быть использовано в устройствах и системах обработки дискретной информации, в частности, при сжатии информации и помехоустойчивом кодировании.

Особенность этого устройства – нумерация равновесных кодовых комбинаций на основе биномиальных чисел [12]. Они, как было показано выше, нумеруются с помощью биномиальной числовой функции (1), представленной в разделе 2.1. В том же разделе с помощью выражений (2, 3) и (4, 5) было показано, что равномерная двоичная биномиальная кодовая комбинация (равномерное биномиальное число) из n разрядов содержит не более k единиц или не более $n - k$ нулей в старших разрядах до младшей единицы.

Особенностью биномиальных чисел является то, что вес каждого их разряда равен сочетанию $C_n^{k'}$ для данного разряда, где $k' = k - q$ - верхний параметр биномиального коэффициента для данного разряда, представляет контрольное число, а $n' = 1, 2, \dots, n$ - его порядковый номер, q - количество старших разрядов чисел биномиального кода, в которых содержатся единицы. При определении номера биномиальной кодовой комбинации вычисление числа сочетаний $C_n^{k'}$ происходит только для тех разрядов, в которых содержатся единицы.

Алгоритм работы преобразователя равновесного кода в двоичный код выглядит так. Равновесная кодовая комбинация по рассмотренным выше правилам (см. раздел 2.4) преобразуется в биномиальное число, и затем для каждого значащего разряда полученного биномиального числа вычисляется количество единиц q , расположенных в старших по отношению к нему разрядах. Затем для каждого из этих разрядов вычисляются контрольные числа $k' = k - q$ и с их помощью

соответствующие значения сочетаний $C_n^{k'}$. Полученные величины $C_n^{k'}$ суммируются. Результат представляет собой двоичный номер преобразуемой равновесной кодовой комбинации.

Для выполнения операции перевода равновесной кодовой комбинации в биномиальное число определяется содержание младшего разряда, равное 1 или 0. Если младший разряд равен 1, то все единицы до первого 0, которые идут после него в сторону старших разрядов, инвертируются, а младший единичный разряд исходной равновесной комбинации из рассмотрения исключается.

Если в младшем разряде равновесной комбинации находится 0, то ее младший разряд отбрасывается, и тем самым биномиальное число будет получено.

Процедура преобразования пояснена ниже на нескольких равновесных кодовых комбинациях с постоянным весом (см. табл. 6.1).

Таблица 6.1 - Преобразование равновесных кодовых комбинаций в двоичные числа с $k = 3$ и $n = 5$

Код с постоянным весом	Биномиальный код	q					$k - q$					$C_n^{k'}$					$\Sigma C_n^{k'}$ в двоичном виде
		5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	
010011	01000	0	0	1	1	1	3	3	2	2	2	-	4	-	-	-	0100
010110	01011	0	0	1	1	2	3	3	2	2	1	-	4	-	1	1	0110
011100	01110	0	0	1	2	3	3	3	2	1	0	-	4	3	2	-	1001

На рисунке 6.1 дана структурная схема преобразователя для случая $n = 5$, $k = 4$; на рисунке 6.2 - выполнение блока считывания. Алгоритм преобразования состоит в переходе от равновесного кодовой комбинации к биномиальному числу и от него - к номеру в двоичной системе счисления.

Преобразователь равновесного кода в двоичный код (рис. 6.1) содержит блок преобразования равновесного кода в биномиальный 1 (ПК1), первую и вторую группы сумматоров 2 и 3, группу блоков считывания 4, дешифратор числа единиц 5, шифратор 6, накапливающий сумматор 7.

На рисунке 6.1 обозначены входы 8 преобразователя, входы 9 числа единиц q , входы 10 для параметра k , тактовый и

установочный в "0" входы 11, 12, выходы 13 преобразователя и выход 14 числа единиц q .

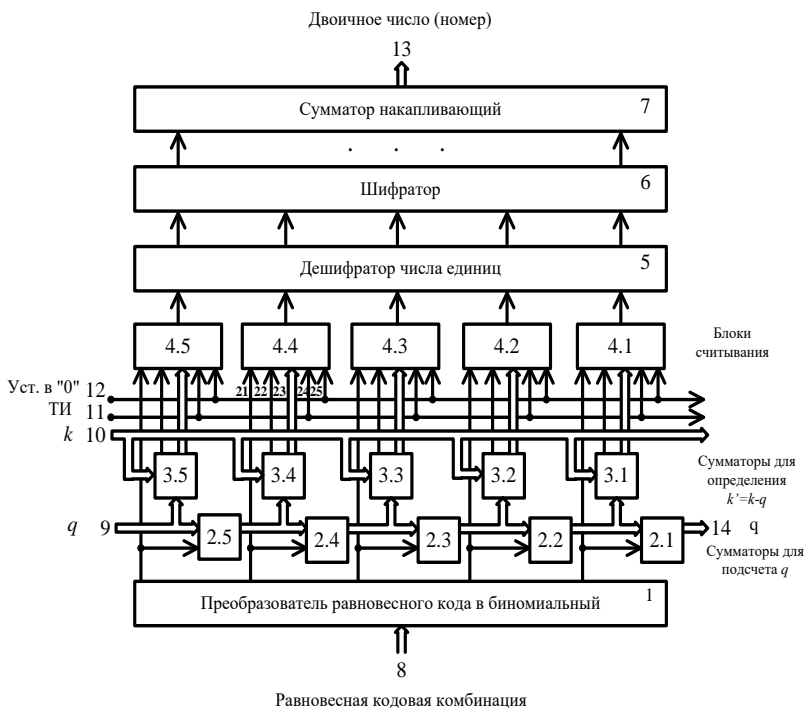


Рисунок 6.1 – Структурна схема преобразователя

На входы 8 поступают равновесные кодовые комбинации, а с выходов 13 снимаются соответствующие им двоичные числа (номера).

Входы 9 числа единиц q , входы 10 параметра k и выходы 14 числа единиц q будут задействованы в случае, когда слева и справа от рассматриваемого преобразователя будут стоять аналогичные преобразователи, что позволяет наращивать разрядность исходного преобразователя.

Сумматоры 2.1 - 2.5 подсчитывают количество единиц q в старших разрядах. Сумматоры 3.1 - 3.5 подсчитывают величину контрольного числа $k' = k - q$ для своих разрядов.

Работу преобразователя рассмотрим для входной кодовой комбинации с постоянным весом 011100, которой соответствует биномиальная кодовая комбинация 01110. Процедура преобразования выполняется для 2-го, 3-го и 4-го разрядов, поскольку значения 1-го и 5-го разрядов равны нулю. В этом случае в преобразователе равновесного кода в биномиальный код значащими разрядами будут 2-й, 3-й и 4-й разряды и соответственно с них будут сниматься единицы, которые поступят на соответствующие сумматоры 2.2 - 2.4, затем 3.2 - 3.4 и блоки считывания 4.2 - 4.4, разрешая их работу.

Сумматоры 2.2 - 2.4 подсчитывают количество единиц q в старших разрядах. Сумматоры 3.2 - 3.4 подсчитывают контрольное число $k' = k - q$ для своих разрядов.

Поскольку в данном случае величина q , поступающая на вход 9, и значение 5-го разряда преобразователя кодов ПК1 равны 0, то на выходе сумматора 2.5 появится нулевой сигнал, который поступит на сумматоры 2.4 и 3.4. На другой вход сумматора 2.4 при этом поступит 1, а сумматора 3.4 - число $k = 3$. Поэтому на вторых выходах сумматора 3.4 появляется контрольное число четвертого разряда $k - q = 3 - 0 = 3$. На первом выходе сумматора 3.4 в это время присутствует нулевой сигнал. Единичный сигнал появляется в нем только в случае $k' = k - q = n'$.

Блок считывания 4.4 (рис. 6.2) принимает тактовый импульс на входе 24, который поступает на элемент "Запрет" 17 (Зп 17). В это время элемент И 18 закрыт нулевым сигналом по входу 22 с первого выхода сумматора 3.4, и одновременно с его помощью открывается элемент Зп 17. При этом через вход 21 подан единичный сигнал с четвертого разряда преобразователя равновесного кода в биномиальный (ПК1) на элемент Зп 17. Также на него подан сигнал 1 с триггера Т16 после установки его в "0" по входу 25 блока считывания. В результате на выходе Зп 17 появится 1, что позволяет через вход 23 контрольное число с выходов сумматора 3.4 записать в биномиальный счетчик 19, настраивая его на коэффициент пересчета, равный значению биномиального коэффициента $C_n^{k'} = C_n^{k-q}$, т. е. $C_4^3 = 4$.

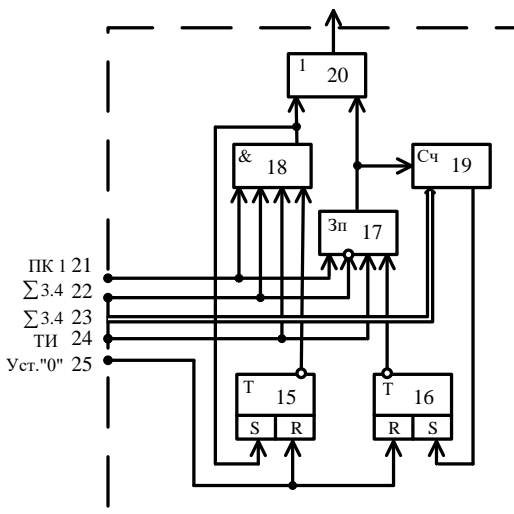


Рисунок 6.2 – Блок считывания

Таким образом, тактовые импульсы с входа 11 преобразователя через вход 24 блока считывания 4.4 проходят через его элемент 3п 17 на счетный вход счетчика 19 и затем через элемент ИЛИ 20 на выход блока считывания 4.4. С этого выхода сигнал поступает на соответствующий вход дешифратора числа единиц.

После прохождения четвертого тактового импульса на выходе счетчика 19 появляется сигнал переноса, который устанавливает триггер 16 в единичное состояние. На инверсном выходе триггера 16 появится нулевой сигнал, запрещающий дальнейшее прохождение тактовых импульсов через элемент 3п 17.

В случае $k' = n'$ сигнал с первого выхода сумматора 3.4 будет равен 1. При этом закроется элемент 3п 17 и соответственно тактовые импульсы ТИ не поступят на вход биномиального счетчика Сч 19, в то же время откроется элемент И 18 и тактовый сигнал ТИ пойдет через схему И18 и затем ИЛИ 20 на выход блока считывания. Очевидно сигнал с И 18 установит триггер Т 15 в 1, и тем самым схема И 18 для следующих тактовых импульсов будет закрыта.

Аналогично будет происходить передача тактовых импульсов для третьего и второго разрядов с той разницей, что для третьего разряда $k - q = 3 - 1 = 2$ и соответственно $C_3^2 = 3$, а для второго $k - q = 3 - 2 = 1$, а $C_2^1 = 2$.

Сигналы на входах дешифратора 5 появляются во всех единичных разрядах параллельно по тактовым импульсам и только в тех разрядах, где в полученном после преобразования биномиальном числе имеются единицы. При этом в четвертом разряде единицы появятся 4 раза, в третьем – 3 раза, во втором – 2 раза. Это значит, что на первом и втором тактах будет получено на входе дешифратора по три единицы, затем на третьем такте - две единицы с сумматоров 4.4 и 4.3, и, наконец, на четвертом - только одна, поступающая с сумматора 4.4. Каждый из этих наборов единиц дешифратором 5 преобразуется в сигнал на одном из своих выходов. Очевидно, что максимальное число единиц на входе дешифратора 5 будет равно 5.

Дешифратор устроен таким образом, что номер его выхода соответствует числу единиц поступающих на его вход. Тогда шифратор 6 на своих выходах формирует двоичные номера, равные номерам возбужденных выходов дешифратора 5.

Эти номера поступают в накапливающий сумматор 7, где складывается с номерами, полученными на предыдущих тактах. В результате будет получено двоичное число, соответствующее кодовой комбинации с постоянным весом на входах преобразователя ПК 1. В рассматриваемом случае это будет число 1001.

Таким образом, преобразователь равновесного кода в двоичный за счет поразрядного распараллеливания работы обеспечивает рост своего быстродействия.

6.2 ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В РАВНОВЕСНЫЙ

Устройство эффективно может быть применено в системах автоматики и вычислительной технике и может быть использовано в системах дискретной обработки и передачи информации в качестве устройств кодирования или декодирования информации, использующего равновесные коды [13].

На рисунке 6.3 представлена структурная схема преобразователя кодов; на рисунке 6.4 - схема блока синхронизации преобразователя.

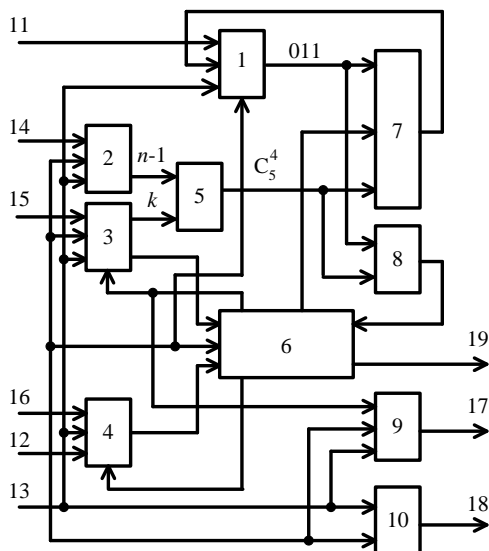


Рисунок 6.3 – Структурная схема преобразователя кода

Преобразователь кодов (рис. 6.3) содержит регистр текущей выборки 1, первый - третий счетчики 2 - 4, формирователь кодов 5, блок синхронизации 6, сумматор 7, блок сравнения 8, первый и второй регистры числа 9 и 10, первый - шестой входы 11 - 16 и первый - третий выходы 17 - 19.

Блок синхронизации 6 (рис. 6.4) содержит триггер 20, элемент ИЛИ-НЕ 21, элемент ИЛИ 22, первый - четвертый входы 23 - 26 и первый - четвертый выходы 27 - 30 блока синхронизации.

Процедура преобразования двоичного кода в код с постоянным весом использует в качестве промежуточного биномиальное число. Биномиальное двоичное число характеризуется наличием или k единиц, или $m - k$ нулей. Диапазон представления биномиальных чисел $P = C_m^k$. Например, для $m = 7$ и $k = 4$ числа 001110, 001111, 1111 являются биномиальными.

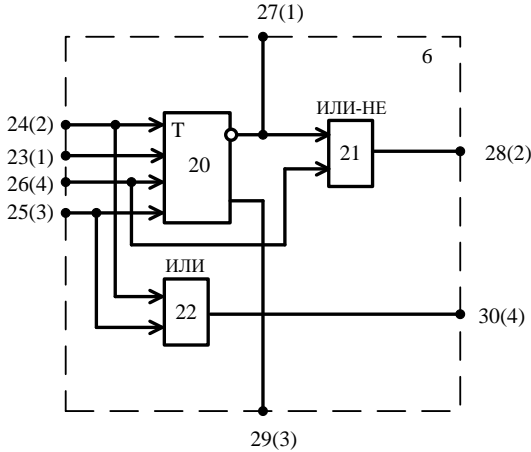


Рисунок 6.4 – Блок синхронизации

Перевод исходного двоичного числа в биномиальное число использует принцип поразрядного взвешивания. Вес каждого разряда биномиального числа определяется величиной сочетания $C_{m-1-i}^{k-q_i}$, где q_i - число единиц в предшествующих разрядах; $i = 0, 1, 2, \dots, m-1$. Сочетания формируются формирователем 5, который при подаче на одну группу входов значения m , а на другую значения k формирует на выходе значение C_m^k . В качестве такого формирователя может быть использовано ПЗУ. Для подсчета числа разрядов $m-1-i$, числа единиц и числа нулей $k-q_i$, $m-k$ используются вычитающие двоичные счетчики 2, 3 и 4.

Сравнивают переводимое двоичное число с весом текущего разряда. Определяют разность между этими числами. С этой целью применяют сумматор 7. При положительном значении разности или при равенстве ее нулю присваивают разряду значение "1", при отрицательном - значение "0". Эту функцию выполняет блок сравнения 8, который сравнивает кодовые комбинации на двух группах входов и выдает сигналы "Больше", "Равно" или "Меньше". В качестве блока 8 может быть использован цифровой компаратор.

Определяют остаток полученной разности, который при положительном ее значении равен ее абсолютной величине, а при отрицательном значении - исходному значению переводимого числа. Затем ее сравнивают с весом следующего разряда. Эту процедуру выполняют до тех пор, пока кодовая комбинация не станет удовлетворять условиям биномиального числа, т.е. будет получено или k единиц, или $m - k$ нулей.

Для получения кода с постоянным весом k биномиальному коду справа дописывают нули, если в нем содержится k единиц, или единицы, если в нем содержится $m - k$ нулей, до тех пор, пока разрядность кода не станет равной n . Выходные кодовые комбинации накапливаются в регистрах 9-го и 10-го чисел, представляющих собой сдвиговые регистры.

Подробно работу преобразователя рассмотрим на примере перевода двоичного числа 011 в шестизрядную $m = 6$ комбинацию с постоянным весом, т.е. с постоянным числом единиц $k = 4$.

После сигнала установки в "0" по входу 13 преобразователя выполняются следующие операции. По входу 11 в регистр 1 текущей выборки записывается входная кодовая комбинация 011; по входу 14 преобразователя в счетчик 2 - число $n - 1$, в данном случае $6 - 1 = 5$; по входу 15 в счетчик 3 - число $k = 4$; по входу 16 в счетчик 4 - число 2 ($n - k$). Обнуляются также регистры 9-го и 10-го чисел.

С выхода регистра 1 текущей выборки входной двоичный код поступает на первый вход сумматора 7 и второй вход блока 8. С выхода счетчиков 2 и 3 текущие значения $m - 1 = 5$ и $k = 4$ поступают на входы формирователя 5. При этом на выходе формирователя 5 появляется значение сочетания $C_5^4 = 5$, которое поступает на второй вход сумматора 7 и первый вход блока 8. Так как на втором входе блока 8 находится исходное число 3, а на первом входе - число 5, блок 8 формирует сигнал "Меньше" ($3 < 5$), который поступает на соответствующий вход блока 6 синхронизации, т.е. на информационный вход триггера 20. Отрицательный фронт синхросигнала записывает сигнал "Меньше" в триггер 20 и открывает элемент ИЛИ-НЕ 21. Таким образом, сигнал с инверсного выхода триггера 20 через элемент

ИЛИ-НЕ 21 поступает на третий (управляющий) вход сумматора 7 в виде команды "Транзит", что соответствует транзитной передаче двоичного кода с первого входа сумматора 7 на выход без изменения. Одновременно сигнал с инверсного выхода триггера 20 формирует "0" в первом разряде регистра числа 9 и запрещает выборку со счетчика 3. Сигнал с прямого выхода триггера 20 разрешает выборку со счетчика 4.

Положительным фронтом синхросигнала на входе 12 преобразователя в регистр 1 текущей выборки с выхода сумматора 7 записывается двоичный код числа 3, т.е. 011. В регистр числа 9 записывается ранее сформированный сигнал "0". Одновременно уменьшается на 1 содержимое счетчика 2, т.е. $5-1=4$, и счетчика 4, т.е. $2-1=1$. Содержимое счетчика 3 остается без изменения, т.е. равно 4. На этом завершается первый этап сравнения (взвешивания) входного двоичного кода и веса старшего разряда биномиального числа. Вес разряда числа больше величины входного кода, и в регистре числа 9 сформирован первый ноль.

Теперь на первый вход формирователя 5 со счетчика 2 поступает уменьшенное значение $m-1$, равное 4. Состояние другого входа счетчика 3 при этом не изменяется. Это значит, что $k=4$. Таким образом, на выходе формирователя 5 появляется число $C_4^4=1$. С выхода регистра 1 текущей выборки на первый вход сумматора 7 и на второй вход блока 8 поступает число 3, а с выхода формирователя 5 на второй вход сумматора 7 и первый вход блока 8 - число 1. При этом блок 8 выдает на первый вход блока 6 синхронизации, т.е. на информационный вход триггера 20, сигнал "Больше или равно" ($3 > 1$).

Отрицательный фронт синхросигнала по входу 12 преобразователя записывает сигнал "Больше или равно" в триггер 20 и открывает элемент ИЛИ-НЕ 21. Таким образом, сигнал с инверсного выхода триггера 20 поступает на третий (управляющий) вход сумматора 7 в виде команды "Вычитание", т.е. на выходе сумматора 7 имеется разность двоичного кода числа 3 с первого входа и числа 1 с второго входа, т.е. $3-1=2$. Одновременно этот сигнал формирует "1" на входе регистра 9-го числа и разрешает выборку со счетчика 3. Сигнал с прямого выхода

триггера 20 запрещает выборку с вычитающего счетчика 4.

Положительным фронтом синхросигнала на входе 12 преобразователя в регистр 1 текущей выборки с выхода сумматора 7 записывается число 2. В регистр 9 числа записывается ранее сформированная единица. Одновременно уменьшается на 1 содержимое счетчика 2, т.е. $4 - 1 = 3$, и счетчика 3, т.е. $4 - 1 = 3$. Содержимое счетчика 4 остается без изменения, т.е. равно 1. На этом завершается второй этап сравнения (взвешивания) входного двоичного кода и веса следующего разряда биномиального числа. Вес разряда числа меньше, и в регистре 9-го числа второй сформирована единица.

Таблица 6.2 характеризует состояние элементов преобразователя. Как видно из таблицы, произойдет две операции "вычитание" и одна операция "транзит" сумматора 7, пока не обнулится один из счетчиков 3 и 4. В указанном выше примере обнулился счетчик $n - k$, т.е. счетчик 4. Это значит, что процесс преобразования двоичного кода числа 3 в биномиальный код с разрядностью $n = 6$ и числом единиц $k = 4$ завершился.

Таблица 6.2 – Состояния элементов преобразователя

Вычитающий счетчик			Формирователь 5 сочетаний	Регистр 1 текущей выборки	Результат сравнения в логическом блоке 8	Операция сумматора 7	Результат операции на выходе сумматора 7	Информация в регистре 9-го числа
2	3	4						
5	4	2	5	3	Меньше	Транзит	3	0
4	4	1	1	3	Больше или равно	Вычитание	2	1
3	3	1	1	2	-//-	-//-	1	1
2	2	1	1	1	-//-	-//-	0	1
1	1	1	1	0	-//-	-//-	0	0
0	1	0	-	-	Меньше	Транзит	0	0
-	0	0	-	-	-	-	-	1

Чтобы биномиальный код преобразовать в равномерный, необходимо дописать недостающие единицы, пока не исчерпается счетчик единиц k .

После того как содержимое счетчика 4 стало равным нулю, с выхода переноса счетчика 4 поступает сигнал на третий вход блока 6 синхронизации, т.е. на асинхронный сбросовый вход триггера 20 и вход элемента ИЛИ 22. Триггер 20 устанавливается в "0". При этом сигнал с инверсного выхода триггера 20 разрешает выборку счетчика 3, а сигнал с прямого выхода триггера 20 запрещает выборку счетчика 4, т.е. счетчик 4 самоблокируется на нулевом содержимом. Таким образом, по каждому синхронизирующему импульсу по входу 12 преобразователя будет уменьшать свое содержимое счетчик 3, и в регистр 9-го числа будут последовательно заноситься единицы до тех пор, пока счетчик 3 не обнулится. Как только содержимое счетчика 3 станет равным нулю, с его выхода переноса сигнал поступит на второй вход блока 6 синхронизации, т.е. на другой вход элемента ИЛИ 22. Сигналы переноса со счетчиков 3 и 4 откроют элемент ИЛИ 22 и сигнал с его выхода поступит на шестой выход блока 6 синхронизации, т.е. на выход 19 преобразователя, свидетельствуя о конце работы преобразователя. При этом в регистре 9-го числа будет числовая комбинация 011101. В регистре 10-го числа будет шесть единиц 111111 по числу тактов преобразователя, так как на его вход постоянно заведена единица. Это маска значимости, т.е. только 6 разрядов выходного кода действительны. Маска значимости соответствует числу разрядов выходного кода.

Таким образом, число тактов работы преобразователя, определяющее его быстродействие, не зависит от веса разрядов исходного двоичного числа и определяется числом разрядов кода с постоянным весом n . За счет поразрядного взвешивания повышается быстродействие преобразователя.

6.3 БИНОМИАЛЬНОЕ УСТРОЙСТВО СЖАТИЯ ИНФОРМАЦИЯ

Устройство или преобразователь кодов относится к автоматике и вычислительной технике и может быть использовано в системах и устройствах обработки и передачи информации. Его задачей является *сжатие* двоичной информации. Работает это устройство на основе применения биномиальных чисел [14].

На рисунке 6.5 приведена блок-схема данного устройства.

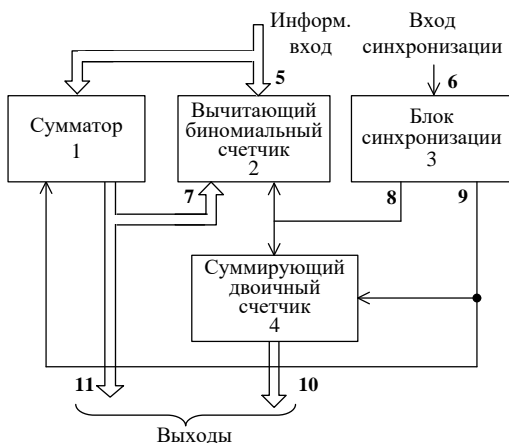


Рисунок 6.5 – Блок – схема биномиального устройства сжатия информации

В основе работы устройства лежит следующее. Если для n -разрядного двоичного числа будет известно количество k содержащихся в нем единиц, то это число можно рассматривать как биномиальное с параметрами n и k .

Как уже известно, биномиальное двоичное число - это число, содержащее или k единиц или $n - k$ нулей в старших его разрядах до младшей единицы.

Количество n -разрядных биномиальных чисел $N = C_{n+1}^k$ всегда меньше количества возможных n -разрядных двоичных чисел $N_1 = 2^n$, т.е. $C_{n+1}^k < 2^n$. Поэтому это число можно выразить меньшим количеством разрядов, чем n , и соответственно произвести сжатие информации. Так, например, если взять двоичное 16-разрядное число 0000 0000 0011 0000 и произвести в нем подсчет единиц, то оно после этого может рассматриваться, как биномиальное число с $n = 16$ и $k = 2$. Тогда оно может быть выражено количеством разрядов

$$n_1 = \log_2 C_{n+1}^k = \log_2 C_{17}^2 = \log_2 \frac{17!}{2! \cdot 15!} = 8.$$

Однако, кроме значения n_1 в сжимаемом числе необходимо хранить информацию о количестве единиц, которое определяется количеством разрядов $n_2 = \log_2 n$ и для рассматриваемого примера равно $n_2 = \log_2 16 = 4$. Таким образом, общая длина числа после сжатия будет равна $n_{об} = 8 + 4 = 12$, а коэффициент сжатия $K_{сж} = \frac{16}{12} = 1,33$. Из рассмотренного

следует, что чем больше длина сжимаемого двоичного числа и чем меньше число k , тем эффективность сжатия будет выше.

На основании изложенного рассматриваемый преобразователь кодов имеет сумматор 1 для подсчета количества единиц в двоичном числе и вычитающий счетчик 2, перебирающий последовательно все биномиальные двоичные комбинации, начиная со сжимаемого двоичного числа. В качестве такого счетчика взят биномиальный счетчик, достоинством которого является возможность перестраиваться на различные величины k (k - контрольное число) электрическими сигналами с входов 7. При этом не требуется введение специального коммутатора [16]. Это важно, так как число k для сжимаемых двоичных комбинаций переменное, следовательно, и контрольное число биномиального счетчика k также должно быть переменное и равное количеству единиц, содержащихся в преобразуемом двоичном числе. С этой целью биномиальный счетчик 2 настраивается на величину k через выход сумматора 1.

В качестве сумматора 1 можно использовать сумматоры числа единиц в двоичной комбинации любого типа, например матричные.

Блок синхронизации 3 обеспечивает прохождение на свой первый выход тактовых импульсов с входа 6 в отсутствие нулевого кода на выходах счетчика 2, а при появлении этого нулевого кода - снятие тактовых импульсов с выхода 8 и формирование на выходе 9 одиночного импульса.

Преобразователь кодов работает следующим образом.

С входов 5 преобразователя двоичная кодовая комбинация записывается в вычитающий счетчик 2 и параллельно поступает на входы сумматора 1, где подсчитывается количество единиц в

этой комбинации, которое в виде двоичного числа поступает на информационные входы 7 биномиального счетчика 2 и выходы 9 преобразователя. По тактовым импульсам с выхода 8 преобразователя блок 3 начинает по единицам вычитание содержимого биномиального счетчика 2 с одновременным подсчетом числа шагов вычитания в суммирующем счетчике 4. Когда содержимое счетчика 2 становится равным нулю, прекращается процесс вычитания и с выхода 9 блока 3 подается сигнал установки в нуль на установочные входы суммирующего счетчика 4 и сумматора 1. Одновременно преобразованная кодовая комбинация считывается с выходов 10 и 11 преобразователя кодов.

Проиллюстрируем работу преобразователя кодов таблицей 6.3 состояний биномиального 2 и суммирующего 4 счетчиков для приведенного примера с $n = 16$ и $k = 2$ (число 0000 0000 0011 0000).

С каждой единицей, вычитаемой из содержимого биномиального счетчика 2, к содержимому суммирующего счетчика 4 прибавляется единица, т.е. суммирующий счетчик 4 осуществляет нумерацию последовательно сменяемых состояний биномиального счетчика 2. Последнее 20-е состояние 0010100 суммирующего счетчика 4, соответствует нулевому содержимому биномиального счетчика 2. Это состояние, взятое совместно с содержимым 0010 сумматора 1, представляет собой выходную кодовую комбинацию преобразователя.

Как видно из таблицы 6.3, длина выходной кодовой комбинации (12 разрядов) меньше длины входной комбинации (16 разрядов), т.е. имеет место сжатие информации.

Таким образом, предлагаемый преобразователь кодов позволяет уменьшить длину выходной кодовой комбинации, т.е. осуществить сжатие информации.

Таблица 6.3 – Состояния биномиальных счетчиков

Пор. ном.	Содержимое биномиального счетчика	Содержимое суммирующего счетчика
0	0000000000110000	00000000
1	0000000000101000	00000001
2	0000000000100100	00000010
3	0000000000100010	00000011
4	0000000000100001	00000100
5	0000000000100000	00000101
6	0000000000011000	00000110
7	0000000000010100	00000111
8	0000000000010010	00001000
9	0000000000010001	00001001
10	0000000000010000	00001010
11	0000000000001100	00001011
12	0000000000001010	00001100
13	0000000000001001	00001101
14	0000000000001000	00001110
15	0000000000000110	00001111
16	0000000000000101	00100000
17	0000000000000100	00010001
18	0000000000000011	00010010
19	0000000000000010	00010011
20	0000000000000000	00010100

7.1 МНОГОЗНАЧНЫЕ БИНОМИАЛЬНЫЕ СИСТЕМЫ СЧИСЛЕНИЯ

Выше для решения задач счета и построения на их основе счетных устройств были рассмотрены двоичные биномиальные системы счисления, то есть системы счисления, у которых алфавит цифр содержит, как и в обычных двоичных системах счисления, две цифры – 0 и 1. В данном разделе предлагаются более сложные системы счисления, содержащие в своем алфавите более двух цифр, например 10, - *многозначные* биномиальные системы счисления, характеризующиеся тем, что:

а) их основанием и диапазоном представляемых ими чисел является *биномиальный* коэффициент (выражение для подсчета числа k сочетаний из m элементов) - C_m^k .

б) длина многозначных биномиальных чисел τ – *переменная*, изменяется от 1 до k ;

в) сумма всех значащих цифр любого биномиального числа из заданного диапазона должна быть меньше контрольного числа $l = m - k$ или равна ему;

г) алфавит, используемых в многозначных биномиальных числах цифр с учетом нуля, содержит $l + 1 = m - k + 1$ цифру;

д) вес разряда многозначного биномиального числа является функцией *трех* переменных – позиции, текущей цифры, суммы цифр всех предшествующих разрядов;

Многозначная биномиальная система счисления обладает важными свойствами, которые отсутствуют в обычных степенных системах счисления. Прежде всего, - это помехоустойчивость и самоконтроль в своей работе, генерация и нумерация комбинаторных конфигураций на основе сочетаний, высокое быстродействие и хорошая надежность цифровых схем, разработанных на ее основе.

Однако и двоичные биномиальные системы счисления могут решать задачу генерации сочетаний и других комбинаторных комбинаций, использующих в своей основе сочетания, на-

пример, композиций. Тогда, как будто, отпадает необходимость в разработке, многозначных биномиальных систем счисления, которые более сложные, чем двоичные. Но, так как многозначные биномиальные системы счисления имеют структуры отличные от структур двоичных биномиальных систем счисления, то и разработанные на их основе цифровые устройства и программы будут иметь также другие структуры. Они в ряде случаев при их практической реализации могут оказаться более эффективными, чем структуры, реализованные на основе двоичных биномиальных систем счисления.

Кроме того, многозначная биномиальная система счисления изначально ориентирована на обработку многозначной информации. Это значит, что она может быть более эффективна, чем двоичная биномиальная система счисления при обработке текстов, а также графической цветной информации, например, при ее сжатии или защите от несанкционированного доступа. Поэтому многозначные биномиальные системы счисления имеют свои приложения, отличные в ряде случаев от приложений двоичной биномиальной системы. Поэтому есть практическая целесообразность развивать теорию многозначных биномиальных систем счисления.

Многозначные биномиальные системы счисления основываются на распространенном комбинаторном равенстве

$$C_m^k = \sum_{i=0}^{m-k} C_{m-i-1}^{k-1} \quad (15)$$

Оно доказывается на основе широко известного выражения для сочетаний

$$C_m^k = C_{m-1}^k + C_{m-1}^{k-1}. \quad (16)$$

Используя его, получим, что

$$\begin{aligned} C_{m-1}^k &= C_{m-2}^k + C_{m-2}^{k-1}, \dots, C_{k+1}^k = C_k^k + C_k^{k-1} = C_k^{k-1} + C_{k-1}^{k-1} = \\ &= C_k^{k-1} + C_{m-(m-k+1)}^{k-1}. \end{aligned}$$

Подставив в данном ряду равенств последнее равенство в предпоследнее и так далее до первого выражения для коэффициента C_n^k , получим равенство (15). Представляя слагаемые равенства (15) в виде новых сумм, а их слагаемые снова записывая в виде сумм, можно, используя некоторые положения общей теории позиционных систем счисления (1), придти к *числовой* функции многозначной биномиальной системе счисления и ограничениям на нее.

Числовая или нумерационная функция - это функция, которая преобразует любое число, входящее в диапазон представляемых ею чисел, в соответствующий ей *номер* естественной (степенной) системы счисления. Характерным свойством номеров или чисел естественных позиционных систем счисления является *отсутствие* в них избыточной информации, что приводит к их *минимальной* длине. Кроме того, вес цифры в этих номерах зависит только от одной характеристики системы счисления - *позиции* или *номера* разряда, в которой она находится. Поэтому эти системы счисления и были названы *позиционными*. Однако, кроме естественных систем счисления, существуют другие более сложные позиционные системы счисления, у которых вес цифры зависит не только от ее позиции в числе, а и от других характеристик систем счисления.

Разработка числовой функции является центральной задачей при разработке любой позиционной системы счисления. Она отнюдь не относится к простой задаче, о чем говорит хотя бы тот исторический факт, что разработка обычных степенных или естественных позиционных систем счисления с самой простой структурой заняла в истории человечества не одно тысячелетие. Правда, затем разработка принципиально новых позиционных систем счисления с новыми структурами пошла значительно быстрее, так как идея позиционирования цифр в числе осталась неизменной и для этих систем.

Однако на сегодня позиционных систем счисления с новыми структурами имеется не так уж и много по сравнению с предсказываемым общей теорией потенциально возможным их количеством. И это не случайно. Для разработки принципиально

новой системы счисления нужно иметь общую теорию позиционных систем счисления, которая до настоящего времени в достаточной мере, необходимой для *формального* синтеза новых структур позиционных систем счисления, еще не разработана. И это несмотря на то, что эти системы счисления имеют весомое практическое значение, особенно для задач кодирования.

Предлагаемая ниже числовая функция многозначных биномиальных систем счисления наиболее сложная из всех известных автору позиционных систем счисления. Поэтому в данной работе многозначная биномиальная система счисления, как, впрочем, и двоичная биномиальная, подается без вывода, как некая аксиоматическая система. Ее работоспособность подтверждается непротиворечивостью ее теоретических результатов, а также практическими результатами в области кодирования информации и соответствующими устройствами цифровой техники, рассматриваемыми, в том числе, и в данной монографии.

Многозначная биномиальная система счисления определяет количественный эквивалент числа $x_{\tau-1}x_{\tau-2}, \dots, x_{\tau-j}, \dots, x_{\tau-\tau}$; $1 \leq j \leq \tau$ на основе следующей числовой функции

$$A_{(\delta)} = F = \sum_{i=0}^{x_{\tau-1}-1} C_{m-i-x_{\tau-0}-1}^{k-1} + \sum_{i=0}^{x_{\tau-2}-1} C_{m-i-j-x_{\tau-1}-1}^{k-2} + \dots + \sum_{i=0}^{x_{\tau-j}-1} C_{m-i-j-q_{j-1}}^{k-j} + \dots + \sum_{i=0}^{x_{\tau-\tau}-1} C_{m-i-\tau-q_{\tau-1}}^{k-\tau}; \quad (17)$$

где $x_{\tau-j}$ - биномиальная цифра $(\tau - j)$ -го разряда многозначного биномиального числа;

m, k - параметры многозначной биномиальной системы счисления;

$$x_{\tau-0} = 0; \quad (18)$$

$$q_j = \sum_{\gamma=1}^{j-1} x_{\tau-\gamma} \quad (19)$$

- сумма значащих разрядов числа до $(j-1)$ -го включительно.

Для случая, что $x_{\tau-j} = 0$ условимся, что

$$\sum_{i=0}^{x_{\tau-j}-1} C_{m-i-j-q_j-1}^{k-j} = \sum_{i=0}^{0-1} C_{m-i-j-q_j-1}^{k-j} = 0. \quad (20)$$

Объясним это условие исходя из следующих соображений:

$$\sum_{i=0}^{x_{\tau-j}} C_{m-i-j-q_j-1}^{k-j} = \sum_{i=0}^{x_{\tau-j}-1} C_{m-i-j-q_j-1}^{k-j} + C_{m-x_{\tau-j}-j-q_j-1}^{k-j}. \quad (21)$$

Обобщая это выражение на случай $x_{\tau-j} = 0$, получим:

$$\sum_{i=0}^0 C_{m-i-j-q_j-1}^{k-j} = \sum_{i=0}^{0-1} C_{m-i-j-q_j-1}^{k-j} + C_{m-0-j-q_j-1}^{k-j}. \quad (22)$$

Преобразуем последнее выражение

$$\sum_{i=0}^0 C_{m-i-j-q_j-1}^{k-j} - C_{m-0-j-q_j-1}^{k-j} = \sum_{i=0}^{0-1} C_{m-i-j-q_j-1}^{k-j} \quad (23)$$

или, так как

$$\sum_{i=0}^0 C_{m-i-j-q_j-1}^{k-j} = C_{m-0-j-q_j-1}^{k-j}, \quad (24)$$

то

$$C_{m-0-j-q_j-1}^{k-j} - C_{m-0-j-q_j-1}^{k-j} = \sum_{i=0}^{0-1} C_{m-i-j-q_j-1}^{k-j} = 0. \quad (25)$$

Рассмотрим ограничения числовой функции (17) многозначной биномиальной системы счисления. Они вытекают

из условия, что вес любой цифры в нулевом разряде этой функции должен равняться 1. Отметим, что это условие относится не только к биномиальным системам счисления, а и к любым другим позиционным системам счисления. Поэтому, в силу важности этого условия для общей теории систем счисления, оно было сформулировано автором как принцип *унитарности*.

Этот принцип для многозначной биномиальной системы счисления примет следующий вид:

$$C_{m-i-\tau-q_\tau-1}^{k-\tau} = 1. \quad (26)$$

Соответственно

$$\sum_{i=0}^{x_\tau-\tau-1} C_{m-i-\tau-q_\tau-1}^{k-\tau} = \sum_{i=0}^{x_0-1} C_{m-i-\tau-q_\tau-1}^{k-\tau} = (x_0 - 1). \quad (27)$$

Подставив в выражение (26) наибольшее значение i , получим, что и биномиальный коэффициент, относящийся к цифре числа младшего разряда

$$C_{m-(x_0-1)-\tau-q_\tau-1}^{k-\tau} = 1. \quad (28)$$

Из (28) следует, что выполнение принципа унитарности возможно в двух случаях, или, в первом, когда нижний и верхний параметры биномиального коэффициента равны между собой, или, во втором, когда верхний параметр биномиального коэффициента равен 0. Последнее возможно, когда $k = \tau$. Так как верхний параметр биномиального коэффициента не может в нашем случае принимать отрицательное значение, то из этого следует, что максимальная длина многозначного биномиального числа τ равна k .

В первом случае, когда верхний параметр равен нижнему параметру, имеем, что

$$m - x_0 - \tau - \sum_{\gamma=1}^{\tau-1} x_{\tau-\gamma} = k - \tau, \quad (29)$$

или, учитывая, что $0 \leq x_0$,

$$0 \leq x_0 + \sum_{\gamma=1}^{\tau-1} x_{\tau-\gamma} = q = m - k = l. \quad (30)$$

Выражение (30) утверждает, что в первом случае, при котором выполняется принцип унитарности, сумма цифр в многозначном биномиальном числе должна равняться контрольному числу l . Это важнейшее требование для этих чисел, так как позволяет ввести критерий существования многозначных биномиальных чисел, а значит и эффективно их породить.

Например, при $k=4$ и $m=6$ контрольное число $l=6-4=2$. Тогда биномиальными числами будут комбинации 02, 1001, 0002. обратим внимание, что длина этих чисел не превышает k . Комбинация 1101 явно нарушает указанное правило, так как сумма цифр 3 в ее значащих разрядах больше допустимого значения 2 для биномиальных чисел данного класса.

Во втором случае, когда $k=\tau$, длина τ многозначных биномиальных чисел достигает своего возможного максимума, равного k . Однако ничто в данном случае не запрещает сумме единиц в их значащих разрядах быть меньше контрольного числа l . Например, в случае $k=4$ и $m=6$, многозначными биномиальными числами будут комбинации 0000, 0001, 0002. Однако не могут быть таковыми комбинации 00, 01, 001, так как их длина меньше $k=4$, а сумма цифр в числе, при этом, меньше 2.

Другими словами, для многозначных биномиальных чисел существует только две возможности. Первая – они имеют разную длину от 1 до k , но сумма значащих цифр в них q равна контрольному числу l . Вторая состоит в том, что числа имеют строго одинаковую длину k , но сумма значащих цифр q у них может быть разной от 0 до l .

Только кодовые комбинации, удовлетворяющие этим двум возможностям, являются многозначными биномиальными числами.

Исходя из вышесказанного и с учетом нуля, алфавит цифр для многозначной биномиальной системы счисления должен быть равен

$$m - k + 1 = l + 1. \quad (31)$$

Как следует из приведенного выше первого условия существования многозначных биномиальных чисел, если в многозначном биномиальном числе цифра старшего разряда

$x_{r-1} = l = m - k$, то в (17) величина $q_j = \sum_{\gamma=1}^{j-1} x_{r-\gamma}$ будет равняться

0. В таком случае данное число достигает своего возможного *максимума*

$$A_{\langle \bar{\sigma} \rangle}^{\max} = \sum_{i=0}^{m-k-1} C_{m-i-1}^{k-1}. \quad (32)$$

Действительно в старшем разряде многозначного биномиального числа с наибольшим весом стоит максимально возможная цифра, а в остальных младших разрядах стоят нули. В результате оно должно принять максимальное значение.

Следовательно, максимальное биномиальное число имеет форму записи, в которой в старшем разряде стоит цифра равная $l = m - k$, а в остальных $k - 1$ разрядах стоят нули.

Утверждение. Диапазон представимых в многозначной биномиальной системе счисления чисел равен C_m^k .

Доказательство. Максимальное число в многозначной биномиальной системе счисления равно

$$A_{\langle \bar{\sigma} \rangle}^{\max} = \sum_{i=0}^{m-k-1} C_{m-i-1}^{k-1} = \sum_{i=0}^{m-k} C_{m-i-1}^{k-1} - C_{m-(m-k)-1}^{k-1} = \sum_{i=0}^{m-k} C_{m-i-1}^{k-1} - 1 = C_m^k - 1. \quad (33)$$

Соответственно диапазон чисел, с учетом нуля, будет равен

$$P = C_m^k. \quad (34)$$

Пример 7.1 Найти количественный десятичный эквивалент биномиального числа $A_{\langle \bar{6} \rangle} = 0101$ при величинах $k = 4$, $n = 6$.

Используем формулу (17)

$$\begin{aligned} A_{\langle \bar{6} \rangle} &= \sum_{i=0}^{0-1} C_{6-i-1}^3 + \sum_{i=0}^{1-1} C_{6-i-2}^2 + \sum_{i=0}^{0-1} C_{6-i-3-1}^1 + \sum_{i=0}^{1-1} C_{6-i-4-2}^0 = \\ &= 0 + C_4^2 + 0 + C_0^0 = 7. \end{aligned}$$

Итак, $0101_{\langle \bar{6} \rangle} = 7_{\langle 10 \rangle}$.

Пример 7.2. Какие из приведенных ниже 5 кодовых комбинаций при значениях $k = 4$, $m = 6$ являются многозначными биномиальными числами? Какое из них будет наибольшим? Заданные в задаче кодовые комбинации будут такими:

1. 0011;
2. 3000;
3. 2001;
4. 2000;
5. 1100.

Ответ. Многозначными биномиальными числами являются комбинации под номерами 1,4,5, то есть 0011, 2000, 1100, так как для них выполняется первое условие (28), необходимое для их существования. Во втором числе 3000 цифра старшего разряда, а в третьем 2001 сумма цифр всех разрядов числа больше контрольного числа $l = m - k$, что противоречит условию (28). Наибольшим же среди многозначных биномиальных чисел будет число, у которого в старшем разряде стоит наибольшая цифра. Это будет число 2000.

Контрольное число l выполняет важные функции в многозначном биномиальном числе. Одна из них - это определение при многозначном биномиальном счете переносов в старшие разряды. Она основывается на равенстве (28). В соответствии с ним при добавлении 1 к многозначному биномиальному числу

его контрольное число $l = m - k$ сравнивается с увеличенной на 1 суммой цифр всех разрядов числа и, если она больше l , то происходит перенос в старший разряд и обнуление младших разрядов. Другими словами, для получения единицы переноса необходимо, чтобы сумма цифр числа, к которому прибавляется 1, была равна $l = m - k$.

Пример 7.3 В случае $k = 4$, $m = 6$ прибавить единицу к $A_{\langle \bar{6} \rangle} = 0110$.

$$\begin{array}{r} 0110 \\ + \quad 1 \\ \hline 0111 \\ 0111 \rightarrow 0120 \rightarrow 0200, \\ 1+1+1=3, \quad 1+2=3. \end{array}$$

Ответ. $B_{\langle \bar{6} \rangle} = A_{\langle \bar{6} \rangle} + 1 = 0110 + 1 = 0200$.

Полученное в примере 7.3 многозначное биномиальное число является *равномерным*, то есть относится к многозначным биномиальным числам с *одинаковой* длиной. В неравномерном виде оно имеет форму 02. Очевидно, чтобы получить равномерное число из неравномерного числа надо добавить к последнему числу нули. Их количество выбирается такое, чтобы число приобрело длину k разрядов. Чтобы получить отличное от нуля неравномерное биномиальное число из равномерного числа, следует отбрасывать нули в младших разрядах последнего до появления первой значащей цифры. Оставшиеся цифры образуют *неравномерное* биномиальное число. При этом нулевое число будет состоять из k нулей.

Пример 7.4 Показать все равномерные многозначные биномиальные неравномерные числа из диапазона со значениями $k = 4$, $m = 6$. Получим их, начиная с нулевой комбинации, в виде таблицы 7.1, используя для этого последовательный счет единиц в многозначной биномиальной системе счисления. Очевидно, что не все числа в таблице 7.1 будут иметь равную длину, когда число заканчивается. Такая длина чисел выделена сплошной линией. Например, число 002 имеет три разряда, число 011 – 3, а число 0001 и 0011 – четыре.

Другими словами числа в многозначной биномиальной системе счисления имеют *переменную* длину и образуют *префиксный* код. Действительно, чтобы, например, распознать число $A_{(6)} = 2000$ при значениях $k = 4$, $m = 6$ достаточно передать цифру 2. Нули в данном случае являются излишними. Другими словами длина биномиального многозначного числа равна 1 разряду. В данном случае речь идет о *неравномерных* многозначных биномиальных числах.

Если же мы преобразуем многозначные неравномерные биномиальные числа в *равномерный* код, дополнив недостающие разряды нулями, то в результате будет получен *избыточный* код (см. табл. 7.1).

Таблица 7.1 – Многозначные биномиальные числа с $k = 4$, $m = 6$

1. 0 0 0 0	5. 0 0 1 1	9. 0 1 1 0	13. 1 0 1 0
2. 0 0 0 1	6. 0 0 2 0	10. 0 2 0 0	14. 1 1 0 0
3. 0 0 0 2	7. 0 1 0 0	11. 1 0 0 0	15. 2 0 0 0
4. 0 0 1 0	8. 0 1 0 1	12. 1 0 0 1	

Избыточность *равномерных* многозначных биномиальных чисел показывает, что они являются *помехоустойчивыми*. Индикатором ошибки для них является сумма цифр

$$q = x_0 + \sum_{\gamma=1}^{\tau-1} x_{\tau-\gamma} \quad (35)$$

в числе. Если она по каким-либо причинам больше контрольного числа $l = m - k$, то это значит, что произошла ошибка.

Свойство многозначной биномиальной системы счисления обнаруживать ошибки в своих числах совпадает с аналогичным свойством двоичной биномиальной системы счисления. Однако в отличие от нее многозначная биномиальная система счисления обнаруживает их не в двоичных комбинациях, а в многозначных.

Важнейшим свойством, кроме помехоустойчивости, многозначных биномиальных систем счисления является то, что

они способны порождать сочетания, а также другие комбинаторные объекты, основанные на сочетаниях.

В таблице 7.2 приведены многозначные биномиальные числа $k=3$, $m=5$ и соответствующие им комбинаторные конфигурации – сочетания, сочетания с повторениями, композиции. Это только наиболее распространенные конфигурации, которые можно получать с помощью многозначной биномиальной системы счисления. На ее основе можно получать и множество других, менее известных конфигураций, например, с помощью производящих функций (2).

Таблица 7.2 - Многозначные равномерные биномиальные числа с $k=3$, $m=5$ и порождаемые ими комбинаторные конфигурации

№	Биномиальный код	Сочетание с повторениями	Сочетания	Композиции
0	000	111	123	1113
1	001	112	124	1122
2	002	113	125	1131
3	010	122	134	1212
4	011	123	135	1221
5	020	133	145	1311
6	100	222	234	2112
7	101	223	235	2121
8	110	233	245	2211
9	200	333	345	3111

Так как от равновесных двоичных комбинаций достаточно легко перейти к сочетаниям и обратно, то каждая из этих двух биномиальных систем счисления в принципе может генерировать одни и те же комбинаторные объекты. Для этого в равновесной кодовой комбинации достаточно последовательно пронумеровать разряды слева направо в порядке 1,2, ... и затем выписать в таком же порядке номера, где стоят единицы. Данная последовательность будет сочетанием, соответствующим равновесной кодовой комбинации. Например, пусть дана равновесная двоичная кодовая комбинация с постоянным числом единиц, равным четырем, - 01100101. Тогда соответствующее ей сочетание в цифровой форме будет иметь вид - 2368.

Обратная задача перехода от сочетания к равновесной кодовой комбинации решается еще проще. Для этого в будущей равновесной комбинации сначала проставляются все нули, а затем в разрядах соответствующие номерам, составляющих сочетание ставятся единицы. Очевидно, что в таком случае остальные разряды будут заполнены нулями.

Расположенные в таблице 7.2 многозначные биномиальные числа, можно поместить на дереве, представляющем структуру соответствующей многозначной биномиальной системы счисления (см. рис. 7.1).

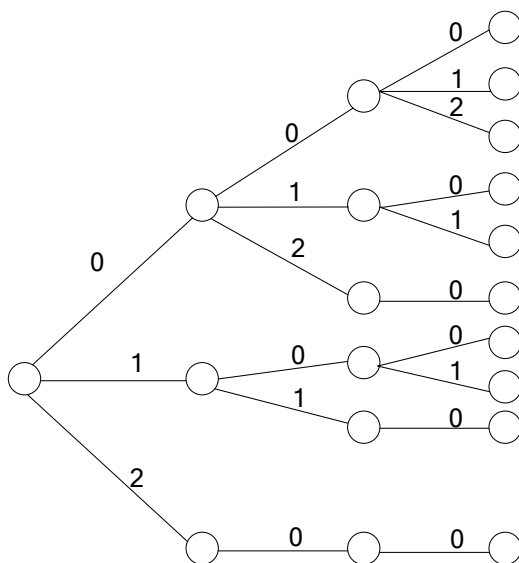


Рисунок 7.1. Структура многозначной биномиальной системы счисления с $k = 4$, $t = 6$.

Эта структура полностью соответствует структуре упорядоченного множества сочетаний. Именно поэтому на ее основе можно строить практически неограниченное множество других комбинаторных структур, основанных на сочетаниях, некоторые из которых были приведены выше в таблице 7.2.

Подводя итог, можно сказать, что представленная в данном разделе многозначная биномиальная система счисления отличается повышенной сложностью по сравнению с двоичной

биномиальной системой. Однако она обладает свойством самоконтроля и помехоустойчивости своих равномерных чисел, а также способностью их генерировать и нумеровать в случайном или заданном порядке, при этом создавая различные комбинаторные конфигурации. Поэтому многозначные биномиальные системы счисления, как с равномерными, так и неравномерными числами, могут найти практическое применение в задачах сжатия и защиты информации от помех и несанкционированного доступа. Кроме того, они могут эффективно использоваться для построения самоконтролируемых и помехоустойчивых цифровых устройств, о чем речь пойдет ниже, а также в быстродействующих системах, решающих задачи комбинаторной оптимизации.

7.2 МНОГОЗНАЧНЫЕ СУММИРУЮЩИЕ БИНОМИАЛЬНЫЕ СЧЕТЧИКИ

На основе многозначной биномиальной системы счисления можно строить различные цифровые схемы, в том числе и счетчики [15]. Они могут применяться для помехоустойчивого счета импульсов, а также в качестве помехоустойчивых распределителей импульсов и пересчетных схем. Кроме того, данный счетчик может стать основой различных устройств, генерирующих с высокой скоростью комбинаторные конфигурации, что бывает нередко необходимо в цифровых электронных системах.

Число состояний N рассматриваемого счетчика определяется биномиальным коэффициентом

$$N = C_m^k = \frac{m!}{k!(m-k)!}, \quad (36)$$

где $m > k$, $m - k = l$ - контрольное число; k - число разрядов счетчика.

Для примера возьмем $N = 10$ и, соответственно, $k = 3$, $m = 5$. В результате будем иметь следующие состояния многозначного биномиального счетчика: 000 001 002 010 011 020 100

101 110 200.

Если же $k = 4$; $m = 6$, то $N = C_6^4 = \frac{6!}{4!2!} = 15$.

Разрешенные последовательные состояния счетчика для этих значений k и m имеют вид: 0000, 0001, 0002, 0010, 0011, 0020, 0100, 0101, 0110, 0200, 1000, 1001, 1010, 1100, 2000.

Для обоих примеров $l = 5 - 3 = 6 - 4 = 2$.

На рисунке 7.2 представлена блок-схема многозначного биномиального счетчика импульсов с $k = 3$, $m = 5$. Она имеет контрольное число l равным двум. На рисунке 7.3 - один из разрядов этого счетчика, на рисунке 7.4 - схема пятиразрядного счетчика импульсов с $k = 5$ и с контрольным числом l равным единице.

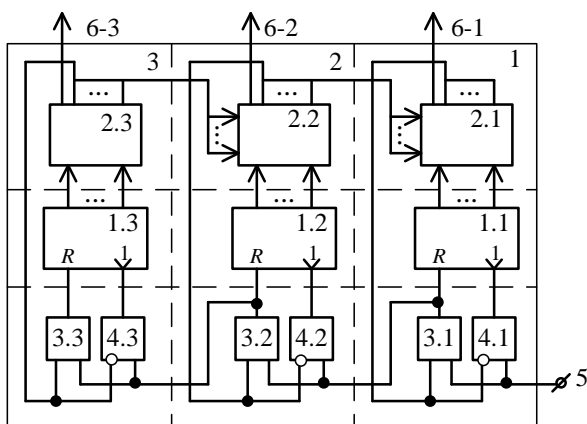


Рисунок 7.2 – Многозначный суммирующий биномиальный счетчик $k = 3$, $m = 5$

Схема счетчика импульсов на рисунке 7.1 содержит разряды 1-3 счетчика импульсов, многоустойчивые пересчетные схемы 1.1-1.3 соответственно разрядов 1-3 счетчика импульсов, сумматоры 2.1-2.3 соответственно разрядов 1-3 счетчика импульсов, элементы И 3.1-3.3 и 4.1-4.3, входную шину 5, выходные шины 6.1-6.3 соответственно разрядов 1-3 счетчика импульсов.

С помощью сумматоров 2.1 – 2.3 происходит суммирование цифр всех разрядов счетчика. Эта сумма при правильном функционировании счетчика не должна превышать контрольного числа $l = 2$. О его достижении в счетчике информирует сигнал на соответствующем выходе одного из сумматоров. Если сумма цифр разрядов счетчика превышает контрольное число l , что свидетельствует о переходе счетчика в запрещенное состояние и появлении ошибки (сигнала на одной из шин 6.1 – 6.3).

Для организации переносов и счета служат элементы И 3.1 - 3.3, И 4.1 – 4.3.

Перенос произойдет в том случае, если в одном из сумматоров появится сигнал на выходе его наибольшей цифры. По этому сигналу при поступлении счетного импульса на входную шину через соответствующие элементы И произойдет сброс соответствующей сумматору многоустойчивой пересчетной схемы в ноль и прибавится единица к пересчетной схеме соседнего старшего разряда.

Устройство на рисунке 7.2 работает следующим образом.

Сигнал с выхода многоустойчивой пересчетной схемы, например 1.2, соответствующий какой-то цифре (номеру состояния), поступает на один из входов сумматора 2.2, на один из вторых входов которого поступает сигнал с одного из выходов сумматора 2.3 старшего разряда 3. Если сумма цифр рассматриваемого и старших разрядов счетчика равна контрольному числу (в этом случае младшие разряды счетчика при его правильном функционировании равны нулю), на соответствующем выходе сумматора 2.2 вырабатывается сигнал, поступающий на прямой и инверсный входы схем И 3.2 и И 3.4 соответственно. Тем самым запрещается поступление счетного импульса на счетный вход многоустойчивой пересчетной схемы 1.2 и производится установка ее в ноль по входу установки в ноль R , а в старшую многоустойчивую соседнюю пересчетную схему 1.3 по счетному импульсу добавляется единица. Если на выходе, соответствующем контрольному числу сумматора 2.3, сигнал не появляется, то на этом процесс образования единицы переноса и счета по данному счетному импульсу оканчивается. В том случае, когда на выходе, соответствующем контрольному числу сумматора 2.3, появляется сигнал, то в соответствии с

рассмотренным алгоритмом происходит установка в ноль соответствующей ему пересчетной схемы 1.3 и передача единицы в старший соседний разряд (на рис. 7.2 не показан).

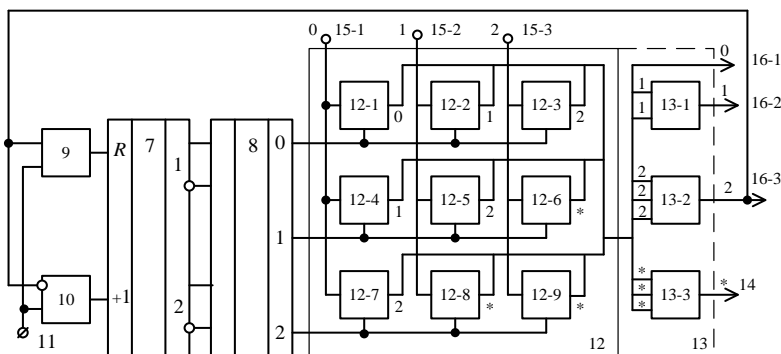


Рисунок 7.3 – Разряд многозначного суммирующего биномиального счетчика с $k = 3$, $m = 5$, $l = 2$

Один разряд предлагаемого счетчика на рисунке 7.3 с контрольным числом $l = 2$ содержит двоичный счетчик 7, дешифратор 8, элементы И 9 и И 10, входную шину 11, матрицу 12 элементов И 12.1 - 12.9, матрицу 13 элементов ИЛИ 13.1 - 13.3, выходную шину 14, входные шины 15.1 - 15.3 и выходные шины 16.1-16.3.

Матрица 12 элементов И 12.1 - 12.9 и матрица 13 элементов ИЛИ 13.1 - 13.3 составляют сумматор.

Счетчик 7 и дешифратор 8 составляют многоустойчивую пересчетную схему.

Выходные шины 16.1 - 16.3 сумматора являются выходами соответственно первого, второго и третьего разряда выходных чисел. На входные шины 15.1, 15.2 и 15.3 поступают соответственно сигналы с выходных шин 16.1, 16.2 и 16.3 старшего разряда, на выходной шине 14 появляется сигнал ошибки в случае сбоя счетчика.

Если, например, $k = 5$, $m = 6$, то тогда контрольное число $l = 1$. Соответственно предлагаемое устройство выполняет функции помехоустойчивого сдвигающего регистра.

Рассмотрим помехоустойчивый пятиразрядный сдвигаю-

щий регистр (кольцевой счетчик) с контрольным числом $l = 1$. Он содержит триггеры 17.1 - 17.5, полусумматоры 18.1 - 18.4, элементы И 19.1 - 19.5 и 20.1 - 20.5, элемент ИЛИ 21, элемент И-НЕ 22, входную шину 23, шину 24 установки и выходную шину 25. (см. рис.7.4).

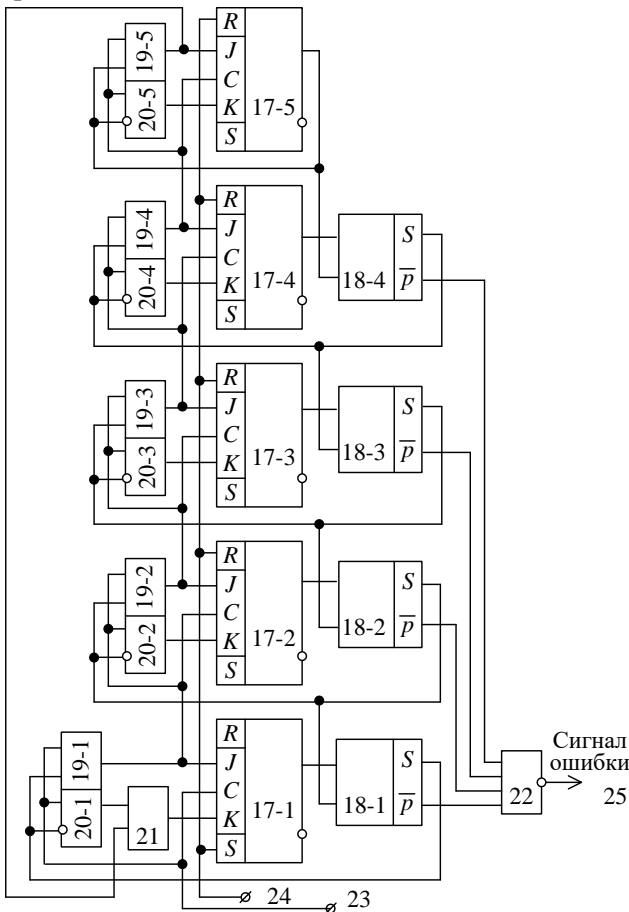


Рисунок 7.4 – Пятиразрядный многозначный биномиальный счетчик $k = 5$, $m = 6$, $l = 1$

По сигналу, поступающему по шине установки 24, происходит установка в единицу триггера 17.1 младшего разряда и в

ноль триггеров 17.2 – 17.5 всех старших разрядов. С приходом синхроимпульса по шине 23 происходит сдвиг единицы с младшего разряда в старший. При наличии "1" в самом старшем разряде и приходе следующего синхроимпульса указанная единица через элемент ИЛИ 21 заносится в младший разряд и цикл повторяется.

Если появляется несколько единиц в счетчике, то на одном или нескольких выходах полусумматоров появляются сигналы ошибки. Эти сигналы объединяются элементом И-НЕ 22, на выходе которого индицируется один сигнал ошибки.

Предлагаемый кольцевой счетчик обнаруживает любые ошибки типа $0 \rightarrow 1$.

Таким образом, введенные конструктивные признаки обеспечивают повышение надежности счетчика за счет сравнения с контрольным числом, превышение которого свидетельствует о наличии ошибки.

7.3 РЕВЕРСИВНЫЙ МНОГОЗНАЧНЫЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК

Устройство предназначено, как для суммирующего, так и вычитающего помехоустойчивого счета импульсов, а также для работы в качестве помехоустойчивых распределителей импульсов и пересчетных схем. В данном случае функции суммирующего многозначного биномиального счетчика расширены за счет введения реверса его счета [16]. На рисунке 7.5 приведена блок-схема реверсивного многозначного биномиального счетчика импульсов на три разряда.

Число состояний N предлагаемой структуры счетчика определяется, как и ранее, биномиальным коэффициентом C_m^k . Его нижний и верхний параметры задают контрольное число $l = m - k$, а k - число разрядов счетчика.

В рассматриваемом счетчике при $k = 3$, и $m = 5$, $l = 2$.

Счетчик импульсов содержит разряды 1, 2 и 3, многоустойчивые пересчетные схемы 1 - 1 – 1 - 3 соответственно разрядов 1 - 3 счетчика импульсов, сумматоры 2 - 1 – 2 - 3 соответственно разрядов 1 - 3 счетчика импульсов, элементы И 3 - 1 – 3 -

3 и 4 - 1 - 4 - 3, входную шину 5, выходные шины 6 - 1 - 6 - 3 соответственно разрядов 1 - 3 счетчика импульсов, элементы И 7 - 1 - 7 - 3, 8 - 1 - 8 - 3 и 9 - 1 - 9 - 3 элементы ИЛИ 10 - 1 - 10 - 3 элементы И 11 - 1 - 11 - 3 и 12 - 1 - 12 - 3, шины 13 и 14 управления, группу элементов И 15-1 и 16-1 разряда 1, группу элементов И 15-2 и 16-2 разряда 2, группу элементов И 15 - 3 и 16 - 3 разряда 3.

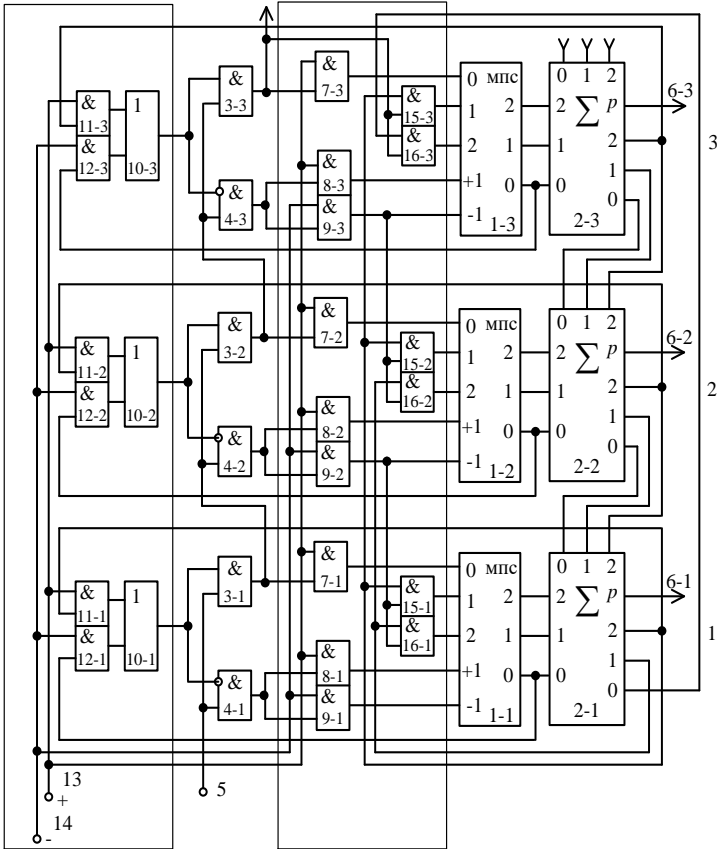


Рисунок 7.5 - Блок-схема многозначного биномиального счетчика импульсов с реверсом и $k = 3, m = 5$

Счетчик импульсов работает следующим образом.
При выполнении операции сложения на шину 13 подается

сигнал единицы, производится подготовка элементов И 7-1-7-3, 8-1-8-3 и 11-1-11-3 к подаче сигналов. Сигнал с выхода многоустойчивой пересчетной схемы, например, 1-2, соответствующий какой-то цифре (номеру состояния), поступает на один из входов сумматора 2-2. На один из вторых его входов поступает сигнал с одного из выходов сумматора 2-3 старшего разряда 3. Если сумма цифр рассматриваемого и старших разрядов счетчика равна контрольному числу (в этом случае младшие разряды счетчика при правильном функционировании будут равны нулю), 5 то на соответствующем выходе сумматора 2-2 вырабатывается сигнал, поступающий на вход элемента И 11-2. Поскольку другой вход элемента И 11-2 соединен с шиной 13, на его выходе вырабатывается сигнал, который через элемент ИЛИ 10-2 поступает на вход элемента И 3-2 и инверсный вход элемента И 4-2. Тем самым будет запрещено поступление счетного импульса на вход элемента И 8-2, выход которого соединен с входом сложения многоустойчивой пересчетной схемы 1-2. Счетный импульс поступает на соседний старший разряд, где в многоустойчивую пересчетную схему 1-3 будет добавлена единица, и на вход элемента И 7-2, с выхода которого сигнал поступает на вход установки в нулевое состояние многоустойчивой пересчетной схемы 1-2 и устанавливает ее в ноль.

Если на выходе, соответствующем контрольному числу, сумматора 2-3 сигнал не появляется, то на этом процессе образование единицы переноса и счета по данному счетному импульсу оканчивается. В том случае, когда на выходе, соответствующем контрольному числу, сумматора 2-3 появляется сигнал, то в соответствии с уже ранее рассмотренным алгоритмом происходит установка в ноль соответствующей ему пересчетной схемы 1-3 и передача единицы в старший соседний разряд.

Разрешенные последовательные состояния счетчика для указанных значений $k=3$ и $m=5$ будут иметь вид: 000, 001, 002, 010, 011, 020, 100, 101, 110, 200.

При выполнении операции вычитания разрешающий сигнал единицы подается на шину 14, чем производится подготовка к передаче сигналов элементами И 8-1-8-3 и 12-1-12-3. Сигналы с выходов многоустойчивых пересчетных схем 1-1-1-3,

соответствующие их состояниям, поступают на входы сумматоров 2-1-2-3. На вторые входы сумматоров 2-1 и 2-2 поступают также сигналы выходов сумматоров соседних старших разрядов 2-2 и 2-3. Таким образом, на выходе сумматора 2-1 сигнал будет соответствовать сумме цифр (номеров состояний) всех многоустойчивых пере счетных схем счетчика.

Предположим, что сигнал на выходе многоустойчивой пересчетной схемы, например 1-1, соответствует нулю. При этом также предположим, что в один из старших разрядов занесена цифра, отличная от нуля. Сигнал с нулевого выхода многоустойчивой пересчетной схемы 1-1 поступает на вход элемента И 12-1, второй вход которого соединен с шиной 14. На выходе элемента И 12-1 вырабатывается сигнал, который через элемент ИЛИ 10-1 поступает на вход элемента И 3-1 и инверсный вход элемента И 4-1, тем самым будет запрещено поступление счетного импульса на вход элемента И 9-1, выход которого соединен с входом вычитания многоустойчивой пересчетной схемы 1-1. Счетный импульс поступает на соседний старший разряд, где при наличии разрешения поступает на один вход элемента И 9-2. Другой вход последнего соединен с шиной 14, поэтому на его выходе вырабатывается сигнал, поступающий на вход вычитания многоустойчивой пересчетной схемы 1-2 и на один вход группы элементов И 16-1 и 15-1. На другом входе одного из элементов И 15-1 и 16-1 имеется сигнал, соответствующий сумме цифр всех разрядов счетчика, поэтому на выходе этого элемента вырабатывается сигнал, записывающий в многоустойчивую пересчетную схему 1-1 цифру, которая дополняет сумму цифр всех разрядов счетчика до контрольного числа.

Если в старшем соседнем разряде сигнал многоустойчивой пересчетной схемы соответствует нулю, то счетный импульс в соответствии с уже ранее рассмотренным алгоритмом будет передан в следующий старший разряд. Если все разряды счетчика содержат нули, то на выходе элемента И 3-3 будет выработан сигнал заем, который поступает на один вход элементов И 15-3 и 16-3, на другой вход последнего из которых подается сигнал с нулевого выхода сумматора 2-1. Выработанный на выходе элемента И 16-3 сигнал устанавливает многоустойчивую пересчетную схему 1-3 в состояние "2" и, таким образом, весь

счетчик - в исходное состояние.

Таким образом, предлагаемое устройство обладает за счет выполнения операций вычитания расширенными функциональными возможностями. При этом оно сохраняет помехоустойчивость основного счетчика. Она сохраняется за счет того, что и при операции вычитания происходит сравнение суммы всех цифр счетчика с контрольным числом, превышение которого свидетельствует о наличии ошибки.

7.4 МНОГОЗНАЧНЫЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК ДЛЯ ПЕРЕБОРА СОЧЕТАНИЙ

Счетчик относится к области цифровых устройств и предназначен для помехоустойчивого формирования сочетаний [17]. На рисунке 7.6 приведена блок-схема счетчика для трех разрядов.

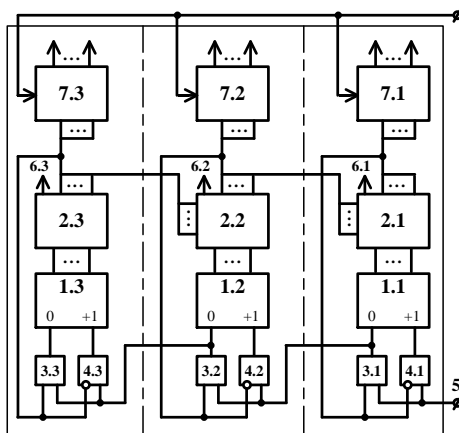


Рисунок 7.6 - Блок-схема счетчика для перебора сочетаний с $k = 3$, $m = 5$

Счетчик импульсов содержит многоустойчивые пересчетные схемы 1.1 – 1.3, сумматоры 2.1 – 2.3, элементы И 3.1 – 3.3, 4.1 – 4.3, входную шину 5, выходные шины 6.1 – 6.3 ошибок импульсов, дополнительные сумматоры 7.1 – 7.3, выходные шины 8.1 – 8.3 сочетаний, шину единичного сигнала.

Счетчик импульсов работает следующим образом.

Сигнал с выхода многоустойчивой пересчетной схемы, например, 1.2, соответствующий какой-то цифре, поступает на один из первых входов основного сумматора 2.2, на один из вторых входов которого поступает сигнал с одного из выходов сумматора 2.3 старшего разряда 3. Если сумма цифр рассматриваемого и старших разрядов счетчика меньше контрольного числа, то при приходе тактового импульса содержимое многоустойчивой пересчетной схемы увеличивается на единицу, если указанная сумма равна контрольному числу (в этом случае младшие разряды счетчика при его правильном функционировании равны нулю), то на соответствующем выходе основного сумматора 2.2 вырабатывается сигнал, поступающий на прямой и инверсный входы соответственно элементов И 3.2 и 4.2.

Тем самым запрещается поступление счетного импульса на счетный вход многоустойчивой пересчетной схемы 1.2 и производится им установка ее в нуль, а в старшую многоустойчивую соседнюю пересчетную схему 1.3 по счетному импульсу добавляется единица. Работа всех остальных разрядов счетчика осуществляется в соответствии с ранее рассмотренным алгоритмом. Число состояний N рассматриваемого счетчика определяется также биномиальным коэффициентом C_m^k , где k - число разрядов счетчика, m - параметр. Зная параметры биномиального счетчика, легко находится его контрольное число $l = m - k$.

Для примера $N = 10$ при $k = 3$ и $m = 5$.

При этом имеются следующие разрешенные состояния счетчика: 000 001 002 010 011 020 100 101 110 200.

Разрешенные состояния, формируемые на выходах основных сумматоров 2.3, 2.2, 2.1 для указанных n и k имеют следующий вид: 000 001 002 011 012 022 111 112 122 222.

После их суммирования с номерами разрядов получают все сочетания трех элементов из пяти: 123 124 125 134 135 145 234 235 245 345.

7.5 МНОГОЗНАЧНЫЙ БИНОМИАЛЬНЫЙ СЧЕТЧИК ДЛЯ ПЕРЕБОРА КОМПОЗИЦИЙ

Счетчик относится к цифровым устройствам и может найти применение при решении комбинаторных задач специализированными цифровыми устройствами, в устройствах контроля, кодирующих и декодирующих устройствах.

Счетчик содержит многоустойчивые пересчетные схемы 1.1 - 1.3, сумматоры 2.1 - 2.3, 8.1 - 8.3, элементы И 3.1 - 3.3 и 4.1 - 4.3, входную шину 5, выходные шины 6.1 - 6.3 ошибок счетчика импульсов, шину 7 единичного потенциала, вычитатель 9, выходные шины 10.1 - 10.4. Счетчик импульсов имеет расширенные функциональные возможности за счет обеспечения перебора композиций [18].

На рисунке 7.7 приведена схема трехразрядного счетчика импульсов.

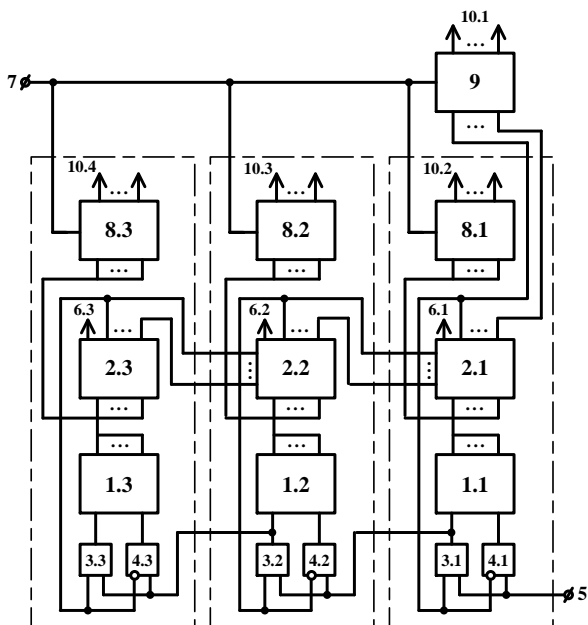


Рисунок 7.7 - Схема трехразрядного счетчика композиций с

$$k = 3, m = 5$$

Композицией p из s частей ($p \geq s$) называется разбиение положительного числа p в последовательность t целых чисел,

больших нуля. Существует C_{p-1}^{s-1} композиций. Если $s = k + 1$, $p = m + 1$, то число композиций равно C_m^k . Например, при $p = 6$, $s = 4$ это будут следующие композиции: 1113, 1122, 1131, 1212, 1221, 1311, 2112, 2121, 2211, 3111.

Композиции формируются следующим образом. Сначала происходит суммирование значения каждого разряда k -разрядного биномиального счетчика с единицей. Для этой цели вводятся дополнительные сумматоры. На выходе каждого сумматора формируется элемент композиции.

Например, для параметров $p = 6$ и $s = 4$ необходимо выбрать биномиальный счетчик с $k = s - 1 = 3$ и $m = p - 1 = 5$, где k - число разрядов этого счетчика. Его разрешенными состояниями являются: 000 001 002 010 011 020 100 101 110 200. После суммирования значений разрядов биномиального счетчика на дополнительных сумматорах с единицей будут получены следующие результаты, являющиеся элементами композиций: 111 112 113 121 122 131 211 212 221 311.

Затем находится сумма элементов композиции и происходит ее вычитание из p с помощью вычитающего устройства. Результат вычитания является последним элементом композиции.

С целью упрощения технической реализации вычитание суммы элементов композиций из p заменено вычитанием суммы значений многозначных пересчетных схем (МПС) всех разрядов счетчика из разности $(p - k)$. Для примера $(p - k) = (6 - 3) = 3$. Сумма значений разрядов МПС при этом не должна превышать контрольное число $l = m - k = 5 - 3 = 2$, т.е. может быть равной 0, 1, 2. После указанной выше операции вычитания получают следующие числа, соответственно являющиеся последними элементами композиций:

$3 - 0 = 3,$	$3 - 2 = 1,$
$3 - 1 = 2,$	$3 - 1 = 2,$
$3 - 2 = 1,$	$3 - 2 = 1,$
$3 - 1 = 2,$	$3 - 2 = 1,$
$3 - 2 = 1,$	$3 - 2 = 1.$

Это позволяет закончить формирование композиций для числа $p=6$ из $m=4$ частей: 1122 1131 1212 1221 1311 2112 2121 2211 3111.

Каждый дополнительный сумматор 8.1 - 8.3 отличается от сумматоров 2.1 - 2.3 тем, что в нем задействован только один вход второй группы. Вычитатель 9 может быть реализован аналогично дополнительному сумматору. Вычитатель 9 содержит $m-k+1$ элементов, первые входы которых соединены с выходами сумматора младшего разряда счетчика, вторые входы соединены между собой, образуя вход уменьшаемого, соответствующего значению $p-k$, соединенного с шиной 7 единичного потенциала. Группа первых входов образует группу входов вычитаемого.

Для случая МПС, работающей в позиционном коде с одной единицей, в качестве дополнительного сумматора может быть использована группа элементов И, первые входы которых соединены с выходами МПС, а вторые входы - с шиной 7 единичного потенциала. В этом случае вычитатель 9 отличается лишь кодировкой выходов.

Счетчик импульсов работает следующим образом.

Сигнал с выхода МПС, например 1.2, соответствующий какой-то цифре, поступает на один из первых входов основного сумматора 2.2, на один из входов которого поступает сигнал с одного из входов сумматора 2.3 старшего разряда. Если сумма цифр рассматриваемого в старших разрядах счетчика меньше контрольного числа l , то при приходе тактового импульса содержимое МПС увеличивается на единицу. Если указанная сумма равна контрольному числу l (в этом случае младшие разряды счетчика при его правильном функционировании равны нулю), то на соответствующем выходе основного сумматора 1.2 вырабатывается сигнал, поступающий на прямой и инверсный

входы соответственно элементов И 3.2 и И 4.2.

Тем самым запрещается поступление тактового импульса на счетный вход МПС 1.2 и производится им установка ее в нуль. В соседнюю схему МПС 1.3 по тактовому импульсу добавляется единица. Работа всех остальных разрядов счетчика осуществляется в соответствии с ранее рассматриваемым алгоритмом. Число состояний N рассматриваемого счетчика определяется биномиальным коэффициентом: $N = C_m^k$, где $m > k$; $l = m - k$ - контрольное число; k - число разрядов счетчика.

$$\text{Например, при } k = 3, n = 5, N = C_5^3 = \frac{5!}{3! 2!} = 10.$$

При этом будут следующие разрешенные состояния счетчика: 000 001 002 010 011 020 100 101 110 200.

Разрешенные состояния, формируемые на выходах сумматоров 2.3 - 2.1 для указанных k и m , имеют следующий вид: 000 001 002 011 012 022 111 112 122 222.

После суммирования разрешенных состояний счетчика с единицей в дополнительных сумматорах на их выходах будут сформированы следующие элементы композиций: 112 113 121 122 131 211 212 221 311.

После вычитания в вычитающем устройстве из $l+1$, равного в указанном примере $5 - 3 + 1 = 3$, состояния сумматора младшего разряда будет сформирован младший элемент композиции.

Этот элемент для каждого состояния из 8 указанного примера: 2 1 2 1 1 2 1 1.

Таким образом, получают все композиции числа $m+1=6$ из $k+1=4$ элементов: 1113 1122 1131 1212 1221 1311 2112 2121 2211 3111 соответственно на выходных шинах 10.4 - 10.1.

ЗАКЛЮЧЕНИЕ

Подытоживая материал этой небольшой книги, следует сказать, что здесь приведена лишь небольшая часть структур возможных биномиальных цифровых устройств, среди которых основной объем заняли биномиальные счетчики, как двоичные, так и многозначные. Эти устройства вполне могут быть использованы при соответствующей более детальной проработке в реальной практике. Однако уже в настоящее время имеются испытанные в реальных условиях биномиальные устройства, которые обладают улучшенными характеристиками, как по быстродействию, так и по помехоустойчивости. Например, это *биномиально-четверичные* и *матричные* счетчики.

Последние используют для своей работы *матричные* биномиальные системы счисления. В них число представляется *биномиальной* двоичной матрицей, которая сама по себе представляет интересный математический объект, требующий в этом плане дальнейшего исследования. Представление чисел, в данном случае двоичных, матрицей, в отличие от привычного представления их последовательностями двоичных цифр, придает им новые свойства, проявляющиеся в повышении помехоустойчивости и скорости обработки информации.

Достоинство матричных счетчиков – это отсутствие у них переносов между разрядами и соответственно повышенное *быстродействие*, а также, вследствие значительной избыточности, большая *помехоустойчивость* и возможность *исправления* ошибок. При этом матричные счетчики обладают *регулярной* структурой, что позволяет удешевить производство соответствующих интегральных схем. Цифровые устройства, использующие такие матричные структуры, приобретают соответственно более высокую надежность и большее быстродействие, что сегодня во время появления чрезвычайно сложных задач, которые они решают, является важной задачей.

Однако биномиальные счетчики лишь элемент биномиальных устройств и систем, которые лишь частично вошли в данную книгу в силу ограниченности ее объема и тематики. Главное достоинство этих устройств – это способность *формировать* и *нумеровать* различные комбинаторные объекты,

задаваемые сочетаниями. Здесь имеются возможности, которые далеко еще не реализованы в полной мере на практике в виде *высоконадежных* специализированных *биномиальных* цифровых устройств. А такие устройства в силу их повышенного быстродействия и надежности нужны, как при решении задач хранения и передачи информации, так и при решении *переборных* задач, например, в области криптографического анализа или исследования операций.

Автор надеется, что указанные возможности биномиальных устройств, как реализованные, так и потенциальные привлекут внимание специалистов к данному направлению и получат положительную оценку.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. А.с. СССР, № 1077054. Борисенко А.А., Пузько И.Д., Стеценко Л.А. Счетчик импульсов, 1982.
2. А.с. №1205302. Борисенко А.А., Куно Г.В. Счетчик импульсов, 1984.
3. А.с. СССР, №1274153. Борисенко А.А., Куно Г.В., Матейченко В.В., Алексеев В.А. Счетчик импульсов, 1985.
4. А.с. СССР, № 1370781. Борисенко А.А., Куно Г.В., Соловей В.А., Новгородцев А.И., Ольшанский Г.В. Счетчик импульсов, 1986.
5. А.с. СССР, № 1298906. Борисенко А.А., Воронов В.Г., Володченко Г.С., Куно Г.В. Счетчик импульсов, 1985.
6. А.с. СССР, № 1261112. Борисенко А.А., Куно Г.В., Счетчик импульсов, 1985.
7. А.с. СССР, №1187263. Борисенко А.А., Куно Г.В., Губарев С.И., Билетченко Ю.П. Счетчик импульсов, 1983.
8. А.с. СССР, №1422404. Борисенко А.А., Куно Г.В., Путятин Е.П. Счетчик импульсов, 1986.
9. А.с. СССР. № 1325688. Борисенко А.А., Куно Г.В., Матейченко В.В., Куно В.Г. Счетчик импульсов, 1986.
10. А.с. СССР, №1150761, Борисенко А.А., Куно Г.В. Счетчик импульсов, 1983.
11. А.с. СССР, № 1497744. Борисенко А.А., Куно Г.В., Онанченко Е.Л., Кузнецов В.Н., Мельников В.Е. Счетчик импульсов, 1987.
12. А.с. СССР, №1444956. Борисенко А.А., Куно Г.В., Соловей В.А. Преобразователь равновесного кода в двоичный код. 1987.
13. А.с. СССР, №154071. Борисенко А.А., Соловей В.А., Мірошниченко В.М. Преобразователь кодов, 1988.
14. А.с. СССР, №1425846. Борисенко А.А., Куно Г.В., Соловей В.А. Преобразователь кодов, 1987.
15. А.с. СССР, № 1051731. Борисенко А.А., Ловля А.Д., Онанченко Е.Л. Счетчик импульсов, 1982.
16. А.с. СССР, №1163474. Борисенко А.А., Володченко Г.С., Какурин Н.Я., Онанченко Е.Л. Счетчик импульсов, 1983.

17. А.с. СССР, №1187262. Борисенко А.А., Володченко Г.С., Кузнецов В.Н. Онанченко Е.Л. Счетчик импульсов, 1984.

18. А.с. СССР. №1398090. Борисенко А.А., Онанченко Е.Л., Плескач А.И., Худоков Г. И. Счетчик импульсов, 1986.

19. Бабич М. П., Жуков А. И. Комп'ютерна схемотехніка: Навчальний посібник. – К.: „МК- Пресс”, 2004 – 412 с.

20. Белецкий А. Я., Белецкий Е. А. Синтез двоичных счетчиков Грея.//Вестник СумГУ. Серия технические науки. – Сумы, 2007. – 2. с. 110 – 122.

21. Березюк Н.Г., Андрущенко А.Г., Мощицкий С.С. Кодирование информации. - Х.: Вища шк. Изд-во при Харьк. ун-те, 1978.

22. Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – 2-ге вид. – К.: Вища шк., 2004. – 423с.

23. Борисенко А.А., Губарев С.И., Куно Г.В. Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел. Автоматизированные системы управления и приборы автоматики, вып. 74, Харьков, 1984 г.

24. Борисенко А.А., Губарев С.И., Дуброва П.Д., Онанченко Е.Л. Генерирование сочетаний на основе биномиальных чисел. Автоматизированные системы управления и приборы автоматики, вып. 73, Харьков, 1985 г.

25. Борисенко А. А., Губарев С. И., Куно Г. В. Алгоритмы построения кодов с постоянным весом на основе биномиальных чисел. Автоматизированные системы управления и приборы автоматики, вып. 74, Харьков, 1985 г.

26. Борисенко А.А., Губарев С.И., Куно Г.В. Биномиальные системы счисления с двоичным алфавитом. Автоматизированные системы управления и приборы автоматики, вып. 76, Харьков, 1985 г.

27. Борисенко А.А., Губарев С.И. О некоторых возможностях позиционных систем счисления. Автоматизированные системы управления и приборы автоматики, вып. 82, Харьков, 1987 г.

28. Борисенко А.А., Губарев С.И., Куно Г.В. Алгоритмы помехоустойчивого биномиального двоичного счета. Автомати-

зированные системы управления и приборы автоматики, вып. 84, Харьков, 1987 г.

29. Борисенко А.А., Губарев С.И., Куно Г.В. Биномиальные счетчики. Автоматизированные системы управления и приборы автоматики, вып. 92, Харьков, 1989 г.

30. Борисенко А.А., Какурин Н.Я., Куно Г.В., Ревинский О.В. Преобразователи кодов с постоянным весом. Автоматизированные системы управления и приборы автоматики, вып. 95, Харьков, 1990 г.

31. Борисенко А.А., Верхоробин А.Л., Кузнецов В.Н. Биномиальные микропроцессорные устройства для перебора равновесных кодов. Автоматизированные системы управления и приборы автоматики, вып. 96, Харьков, 1990 г.

32. Борисенко А.А., Онанченко Е.Л., Кобяков А.Н. Системы счисления с биномиальным основанием. Вестник СумГУ. № 1. 1994.

33. Борисенко А.А. Онанченко Е.Л. Оценка помехоустойчивости неразделимых кодов. Вестник СумГУ. № 2. 1994.

34. Борисенко А.А. Системы счисления и ЭВМ. Вестник СумГУ. № 2. 1996.

35. Борисенко А.А. Об информационном подходе к решению переборных задач. Вестник СумГУ. Вестник СумГУ. Физика, математика, механика. № 10. 2003.

36. Борисенко О.А. Дискретна математика. Підручник: Суми: ВТД «Університетська книга», 2008. – 254 с.

37. Борисенко А.А. «Введение в теорию биномиального счета»: Монография. – Сумы: ИТД «Университетская книга», 2004. – 88 с.

38. Борисенко А.А. «Биномиальный счет Теория и практика»: Монография. – Сумы: ИТД «Университетская книга», 2004. – 170 с.

39. Борисенко А. А. Система счисления с биномиальным основанием и двоичным алфавитом. ВИНТИ. Деп. рук. №909-82. Москва, 1982.

40. Борисенко А.А. Об одной системе счисления с биномиальным основанием. ВИНТИ, Деп. рук. № 874-82. Москва, 1982.

41. Борисенко А. А., Пузько Н. Д., Куно Г. В. Биномиаль-

ные двоичные счетчики. Информ. листок. № 84 - 132. - Х., 1984.

42. Борисенко А.А. Построение надежных преобразователей дискретной информации. Укр. НИИТИ. Деп. Рук. № 2472, Киев, 1988.

43. Борисенко А.А., Кулик И.А. Представление чисел на основе биномиальных систем счисления. Украинский математический конгресс. Секция 1. Алгебра и теория чисел. Тезисы докладов. Украина, Киев - 2001 г.

44. Борисенко А.А. Современные методы равновесного и равновесно-биномиального кодирования в информационно-вычислительных системах. Международная научная конференция «Современные методы кодирования в электронных системах». Тезисы докладов. Украина, Сумы - 2002 г.

45. Букреев Н. И., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств. Изд. 2-е, М.. «Сов. радио». 1975.

46. Оберман Р. М. Счет и счетчики. Пер. с голлан. - М., 1984. - 173 с.

47. Пospelов Д. Н. Арифметические основы вычислительных машин дискретного действия. - М.: Высш. шк., 1970. - 308 с.

48. Рональд Дж. Точки, Нил. С. Уидмер Цифровые системы. Теория и практика, 8-е издание: Пер. с англ. - М.: Изд. Дом «Вильямс», 2004, - 1024с.

49. Сенько В.І., Панасенко М.В. Електроніка і мікросхемотехніка. Том 3. Цифрові пристрої/ Підручник за ред. Сенька В.І. - К.: Каравела, 2008 р.

50. Столлингс У Структурная организация и архитектура компьютерных систем, 5-е изд.: Пер. С англ. - М. Изд. Дом „Вильямс”, 2002.

51. Тугевич В. Н. Телемеханика. - М. 1985. - 200 с.

52. Цымбал В. П. Теория информации и кодирование. - К.: Вища шк. Головное изд-во, 1977. - 287 с.

БОРИСЕНКО

Алексей Андреевич

Специалист в области электронных вычислительных машин и информатики. Доктор технических наук (1991), профессор (1995).

Окончил Харьковский институт радиоэлектроники (1970).

Работал в нём инженером, научным сотрудником, ассистентом. Закончил аспирантуру (1976) и защитил диссертацию на степень кандидата технических наук (1979).

С 1980 – в Сумском государственном университете (СумГУ): старший преподаватель, доцент, профессор. С 1992 – заведующий кафедрой электроники и компьютерной техники.

Научные исследования проводил в области цифровой электроники и компьютерной техники. Имеет более 100 работ в таких отраслях техники, как электронные системы отображения информации, управляющие системы, системы передачи данных, системы контроля и распознавания образов, среди которых около 40 изобретений.

Основное научное направление при этом – повышение надёжности и быстродействия электронных систем и устройств на базе специальных систем кодирования, прежде всего созданной им теории структурных систем счисления, среди которых подробно исследованы биномиальные системы.



Вместе с тем были проведены исследования в области теории информации. При этом исследовал особый класс бернуллиевских источников информации, с помощью которых разработал новые методы сжатия информации.

За эти и другие исследования в области дискретной математики был удостоен гранта фонда "Відродження" для учёных и преподавателей среди математиков за 1998 год, основанного Правительством Украины и Институтом открытого общества США.

Награжден Министерством образования и науки Украины грамотой и знаком «Відмінник освіти України».

За успешную и многолетнюю работу в СумГУ Борисенко А.А. присвоено звание "Заслуженный профессор Сумского государственного университета".

BORYSENKO

Oleksiy Andriyovich

Being electrical engineer and specialist in the field of electronic computer facilities and information science, he took his academic degree of doctor of technical science in 1991, became professor in 1995. He graduated from Kharkov Institute of Radio Electronics in 1970.

Since then he worked there as an engineer, a research assistant, a teaching assistant and completed the post-graduate course in 1976 and defended his thesis for academic degree of candidate of technical science in 1978. In 1980 he started working at Sumy State University as a senior lecture, a reader, professor, since 1992 he has been working as the Head of Automation and Industrial Electronics Department.

He conducted his scientific research in the field of electronics and computer engineering. Prof. Borysenko has more than 100 inventions and papers in such spheres of engineering as electronic systems of information representation, control systems, communication systems, monitoring systems based on vision and image identification. At the same time, his main subject area is to improve reliability of electronic systems and devices based on the special systems of coding.



These systems are formed according to the theory of heterogeneous number systems, developed by him beforehand, among them binomial systems are investigated in detail.

Among with above-mentioned, investigations are carried out in the field of information theory. At this, he studies the special class of Bernoulli sources of information, new methods of data compression being elaborated on their basis.

For these and other research in the field of discrete mathematics the “Vidrodjennya” foundation being founded by the Government of Ukraine and the Institute of Open Society of the USA awarded him the grant for the men of science and lectures among the mathematicians in 1998.

Наукове видання

Борисенко Олексій Андрійович

Біноміальна лічба і лічильники

Монографія
(Російською мовою)

Дизайн обкладинки О.А. Борисенка
Редактор О.А. Борисенко
Набір О.А. Борисенка
Комп'ютерне верстання І.Є.Бражник

Підп. до друку 10.11.2008.
Формат 60x84/16. Папір офс. Гарнітура Times New Roman Суг. Друк офс.
Ум. друк. арк. 8,84. Обл.-вид.арк. 7,66.
Тираж 100 пр. Вид. № 296.
Зам. № 1354

Видавництво СумДУ при Сумському державному університеті
40007, м. Суми, вул. Р.- Корсакова, 2
Свідоцтво про внесення суб'єкта видавничої справи до Державного реєстру
ДК №3062 від 17.12.2007.
Надруковано у друкарні СумДУ
40007, м. Суми, вул. Р.- Корсакова, 2.

