

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

ФІЗИКА, ЕЛЕКТРОНІКА,  
ЕЛЕКТРОТЕХНІКА

**ФЕЕ :: 2017**

**МАТЕРІАЛИ  
та програма**

НАУКОВО-ТЕХНІЧНОЇ КОНФЕРЕНЦІЇ

(Суми, 17–21 квітня 2017 року)



Суми  
Сумський державний університет  
2017

## **Об особенностях построения биномиальных измерительных каналов с повышенной точностью измерения**

Бережная О.В., *доцент*; Безгинский В.В., *студент*;  
Ковалева Т.С., *студентка*; Хоруженко Н.В., *студентка*;  
Клок А.В., *студент*  
Сумский государственный университет, г. Сумы

В настоящее время применение биномиальной системы счисления позволяет разрабатывать с минимальными затратами универсальные аналого-цифровые преобразователи с функциями самоконтроля и помехоустойчивого кодирования, обладающего высоким быстродействием, повышенной надежностью и достоверностью при передаче цифровой измерительной информации.

Наличие в структуре измерительного канала биномиального счетчика приводит к линейному росту аппаратных затрат на его построение с увеличением разрядности биномиальной комбинации и всего лишь к экспоненциальному росту ее помехоустойчивости. Данная особенность биномиальных счетчиков сужает возможности построения биномиальных измерительных каналов с повышенной точностью измерений и требует поиска других проектных решений.

Исследования показали, что вместо биномиального счета для установлении соответствия между измеряемой аналоговой величиной и формируемой двоичной биномиальной комбинацией возможно применение таблицы соответствия. Такое изменение алгоритма работы биномиального измерительного канала позволяет отказаться от биномиального счетчика в пользу применения различных запоминающих устройств в составе соответствующих стандартных автоматов, например автоматов Уилкса или Мура, путем составления соответствующей «карты прошивки».

Таким образом, при построении биномиальных измерительных каналов с повышенной точностью целесообразно применять стандартные автоматы, построенные на основе регистров, постоянных запоминающих устройств, программируемых логических матриц и/или программируемых логических интегральных схем, которые характеризуются меньшей зависимостью роста аппаратных затрат при повышении точности измерения, а также простотой и дешевизной разработки.