

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

до випускної кваліфікаційної роботи магістра на тему:

«ЦИФРОВИЙ СИНТЕЗАТОР СИГНАЛІВ ДОВІЛЬНОЇ ФОРМИ»

Завідувач кафедри ЕКТ

Опанасюк А. С.

Консультант з
техніко-економічної частини

Маценко О.М.

Керівник роботи

Гриненко В. В.

Студент групи ЕС.м-41

Недосєков К. М.

Суми 2019

РЕФЕРАТ

Робота містить: 112 сторінок, 56 рисунків, 14 таблиць, 21 джерел літератури.

Об'єктом дослідження роботи є синтезатор сигналів довільної форми.

Мета роботи полягає в розробці пристрою для синтезу сигналів на базі мікроконтролера та програмованої логічної інтегральної схеми.

В ході виконання роботи була розглянута методи синтезу частот. Також були розглянуті типи синтезаторів сигналів довільної форми.

За основу пристрою, що проектується, був взятий апаратний драйвер FT232BM, мікроконтролер ATmega8-16AU, програмована логічна інтегральна схема EPM3128ATC100-7, оперативна пам'ять AS7C34096A та цифро-аналоговий перетворювач AD9765. Було розроблено, структурну, функціональну та принципову схеми. Також було розроблено програмне забезпечення для мікроконтролера.

Ключові слова: синтезатор, мікроконтролер, програмована логічна інтегральна схема, цифро-аналоговий перетворювач.

ЗМІСТ

УМОВНІ ПОЗНАЧЕННЯ І СКОРОЧЕННЯ	5
ВСТУП.....	6
1 ОГЛЯД ЛІТЕРАТУРИ.....	7
1.1 Прямий аналоговий синтез	8
1.2 Прямий синтез частоти на базі фазового автоматичного налаштування частоти (ФАПЧ, PLL).....	9
1.3 Прямий цифровий синтез (DDS)	11
1.3.1 Будова DDS	12
1.3.2 Джерело тактового сигналу	18
1.3.3 Значення частоти на виході та частотний дозвіл.....	19
1.3.4 Швидкість перебудови частоти	20
1.3.5 Усічення коду фази.....	21
1.8 Постановка завдання	21
2 НАУКОВА ЧАСТИНА	23
2.1 Операція дискретизації, вибір частоти дискретизації	23
2.1.1 Теорема Котельникова	26
2.1.2 Вибір частоти дискретизації.....	27
2.2 Квантування	28
3 РОЗРОБКА АЛГОРИТМУ РОБОТИ ТА СТРУКТУРНОЇ СХЕМИ.....	35
3.1 Алгоритм роботи.....	35
3.2 Структурна схема.....	35
4 РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ	40
5 РОЗРОБКА ПРИНЦИПАЛЬНОЇ СХЕМИ	43
5.1 Вибір апаратного драйвера	43
5.2 Вибір мікроконтролера	48
5.3 Вибір індикатора.....	53
5.4 Вибір цифро-аналогового перетворювача.....	60
5.5. Вибір ПЛІС.....	66
5.5.1. Архітектура ЕРМ3128АТС100-7	68
5.5.1.1 Блоки макроосередків.....	69
5.5.1.2 Макроосередки.....	70
5.5.1.3 Логічні розширювачі	72

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>			
<i>Изм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дат</i>	<i>Цифровий синтезатор сигналів довільної форми Пояснювальна записка</i>	<i>Лит.</i>	<i>Лист</i>	<i>Листів</i>
<i>Виконав</i>	<i>Недосєков К.М.</i>						3	
<i>Перевірів</i>	<i>Гриненко В.В.</i>							
<i>Н.Контр.</i>	<i>Гапич В. М.</i>					СумДУ ЕС.м-81		
<i>Затверд.</i>	<i>Опанасюк А. С.</i>							

5.5.1.4	Програмована матриця з'єднань	74
5.5.1.5	Керовані блоки введення / виводу	75
5.5.2.	Застосування мікросхеми ЕРМ3128АТС100-7	76
5.5.2.1	Режими роботи елементів вводу/виводу	76
5.5.2.2	Режими швидкодії / споживання.....	78
5.5.3	Програмування мікросхем	78
5.5.3.1	Програмування в системі (ISP).....	78
5.5.3.2	Програмування за допомогою зовнішніх пристроїв	79
5.5.4	Розробка вузлів ПЛІС.....	80
5.6	Вибір оперативної пам'яті	91
6	РОЗРОБКА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ	94
7	ТЕХНІКО-ЕКОНОМІЧНЕ ОБҐРУНТУВАННЯ ОБ'ЄКТУ РОЗРОБКИ.....	97
7.1	Вартість розробки програмного забезпечення для мікроконтролера	97
7.1.1	Розрахунок витрат на створення ПЗ	98
7.1.2	Витрати на використання ЕОМ при розробці ПЗ.....	101
7.1.3	Розрахунок технологічної собівартості створення програми.....	102
7.2	Розрахунок витрат на стадії виробництва виробу та повної собівартості виробу.....	102
7.2.1	Видатки на експлуатацію, амортизацію та утримання обладнання.....	104
7.2.2	Загальновиробничі видатки.	105
7.2.3	Адміністративні витрати.....	106
7.3	Розрахунок ціни пристрою	107
	ВИСНОВКИ	110
	СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ	111

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

УМОВНІ ПОЗНАЧЕННЯ І СКОРОЧЕННЯ

DDS — Прямий цифровий синтезатор частоти
DAS — Прямий аналоговий синтезатор
PLL — Непрямий синтез на основі фазового автопідстроювання
AFG — Генератор сигналів довільної форми і стандартних функцій
AWG — Генератори сигналів довільної форми
ОЗУ — Оперативний записуючий пристрій
ЦАП — Цифро-аналоговий перетворювач
SRAM — Статична оперативна пам'ять з довільним доступом
РКІ — Рідкокристалічний індикатор
АД — Апаратний драйвер
ФАПЧ — Фазове автопідлаштування частоти
ШІМ — Широтно-імпульсна модуляція
УСАПП — Універсальний асинхронний прийомопередавач
АЦП — Аналого-цифровий перетворювач
ЦПП — Центральний процесорний пристрій
ПЛІС — Програмована логічна інтегральна схема
ПЗ — Програмне забезпечення

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

ВСТУП

Робота з промисловим устаткуванням, зокрема контрольно-вимірювальною апаратурою передбачає формування різноманітних сигналів. Процес проектування та експлуатації таких приладів потребує застосування синтезаторів сигналів довільної форми, функціональні властивості яких впливають на якісні характеристики апаратури (точність, роздільна здатність, перешкодозахищеність, тощо), цим обумовлена актуальність досліджень спрямованих на розробку нових приладів для генерації сигналів, що задовольнятимуть вимогам сучасних технологій.

Під час пошуку оптимальних методів виявлення сигналів на фоні шуму особливу увагу слід приділити їх формі. Варіювання форм сигналів застосовується як у високочастотному тракці приймальних пристроїв, так і в модуляторах передавачів. Найбільш розповсюдженими формами сигналів є пилкоподібні та трикутні.

Спеціальні сигнали часто використовують як еталонні для прийомних пристроїв, в той час як у роботі з передаючими пристроями вони використовуються для досягнення максимальної інформативності, шляхом оптимізації умов роботи приладу. Точність форми аналогових і цифрових сигналів впливає на інформаційну надійність пристроїв для їх обробки.

На сьогоднішній день конструктивні особливості більшості синтезаторів не дають можливості вибору або розширення доступних форм сигналів, що робить їх застосування обмеженим та менш практичним. Отже існує необхідність розробки та впровадження більш універсального, лабільного пристрою, який забезпечить можливість вибору форм генерованих сигналів. Як приклад подібного пристрою можна розглядати цифровий програмно-керований синтезатор сигналів довільної форми, використання якого забезпечуватиме можливість регулювання параметрів генерованих аналогових сигналів, таких як амплітуда, період, шпаруватість, форма. Сфера застосування подібного приладу досить широка, наприклад використання у складі установок систем управління та збору даних від контрольно-вимірювального обладнання на промислових об'єктах або у складі контрольно-вимірювальних систем на базі електронних обчислювальних машин. Перевагою використання даного приладу є можливість впливу на роботу системи шляхом його підключення до готового устаткування.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

1 ОГЛЯД ЛІТЕРАТУРИ

Рівень розвитку сучасної електроніки дозволяє створювати малогабаритні пристрої, використовуючи багатофункціональні компоненти високого ступеня інтеграції. Незважаючи на мініатюрність і багатофункціональність пристроїв, в їх основі продовжують лежати основні базові принципи радіотехніки. Грамотне використання фахівцями таких пристроїв можливо тільки за умови чіткого розуміння цих принципів, які можуть виникнути тільки на основі розуміння принципів функціонування внутрішніх вузлів. Досягти цього можна при наявності навичок роботи з окремими вузлами і практичних навчальних курсів в системі природно-наукової освіти. У сучасній радіоелектроніці практично жоден пристрій не обходиться без синтезатора частоти. З розвитком радіоелектроніки постає проблема більш детального вивчення методів синтезу частоти і отримання знань про такі важливі вузли всіх сучасних систем як синтезатор частоти.

Серед методів синтезу частот, які частіш за все застосовуються є:

- прямий аналоговий синтез (ПАС, Direct Analog Synthesis, DAS), який базується на будові змішувач / фільтр / дільник. За такої будови вихідна частота отримується з опорної частоти через операції переміщення, фільтрації, множення та ділення;

- непрямий (indirect) синтез базується на фазовому автоматичному налаштуванні частоти (ФАПЧ, Phase Locked Loop, PLL), за такої будови вихідна частота утворюється за підтримки додаткового генератора (в основному це керований напругою генератор (ГУН) - Voltage Controlled Oscillator, VCO), який охоплений петлею ФАПЧ;

- прямий цифровий синтез частоти (ПЦСЧ, Direct Digital Synthesis, DDS). вихідний сигнал якого формується цифровими методами;

- гібридний синтез, передбачає комбінацію кількох методів, що наведені вище.

Зазначені методи синтезу частот мають як переваги, так і недоліки. Виходячи з цього, можна зробити висновок, що кожен визначений додаток потребує вибору, який базується на більш оптимальній комбінації переваг. Основні параметри, які розкривають якість синтезатора частоти, наступні:

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- частота діапазону вихідного сигналу (ступінь другорядних компонентів і ступінь шумів);
- межі реконструкції (смуга частот вихідного сигналу);
- швидкість реконструкції;
- частотна авторизація;
- кількість регенерованих частот;
- гнучкість (спроможність реалізації будь-яких видів модуляції);
- непорушність фази вихідного сигналу під час реконструкції.

1.1 Прямий аналоговий синтез

Метод, при якому процес корективи помилки не можливо здійснити, називається прямим (ПАС, DAS). В такому випадку якість вихідного імпульсу напряму зв'язана з якістю опорного імпульсу, що сприяє досить низькому рівню фазового шуму.

Швидкість перебудови по частоті буде залежати від швидкодії ключів, які перемикають опорні генератори, і часу затримки внесеного смуговими фільтрами.

Структурна схема прямого аналогового синтезатора частоти показана на рис. 1.1. Моделююча частота F_1 , що подається на вхід синтезатора, змішується в «змішувачі 1» з однією з опорних частот F_2 , в результаті чого на виході із змішувача спостерігаються 4 частоти: F_1 , F_2 , $F_1 + F_2$, $F_1 - F_2$.

Смуговий фільтр, встановлений після змішувача, дозволяє виділити одну з цих частот. Таких каскадів змішування і фільтрації може бути кілька, що дозволяє отримати необхідну частоту на виході синтезатора.

Особливістю DAS-синтезатора на базі змішувач / фільтр – спроможність повернення на певну частоту та тривалість роботи у заданій фазі, навіть при відсутності такого переходу. Така здатність називається «фазовою пам'яттю».

Для перевлаштування за частотою застосовується переключання сукупності опорних генераторів, що є зручним у роботі радіостанцій з обмеженою кількістю каналів.

Разом з тим, для покриття широкого спектру частот необхідна більша кількість опорних генераторів, що робить таке рішення дорожчим. Застосування розподільників частоти, які мають будову змішувач / фільтр / дільник,

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

уможливилює зменшення кількості необхідних опорних генераторів (можливість реконструкції в цьому випадку залишаться низькою).

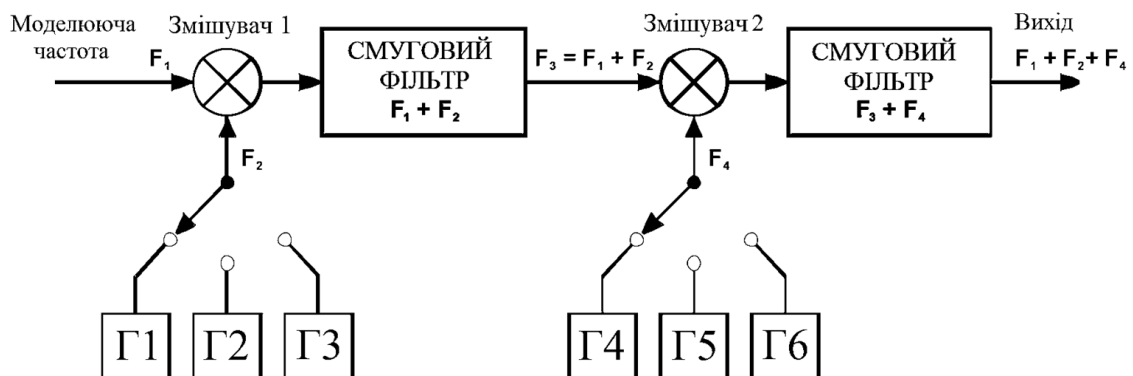


Рисунок. 1.1 – Блок схема прямого аналогового синтезатора частоти

В сучасній електроніці метод прямого аналогового синтезу частоти є застарілим, так як пристрої на основі цього методу є громіздкими і дорогими. До того ж, як зазначалося вище, не відповідають вимогам сучасної радіоапаратури: висока швидкість перебудови та перекриття широкого діапазону. Надалі цей метод не буде розглядатися докладніше.

1.2 Прямий синтез частоти на базі фазового автоматичного налаштування частоти (ФАПЧ, PLL)

Даний метод синтезу базується на принципі порівнювання частоти і фази вихідного сигналу, що генерується керованим напругою генератором (ГУН), спираючись на сигнал тактового (опорного) генератора. Упередження проти ненадійності ФАПЧ частково зв'язане із складністю створення ФАПЧ на дискретних складових. Разом з тим, широке застосування ФАПЧ у теперішній час, відбувається завдяки з'явленню недорогих та простих у використанні цих пристроїв. Правильність проектування і використання ФАПЧ забезпечує його надійність, яку можна порівняти із операційним підсилювачем або тригером.

Класична структурована схема ФАПЧ синтезатора зображена на рис. 1.2.

Фазовий детектор (ФД), що працює на заданій частоті F_c (частота порівнювання), дає можливість з'ясування помилок, установлення частоти. Така частота отримується шляхом поділення частоти опорного генератора (Γ) на N . Частота сигналу на виході, по-перше, поділяється на M , а далі порівнюється з

									Арк.
Змн.	Арк	№ докум.	Підпис	Дата	ЕлІТ 8.171.00.10.172 ПЗ				

частотою F_c . Якщо відбувається відхилення частоти на виході фазового детектора утворюється керуюча напруга, яка завдяки впливу на керуючий елемент ГУН сприяє зникненню відхилення. Враховуючи те, що коефіцієнти розподілу розподільників частоти - цілочисельні, вибір частоти порівняння такого синтезатора визначається кроком сітки.

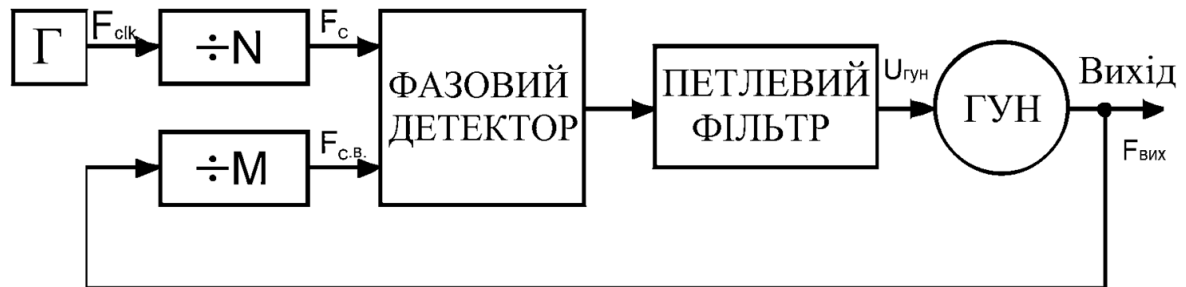


Рисунок 1.2 – Блок-схема синтезатора на базі фазового автоматичного налаштування частоти

Частота на виході розраховується за такою формулою:

$$F_{\text{вих}} = F_c \cdot M = \left(\frac{F_{\text{clk}}}{N}\right) \cdot M = \left(\frac{M}{N}\right) \cdot F_{\text{clk}} \quad (1.1)$$

де $F_{\text{вих}}$ – частота на виході, F_c - частота порівнювання, F_{clk} - тактова (опорна) частота, N - коефіцієнт поділення опорної частоти; M - коефіцієнт розподілу частоти на виході.

То ж, ФАПЧ-синтезатор збільшує опорну частоту на коефіцієнт, що визначається з виразу N / M . Коефіцієнти N і M можуть встановлюватися мікроконтролером. Практично число N , під час перебудови, змінюють не часто, у зв'язку з тим, що це сприяє зміні частоти порівнювання (і, таким чином, кроку сітки) та відбувається зміна параметрів петлевого фільтру.

Враховуючи те, що після фільтрації сигнал фазового детектора на виході є постійною напругою, а керуючий сигнал ГУН є мірою частоти входу, цілковито зрозуміло, що ФАПЧ можливо використовувати для ЧС-детектування та декодування тону (наприклад, цифрова передача по телефонному каналу).

Завдяки формі вихідного періодичного сигналу ГУН (трикутній, синусоїдальній та ін.) є змога виробляти синусоїдальний сигнал, який пов'язаний з послідовністю імпульсів на вході. Не рідко у схемах ФАПЧ застосовується

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

лічильник за модулем 2, який увімкнений між виходом ГУН та фазовим детектором. Цей лічильник дозволяє отримати частоту, яка кратна вхідній опорній частоті F_{clk} , що є зручним в процесі створення тактових імпульсів, які кратні частоті мережі в інтегруючих перетворювачах (двостадійні або з урівноваженням заряду), для зменшення перешкод у мережі. Частотні синтезатори базуються на подібних схемах.

1.3 Прямий цифровий синтез (DDS)

Пристрої DDS за своєю цифровою визначеністю є унікальними – сигнал, який генерується ними відображається точністю, що властива цифровим системам. Тобто, частота, фаза сигналу та амплітуда, точно відомі та контрольовані в будь-який час. DDS не піддаються температурному дрейфу та старінню. Єдиним компонентом, що має нестабільність властиву аналоговим схемам, є ЦАП. Широке застосування DDS, заміна ними аналогових синтезаторів частот відбувається завдяки високим технічним можливостям цих приладів

Основними перевагами DDS є:

- високий дозвіл за частотою та фазою, керування якими відбувається у цифровому вигляді;
- дуже швидке налаштування на іншу частоту (або фазу), структурування за частотою без розривання фази та будь-яких аномалій, зв'язаних із часом установлення;
- будова, що базується на DDS, враховуючи дуже малий крок перебудови за частотою, вимикає необхідність використання точного налаштування опорної частоти та уможливорює параметричну температурну компенсацію;
- цифровий інтерфейс дає змогу легко відтворювати мікроконтролерне керування;
- для квадратурних синтезаторів є DDS з I і Q виходами, що працюють разом.

При частоті виходу близько десятка мегагерц, дозвіл частоти DDS – соті та тисячні частини герц, що є недосяжним для будь-яких інших методів синтезу. Також серед особливостей DDS є надто висока швидкість переходу на іншу частоту. Синтезатори на базі PLL застосовують зворотний зв'язок та фільтрацію

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

сигналу помилки, що, в свою чергу, сповільнює процес реконструкції частоти. Для DDS швидкість реконструкції практично обмежується тільки швидкодією цифрового управляючого інтерфейсу. Крім того, всі реконструкції за частотою в DDS проходять без розривання фази сигналу на виході. Модуляція різних видів просто відбувається, якщо сигнал на виході синтезується у цифровому вигляді. Такі параметри важливі для апаратури зв'язку. Синтезатор, як серце системи налаштування, зазначає споживчі властивості певного апарату. DDS вдовольняє критеріям ідеального синтезатора частоти з технічного та економічного боку, а саме: має незначні габарити, простий у використанні, легко інтегрований. Зокрема, більшість параметрів DDS програмно-керовані, що уможливорює нові можливості пристрою.

Сучасні DDS базуються на субмікронній CMOS-технології, трьохвольтовій логіці, мініатюрності корпусу, зниженні вартості пристрою, що робить DDS дуже привабливими у використанні приладами.

Однак, є певні обмеження у застосуванні DDS, зв'язані із процесами дискретизації і цифро-аналогового перебудови:

- максимальна частота на виході не повинна сягати половини тактової (на практиці ця частота має менше значення), що обмежує застосування DDS у ВЧ і частини СВЧ-діапазону;
- деякі другорядні складові вихідного на виході DDS можуть бути значними, у порівнянні із іншими синтезаторами. Спектральна чистота сигналу на виході DDS у значній мірі пов'язана з якістю ЦАП;
- споживана потужність DDS практично прямо пропорційна тактовій частоті і має значення близько сотень міліват. За великих тактових частот DDS для пристроїв з батарейним живленням можуть бути непридатними.

1.3.1 Будова DDS

З метою отримання достовірної очевидності про структуру DDS необхідно розглянути кінцевий результат роботи пристрою.

Блок-схема найбільш простого DDS синтезатора зображена на рис. 1.3.

Результатом роботи DDS є отримання вихідного сигналу синусоїдальної форми потрібної частоти. Враховуючи, що в DDS створення вихідного сигналу

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

проводиться у цифровій формі, то очевидна потреба у цифро-аналоговому перетворенні.

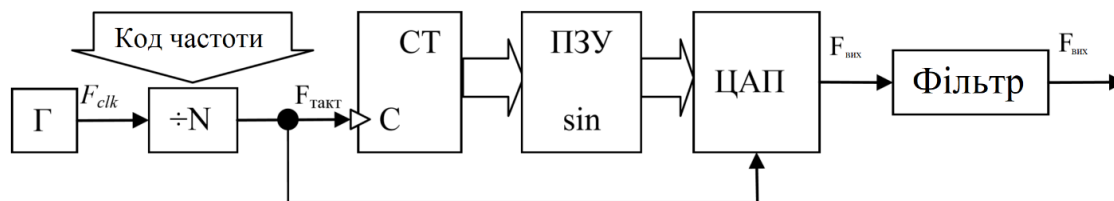


Рисунок 1.3 – Блок-схема простого DDS синтезатора

Тобто, у складі DDS має бути ЦАП. З метою зниження образів спектру на виході, що періодично повторюється (значення періодичності F_{clk} (anti-aliasing filter), на виході ЦАП повинен бути ФНЧ. Отримання на вхід ЦАП сигналу синусоїдальної форми відбувається при умові подачі послідовних відліків функції \sin (частота дискретизації F_{clk}). Закон зміни функції \sin залежно від часу цифровими методами не проводиться за своєю складністю. Обчислення значення функції \sin за допомогою АЛП не буде швидкісним, що зводить до непотрібності використання DDS за невідповідності до вимог до цього пристрою.

Найбільш ефективним методом створення відліків функції \sin – табличний метод (таблиця перекодування Look Up Table), що частіше за все розміщений у ПЗУ. Код, який надсилається на адресні входи ПЗУ, це аргумент функції \sin , вихідний код ПЗУ відповідає значенню функції для цього аргументу. Аргумент функції \sin або фаза зазнає змін в часі лінійно, що відрізняється від значення функції, що сприяє простоті процесу перекодування. Провести такий процес може простий двійковий лічильник, тому конструкція самого простого DDS має у своєму складі: двійковий лічильник, який створює адресу для ПЗУ та у ньому написана таблиця одного періоду функції \sin , відліки з виходу ПЗУ поступають на ЦАП, який створює на виході сигнал синусоїдальної форми, що фільтрується у ФНЧ і надсилається на вихід (рис. 1.3). Для реконструкції частоти на виході застосовується дільник із змінним коефіцієнтом розділення, на вхід якого надсилається тактовий сигнал з опорного генератора.

Основним недоліком такої будови DDS є недостатня здатність до перебудови за частотою. Оскільки тактова частота призводить розподіл на ціле число, крок перебудови є змінним, та чим коефіцієнт розподілу має менше

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

значення, тим збільшується відносна величина кроку, який буде дуже грубим за малих коефіцієнтів розподілу.

Також, під час перебудови частоти на виході змінюватиметься і частота дискретизації, що ускладнює фільтрацію такого сигналу та призводить до не ефективного застосування швидкісних характеристик ЦАП - вони будуть застосовані у повній мірі лише на максимальній частоті на виході. Виходячи з цього логічніше, не залежно від частоти на виході, здійснювати роботу у постійній частоті дискретизації, яка наближена до максимальної для певного ЦАП.

Описані вище недоліки можуть бути усунені заміною у будові адресного лічильника ПЗУ іншим цифровим пристроєм, що носить назву накопичувального суматора. Останній представляє собою регістр, що має можливість перезавантаження у кожному такті роботи приладу. Значення величини перезавантаження дорівнює старому значенню із додаванням деякої постійної добавки (рис. 1.4).

За аналогією із лічильником, вміст регістра лінійно зростає у часі, при цьому таке зростання не завжди є одиничним, а підпорядковується величині постійної добавки. У разі використання накопичувального суматора для створення коду фази, він також носить назву акумулятором фази. Код на виході акумулятора фази є кодом миттєвої фази сигналу на виході. Постійна добавка, яка застосовується в процесі роботі акумулятора фази, представляє собою зріст фази за один такт роботи приладу. Зі зміною фази у часі, прямо пропорційно змінюється частота сигналу, що генерується. Таким чином, значення зросту фази є, фактично, кодом частоти на виході.

У разі коли величини приросту фази дорівнює одиниці, робота накопичувального суматора схожа з роботою двійкового лічильника. Але в процесі збільшення величини прирості фази, код фази буде мінятися з подвійною швидкістю.

В такому випадку на ЦАП будуть надаватися коди з тією ж частотою, але будуть представляти собою взяті через один відліки функції \sin , а не сусідні.

Частота генерованого сигналу буде вдвічі більшою, а частота дискретизації буде такою як раніше.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Акумулятор фази працює з періодичними переповненнями, вбезпечуючи арифметику за модулем $2N$, що відповідає періодичності поведінки функції \sin з періодом 2π .

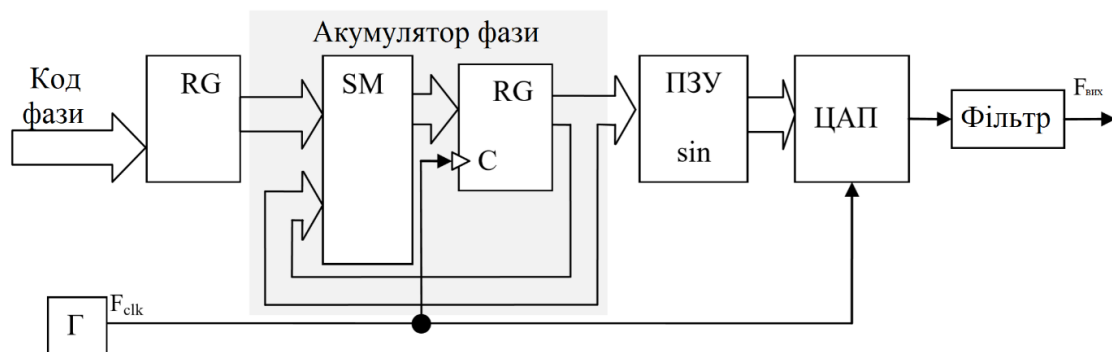


Рисунок 1.4 – Блок-схема прямого цифрового синтезатора на базі накопичувального суматора

Тобто, частота переповнення акумулятора фази рівняється частоті сигналу на виході та визначається за формулою:

$$F_{out} = M \cdot \frac{F_{clk}}{2N} \quad (1.2)$$

де F_{out} — частота на виході; F_{clk} — тактова частота; M — код частоти; N — розрядність акумулятора фази.

Очевидно, що тактова частота поділяється на деяке число, яке характеризує код частоти і розрядністю акумулятора фази. У цьому випадку крок перебудови частоти дорівнює D та не залежить від її значення:

$$F_{out} = \frac{F_{clk}}{2N} \quad (1.3)$$

З цього виразу визначається ще одна оригінальна властивість синтезатора частоти на базі накопичувального суматора: під час збільшення розрядності N , зменшується крок реструктуризації частоти, без особливих обмежень. При значенні розрядності накопичувального суматора 32 біта та тактовій частоті 50 МГц, частотний дозвіл дорівнюватиметься десь 0,01 Гц. Підвищення розрядності акумулятора фази не потребує обов'язкового підвищення розрядності адреси

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

ПЗУ. Для адресації застосовують тільки необхідну кількість старших розрядів коду фази. Більш конкретно дане питання буде описано нижче. Для зниження обсягу ПЗУ можна застосовувати властивості симетрії функції \sin . Більшість DDS в ПЗУ містить лише $1/4$ періоду. У разі цього дещо ускладнюється логіка формування адреси.

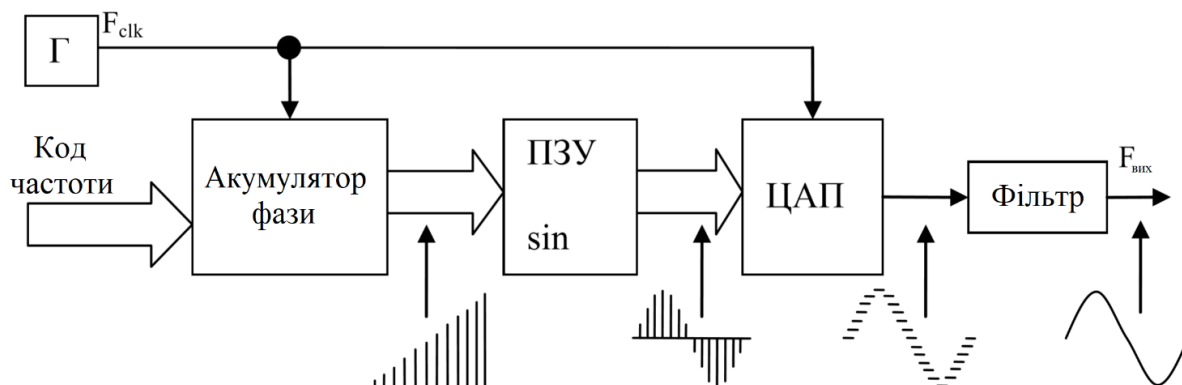


Рисунок 1.5 – Схема роботи DDS синтезатора

То ж, у DDS акумулятор фази створює послідовність кодів миттєвої фази сигналу, що лінійно міняється (рис. 1.5). Швидкість змінення фази визначається кодом частоти. Змінена таким чином фаза переходить, за допомогою ПЗУ, у перетворені за синусоїдальним законом відліки сигналу на виході. Ці відліки надходять на ЦАП, на виході якого утворюється сигнал синусоїдальної форми, який складений зі «сходинок». Вони пропускаються крізь аналоговий ФНЧ, та на його виході - сигнал синусоїдальної форми.

Сигнал на виході синусоїдальної форми поновлюється з окремих відліків, ціле число яких на період вкладається тільки в окремому випадку (рис. 1.6., А). Частіше за все на кожному новому етапі сигналу відліки містяться у нових місцях (рис. 1.6, Б). Процес роботи періодично повторюється, разом з тим період повторення буває дещо різним та залежить від коду частоти, розрядності акумулятора фази та від розрядності застосованого коду фази. Очевидно, послідовності відліків спонукає до відновлення синусоїдального сигналу.

Описана вище будова використовується у складі сучасних DDS. Повний DDS або Complete DDS, що об'єднує в чіпі ЦАП і власне DDS, уможливорює отримання приманливого вибору будь-яким синтезаторам на основі PLL. DDS,

що не містять у своєму складі вмонтованого ЦАП. Їх назва Numerically Controlled Oscillator (NCO), хоча DDS не містить генераторів.

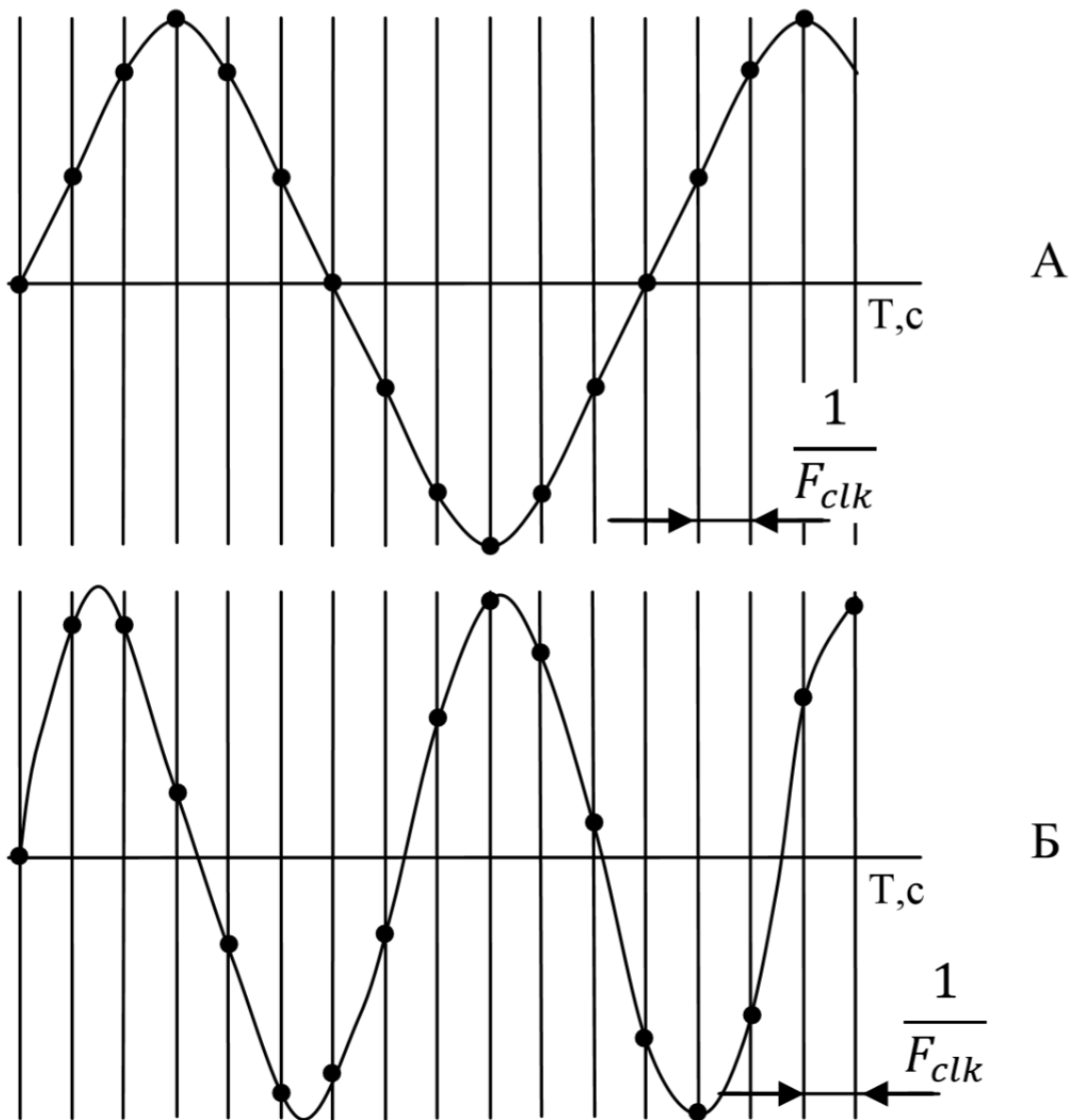


Рисунок 1.6 – Положення вибірок сигналу на виході для різних частот

DDS, зокрема інтегрованого ЦАП, містять додаткові цифрові блоки, що призводять над сигналом додаткові операції. Такі блоки сприяють більшій функціональності і покращенню користувальницьких властивостей DDS.

До них відносяться:

- вмонтований помножувач опорної частоти;
- допоміжний цифровий суматор для програмування фази;
- інверсний sinc-фільтр для компенсації нерівності АЧХ;

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- допоміжний цифровий помножувач для амплітудної модуляції;
- допоміжний ЦАП для відтворення квадратурних сигналів I і Q;
- допоміжний компаратор з низьким джиттером для відтворення цифрового тактового сигналу;
- додаткові регістри частоти і фази, що, заздалегідь, можуть бути запрограмовані на відтворення високошвидкісної модуляції.

Застосування цих допоміжних блоків буде розкрито нижче. З метою правильності використання DDS, потрібно з'ясувати, як деякі фактори діють на якість сигналу на виході. То ж, розкриємо окремо властивості DDS та складові якості сигналу на виході.

1.3.2 Джерело тактового сигналу

Найбільш важливими властивостями джерела тактового сигналу виступає нестабільність частоти (в PPM), джиттер (в пико- або наносекундах) та фазовий шум (в dBc / Гц, щодо рівня несучої).

Не звертаючи уваги на зменшення шумів під час поділу частоти в DDS (рис. 7), джерело тактового сигналу DDS – головне і для фазових шумів.

Фазовий шум сигналу DDS на виході теоретично нижче фазового шуму тактового сигналу на $20 \log(F_{clk} / F_{out})$ дБ. Та представляє собою покращену локалізовану шумовим порогом схема DDS. Значення 130 dBc / Гц в процесі розкладу на 1 кГц від частоти на виході є типовим для особового фазового шуму DDS.

При меншому значенні фазових шумів джерела тактового сигналу на виході DDS отримати менше значення не можливо. Такий показник має назву «залишковий фазовий шум».

Відносне розрізнення частоти на виході DDS прирівнюється до відносного розрізнення частоти тактового сигналу. Відносний джиттер при розподіленні частоти стає нижче, хоча його абсолютне значення не поліпшується.

DDS, які спроможні працювати на високих тактових частотах, містять вмонтований помножувач частоти на базі PLL, який уможливорює застосовувати менш високочастотного опорного генератора або працювати без нього використовуючи наявну тактову частоту.

						ЕлІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата			

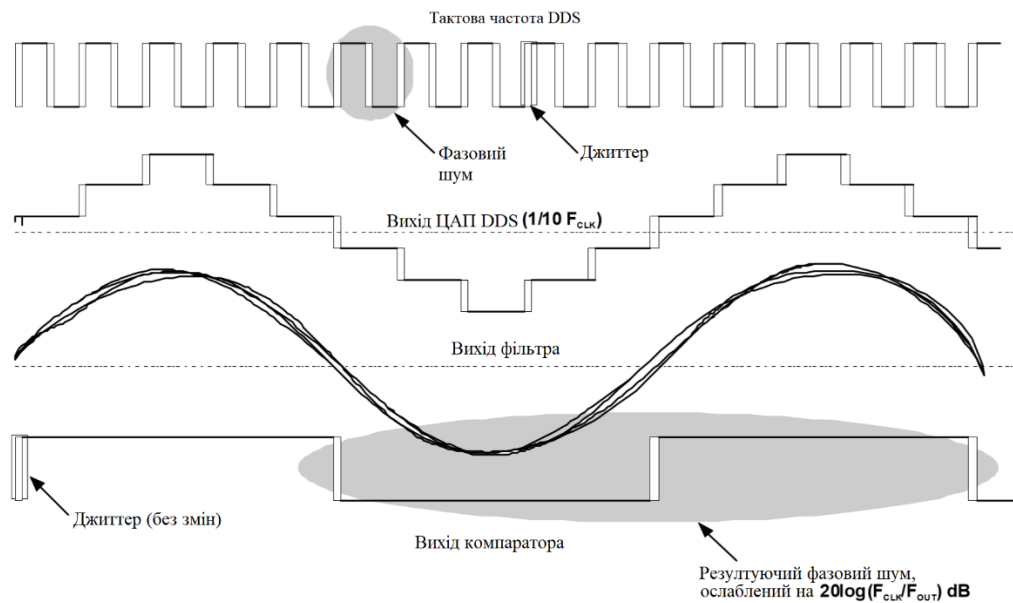


Рисунок 1.7 – Фазовий шум і джиттер на виході DDS.

Серед таких DDS - AD9852 і AD9854, у яких тактова частота за необхідністю помножується на 4 ... 20, а AD9851 передбачає наявність помножувача 6. Однак, застосування методу множення тактової частоти іноді не прийнятне, через те, що фазовий шум такого сигналу збільшується прямо пропорційно частоті, Більше того, пік фазових шумів може спостерігатися, якщо цей шум вище частоти зрізу петлевого фільтру PLL (рис. 1.8). Не звертаючи увагу на погіршення властивостей, вмонтований помножувач частоти робить систему більш дешевою та може бути застосований у частіше. Для деяких найбільш критичних до чистоти діапазону сигналу на виході може пригодитися тактирування DDS від високоякісного опорного генератора.

1.3.3 Значення частоти на виході та частотний дозвіл

За наведеною вище формулою очевидно, що тактова частота, код частоти та розрядність акумулятора фази з частотою на виході пов'язані. То ж, тактова частота поділяється на величину $2N / M$. Враховуючи, що N і M - цілі числа, з формули виходить, що потрібна частота на виході, скажімо 20 МГц, точно може бути визначена зовсім не завжди. До того ж може бути визначена достатньо близька частота, віддалена від потрібної не більше кроку перебудування, скажімо +19,999999954 МГц або +20,000000009 МГц.

										Арк.
Змн.	Арк	№ докум.	Підпис	Дата	ЕЛІТ 8.171.00.10.172 ПЗ					

елементів новоутворення, що розширюють діапазон сигналу на виході. З метою розв'язання цієї проблеми використовують метод, який має назву Ramped-FSK. Плавне перемикання з однієї частоти на іншу сприятиме правильній роботі пристрою. В AD9852у своєму складі вмонтований Ramped-FSK, що дає змогу користувачу запрограмувати швидкість переходу на іншу частоту.

1.3.5 Усічення коду фази

Для акумулятора фази DDS розрядність 32 або 48 біт є типовою. Але лише частина розрядів застосовується для адресації ПЗУ з таблицею синуса, що є вимушеною мірою, викликаною потребою зниження розмірів ПЗУ до заданих обмежень. За умови застосування всіх 32 бітів та кодування кожного відліку в ПЗУ 1-им байтом, потрібний обсяг ПЗУ складає 4 Гб. То ж для адресації ПЗУ застосовується лише кілька старших розрядів акумулятора фази. Відкидання коду фази являє собою внутрішню операцію DDS та ззовні зміни не потрібні. Усічення молодших бітів сприяє виникненню помилки у поданні фази. Наслідком цього є поява похибки амплітуди в процесі переходу фази в амплітуду, що є в DDS. Крім того, така похибка є періодичною, оскільки в залежності від коду частоти, статусу акумулятора фази без періодичності повторюються. Таким чином у діапазоні сигналу на виході утворюються деякі складові, які викликані урізанням коду фази. На такий процес діють три фактори:

- розрядність акумулятора фази (A біт);
- розрядність слова фази після урізання (P біт);
- значення коду частоти (T).

Складові коду частоти, створення відкиданням коду фази, можуть бути відсутні або, навпаки, мати максимальний рівень, в залежності від різних значень коду частоти.

1.8 Постановка завдання

Спроекувати синтезатор сигналів довільної форми, який матиме наступні параметри:

- 1) режим роботи - однополярний;
- 2) амплітуда сигналу 0-10 В;

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- 3) опір навантаження 50 Ом
- 4) частота генерованого сигналу - 500Гц - 12МГц;
- 5) співвідношеннм сигнал / шум 80 дБ

Для реалізації пристрою з такими параметрами був обраний наступний алгоритм рішення:

- аналізуються вимоги, викладені в технічному завданні на пристрій;
- розроблюється структура побудови (блок-схема);
- аналізується елементрна база та вибираються компоненти для реалізації пристрою;
- проводиться проектування пристрою;
- аналізуються отримані результати з заданими вимогами та приймається рішення про закінчення процесу поделювання.

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

2 НАУКОВА ЧАСТИНА

2.1 Операція дискретизації, вибір частоти дискретизації

Під дискретизацією розуміється перетворення безперервного сигналу в дискретний, що представляється сукупністю відліків, за якими безперервний сигнал може бути відновлений з заданою точністю.

Перехід від безперервних аналогових сигналів до цифрових здійснюється за допомогою процедур дискретизації і квантування, виконуваних послідовно один за одним. Їх спільне застосування називають аналого-цифровим перетворенням.

Дискретизація аналогового сигналу може здійснюватися трьома способами:

1) як процедура вибору відліків сигналу в фіксовані моменти часу, які прямують через рівні проміжки часу Δt (інтервал Δt називають кроком дискретизації, а зворотна величина $f_D = 1/\Delta t$ носить назву частоти дискретизації), такий спосіб має назву рівномірної дискретизації;

2) як процедура вибору відліків сигналу в моменти часу, наступні один за одним через нерівні інтервали часу (найчастіше величину інтервалу вибирають в залежності від швидкості зміни сигналу на різних інтервалах), так звана адаптивна дискретизація;

3) як процедура вибору відліків в фіксовані моменти часу, що задаються випадковим чином з того чи іншого закону (стохастична дискретизація).

При дискретизації безперервного сигналу за часом (рис. 2.1) передається не весь сигнал, а його амплітудні значення, взяті через проміжки часу, звані періодом дискретизації T_D . При певному виборі періоду дискретизації безперервний сигнал, який передається дискретними за часом відліками, може бути відновлений в подальшому практично без спотворень.

Отриманий сигнал дискретний за часом, але безперервний по амплітуді, так як в межах динамічного діапазону безперервного сигналу його тимчасові відліки по амплітуді можуть бути як завгодно близькі один до одного.

При дискретизації безперервного сигналу по амплітуді (рис. 2.2) передаються тільки певні, заздалегідь обрані його амплітудні значення, що

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

відрізняються один від одного на постійну величину, яку називають кроком квантування за рівнем

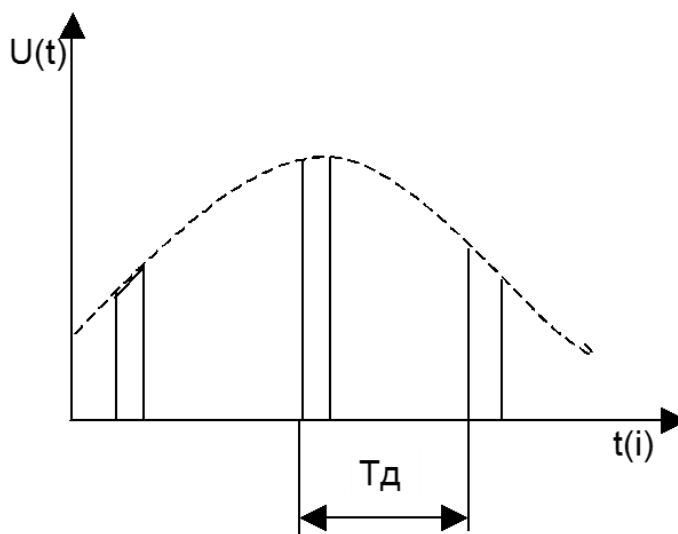


Рисунок 2.1 – Сигнал, дискретний за часом

Як видно, квантований по амплітуді сигнал відрізняється від вихідного безперервного сигналу тим, що призводить до помилки квантування, яка визначається різницею між початковим і квантованим за рівнем сигналами.

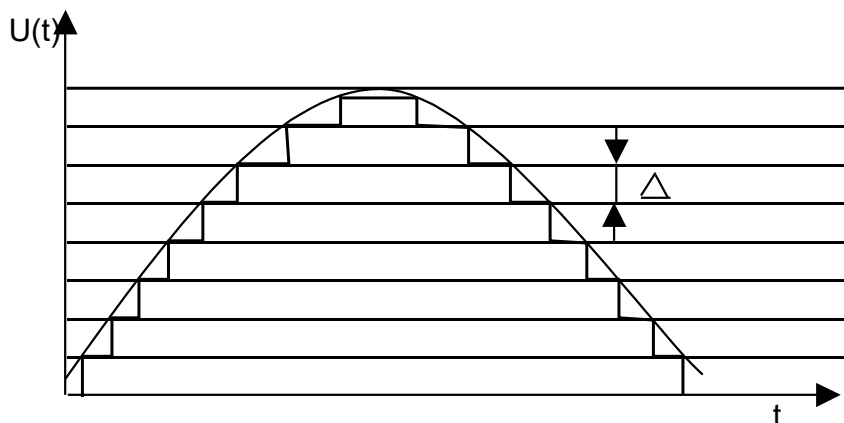


Рисунок 2.2 – Сигнал, дискретний по амплітуді

Сигнал, дискретний за часом і амплітуді (рис. 2.3), можна отримати, здійснивши квантування за рівнем сигналу, дискретного за часом. Амплітудні відліки отриманого сигналу відрізняються від істинних значень дискретних відліків, що як і в попередньому випадку, призводить до помилки квантування за рівнем (рис. 2.4).

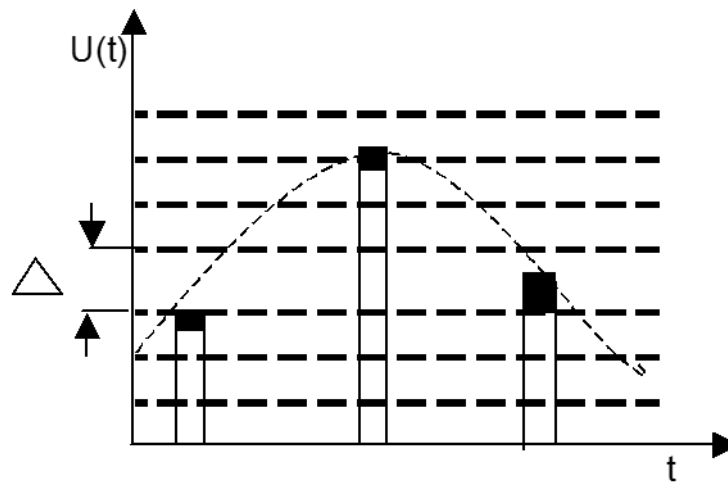


Рисунок 2.3 – Сигнал, дискретний за часом і амплітуді

При цифровому поданні сигналу, дискретного за часом і кожному з рівнів квантування по амплітуді присвоюється свій номер, а його величина з десяткової системи числення перетворюється в двійкову. Тому в подальшому можна передавати не самі відліки сигналу з їх амплітудою, а групу імпульсів, що відповідають номеру рівня квантування, вираженого в двійковій системі числення, тобто цифровий сигнал, який складається з послідовності імпульсів, причому наявність імпульсу свідчить про передачу одиниці, а його відсутність про передачу нуля. Цифрові сигнали в порівнянні з аналоговими мають високу завадостійкість, так як при їх виявленні на фоні шумів необхідно визначити лише наявність імпульсу або його відсутність.

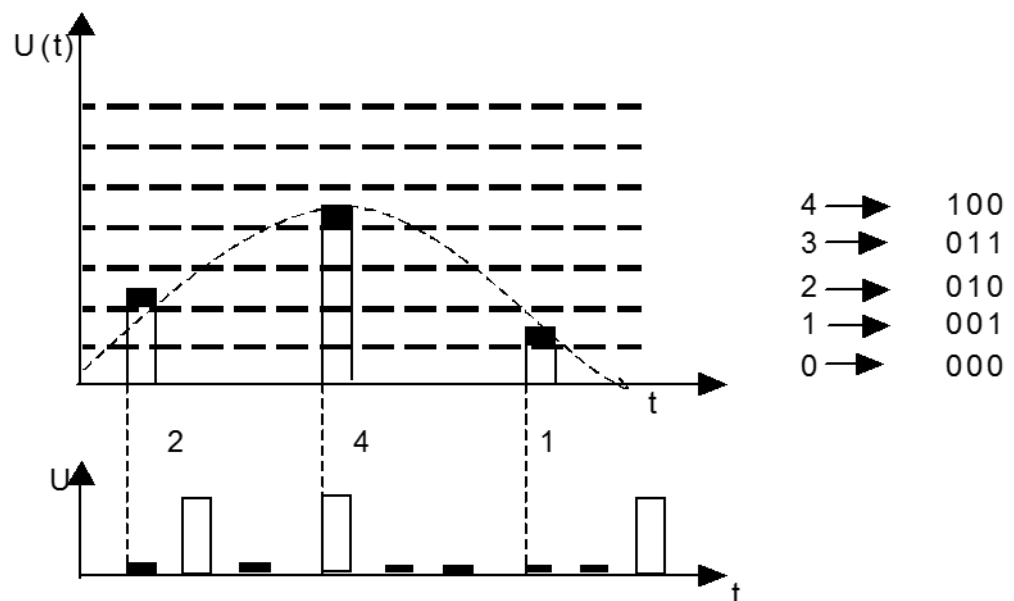


Рисунок 2.4 – Метод отримання цифрового сигналу

									Арк.
Змн.	Арк	№ докум.	Підпис	Дата	ЕЛІТ 8.171.00.10.172 ПЗ				

2.1.1 Теорема Котельникова

Можливість передачі безперервного сигналу його дискретними відліками була обґрунтована В. А. Котельниковим в 1933 р. Відповідно до його теореми будь-який безперервний сигнал, обмежений по спектру верхньої частоти $F_в$, повністю визначається послідовністю своїх дискретних відліків, взятих через проміжок часу :

$$T_д \leq 1/2F_в \quad (2.1)$$

Таким чином, якщо потрібно передати безперервний сигнал $U(t)$ з обмеженим спектром, то не обов'язково передавати весь сигнал, а досить передати лише його миттєві значення, відраховані через інтервали часу $T_д$. Відповідно до цього частота проходження дискретних відліків сигналу, тобто частота дискретизації :

$$F_д \geq 2F_в \quad (2.2)$$

Для відновлення безперервного сигналу з послідовності його дискретних відліків в пункті прийому використовується фільтр нижніх частот (ФНЧ) з частотою зрізу, рівною $F_в$.

Як відомо, відгук ідеального ФНЧ з граничною частотою зрізу $F_в$ на дуже короткий прямокутний імпульс, поданий на його вхід, має вигляд, зображений на рис. 2.5.

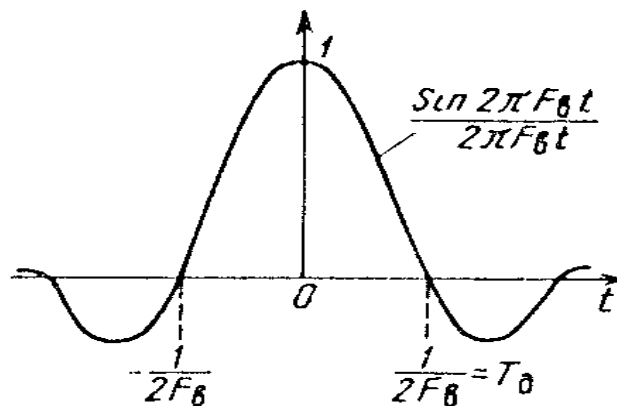


Рисунок 2.5 – Відгук ФНЧ на короткий прямокутний імпульс

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Якщо на вхід такого фільтра надходить послідовність коротких імпульсів, що відповідають дискретним відлікам безперервного сигналу (рис. 2.6), то на виході фільтра в результаті підсумовування окремих відгуків переданий безперервний сигнал знову відновлюється.

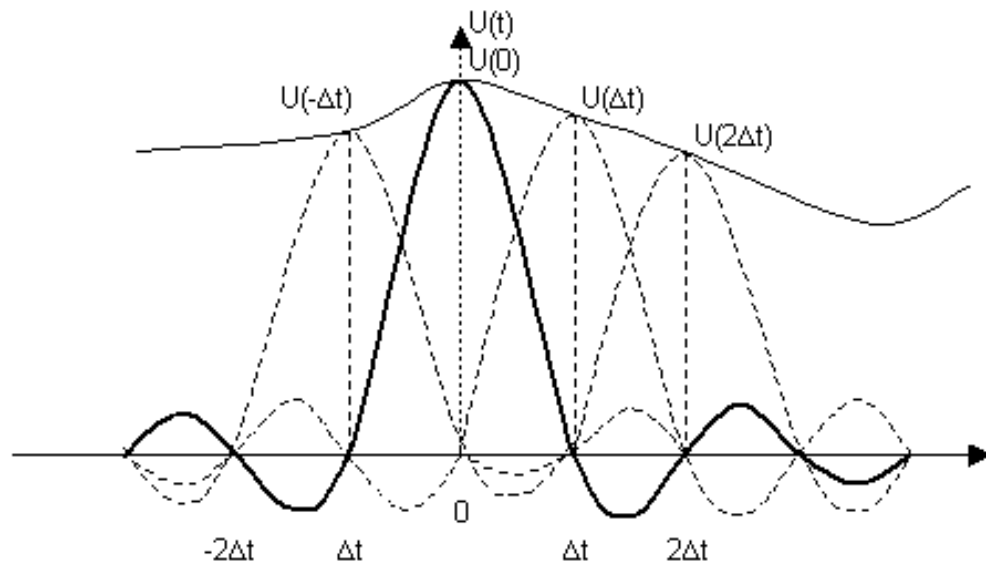


Рисунок 2.6 – Формування безперервного сигналу фільтром

2.1.2 Вибір частоти дискретизації

На підставі теореми Котельникова $F_{\delta} \geq 2F_{\epsilon}$. Якщо вибрати $F_{\delta} = 2F_{\epsilon}$, то, як видно з малюнка 1.8, нижня бічна частота, яка визначається з умови:

$$F_{\delta} - F_{\epsilon} = 2F_{\epsilon} - F_{\epsilon} = F_{\epsilon} \quad (2.3)$$

збігається з верхньою частотою спектра модулюючого сигналу і для відновлення безперервного сигналу з послідовності його дискретних відліків необхідно використовувати ідеальний ФНЧ з частотою зрізу $F_c = F_{\epsilon}$.

У реальних системах частоту дискретизації вибирають з умови $F_{\delta} > 2F_{\epsilon}$. Зазвичай

$$F_{\delta} = (2,3 \dots 2,4) F_{\epsilon} \quad (2.4)$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

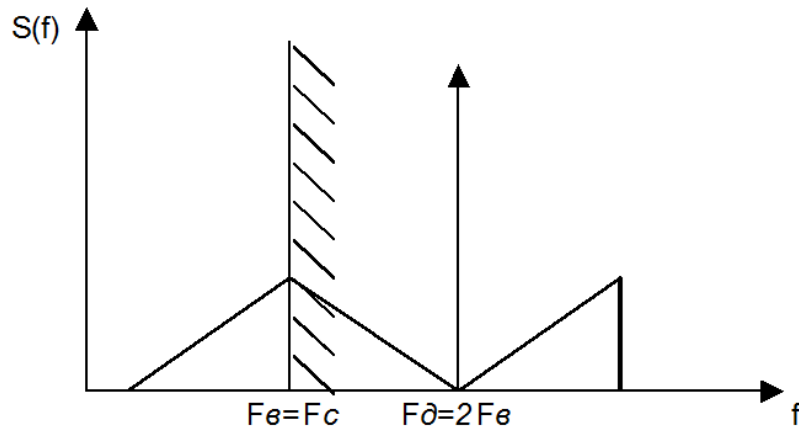


Рисунок 2.7 – Вибір частоти дискретизації

Візьмемо $F_д = 2,3F_в$. Так, при дискретизації з максимальною частотою 20 МГц частота дискретизації дорівнює

$$F_д = 2,3 \cdot 12 \cdot 10^6 = 27,6 \text{ (МГц)}$$

2.2 Квантування

Під квантуванням розуміють перетворення деякої величини з безперервною шкалою значень в величину, що має дискретну шкалу значень.

Перехід до цифрових методів синтезу сигналів призводить до певних специфічних особливостей синтезованих сигналів. Рис. 2.8 пояснює суть синтезу сигналів. Вибірка відліків сигналів з пам'яті проводиться через рівні проміжки часу. Звіти сигналів можна представити у вигляді вертикальних відрізків з точкою над ними, що характеризують дискретні відліки сигналу з обмеженою розрядністю (вона, проте, рідко буває менше 8 біт, що відповідає $2^8 = 256$ можливим рівням сигналу).

При квантуванні безперервній безлічі миттєвих значень відліків аналогового сигналу ставлять у відповідність кінцеву безліч значень - рівнів квантування. Інакше кажучи, кожне значення відліку замінюється найближчим до нього дозволеним значенням. Відстань між сусідніми дозволеними рівнями квантування називають кроком квантування. Процедуру квантування можна розглядати як результат проходження вхідного сигналу через пристрій з

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

амплітудною характеристикою ступінчастою форми (рис. 2.9), яка називається характеристикою (або шкалою) квантування.

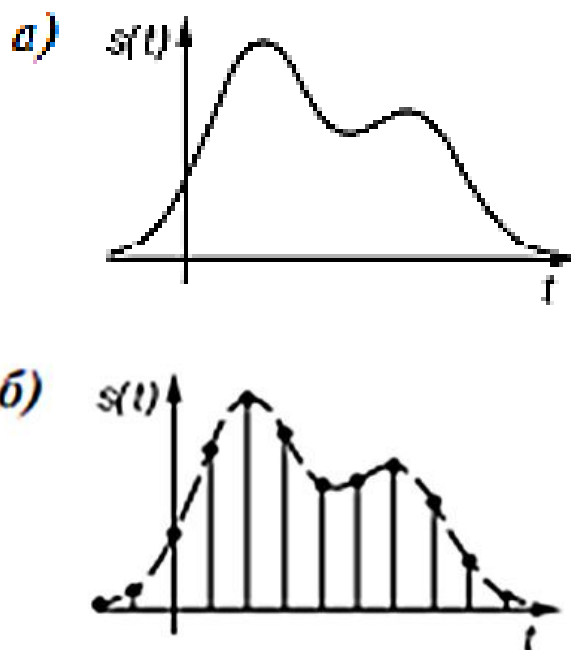


Рисунок 2.8 – Синтезований сигнал в ідеалі (а), його дискретні відліки, взяті з пам'яті (б), і їх інтерполяція (пунктирна крива)

Якщо в межах цієї характеристики крок квантування постійний ($x_i - x_{i-1} = \Delta$ и $y_i - y_{i-1} = \Delta$), то квантування називають рівномірним (рис. 2.9, а). Цей найпростіший вид квантування широко використовується в цифровій техніці. Він зручний для початкового цифрового уявлення ЗС з метою їх подальшої обробки, а також подальшого скорочення надмірності цифрових сигналів при передачі їх по каналах зв'язку. Рівномірне квантування часто служить також першим етапом для подальшого нерівномірного квантування.

Поряд з частотою дискретизації точність передачі сигналу при його цифровому поданні залежить від того, як далеко відхиляється послідовність чисел після ЦАП від істинних значень вихідного аналогового сигналу (рис. 2.10, а). Квантування сигналів неминуче супроводжується похибкою. Різниця між вихідними і квантовими значеннями відліків зображена на рис. 2.10, б. Цей сигнал помилок називають шумом квантування. [14]

Чим менше величина кроку Δ при квантуванні відліків дискретизованого сигналу, тим менше за рівнем цей шум квантування. Він виникає в результаті детермінованого нелінійного перетворення вхідного сигналу і має не випадковий

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

характер. Тому при квантуванні правильніше говорити про викривлення, а не про шуми квантування.

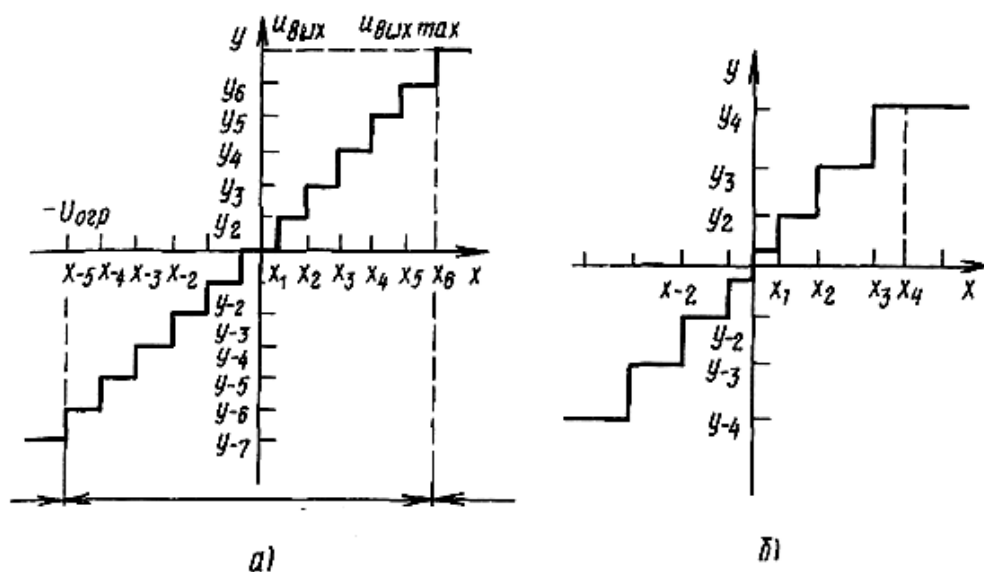


Рисунок 2.9 – Рівномірне (а) і нерівномірне (б) характеристики квантування: x - миттєве значення сигналу на вході квантувача; y - миттєве значення сигналу на виході квантувача

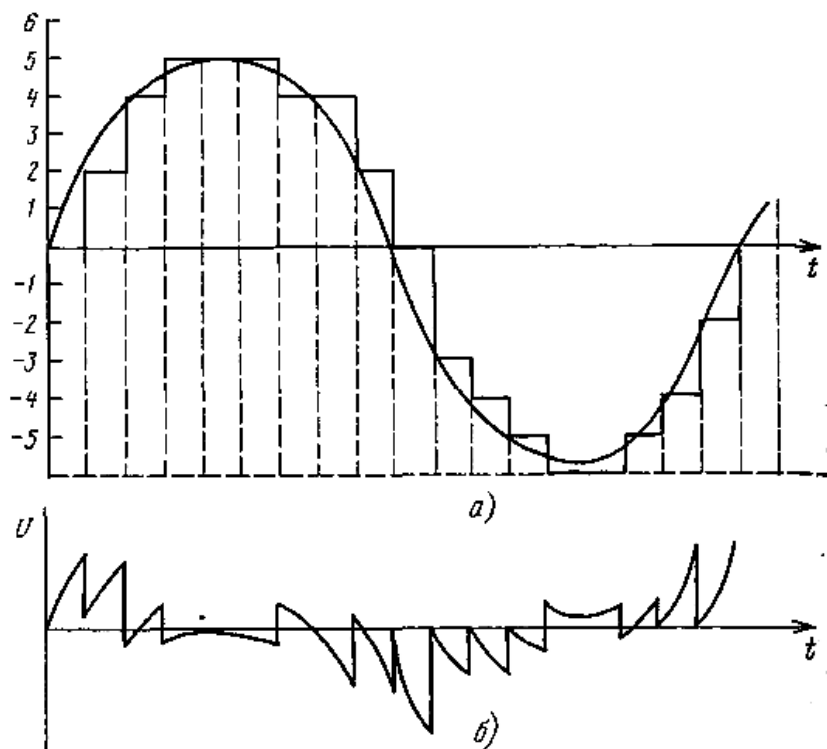


Рисунок 2.10 – До появи шумів квантування: а - квантування безперервного сигналу; б – змінюється в часі різниця між миттєвими і квантовими значеннями сигналу (похибка квантування)

Характеристика квантування (див. рис. 2.9, а) має дві зони: квантування при $U_{вх} < U_{огр}$ і обмеження при $U_{вх} > U_{огр}$. Зона квантування є робочою областю характеристики. В її межах виконується квантування сигналу. Якщо миттєве значення сигналу вийде за межі зони квантування, то вихідна напруга буде залишатися незмінним і рівним $U_{вих\ max}$ незалежно від значення $U_{вх}$. Виникаючі при цьому спотворення мають характер безінерційного обмеження сигналу і вважаються неприпустимими. Різниця між вихідним і обмеженим сигналами називають шумом обмеження. [14]

Розглянемо лінійну модель процесу квантування. Оскільки дискретні відліки сигналів зображуються числами (у певній системі числення, як правило двійковий), то квантування сигналів по суті зводиться до наближеного зображення чисел обмеженою кількістю розрядів b . Похибка, яка виникає при квантуванні, тобто при переході від дискретного до цифрового сигналу визначається за наступною формулою

$$\varepsilon(n) = y(n) - x(n) \quad (2.5)$$

Формулу (2.5) можна переписати так:

$$x(n) = y(n) + \varepsilon(n) \quad (2.6)$$

і тоді похибку квантування $\varepsilon(n)$ можна розглядати як адитивний дискретний випадковий процес, який називають шумом квантування. Такий підхід дає можливість розглядати лінійну модель процесу квантування (рис. 2.11). [14]

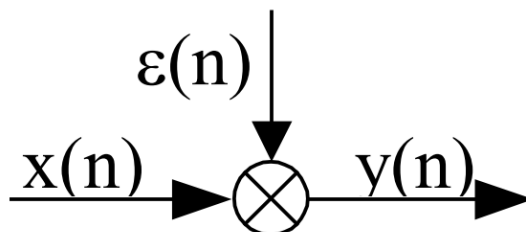


Рисунок 2.11 – Лінійна модель процесу квантування

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Легко можна зрозуміти, що шум квантування володіє наступними властивостями:

- шум квантування ніяк не залежить від значення $y(n)$ – послідовність $\varepsilon(n)$ не корельована з послідовністю $y(n)$.
- значення $\varepsilon(n)$ ніяк не залежить ні від номера n , ні від попередніх значень $\varepsilon(n)$, а всі статистичні характеристики випадкової величини $\varepsilon(n)$ не залежать від часу, тобто випадкова величина – ергодична.
- характеристики розподілу випадкової величини описується неперервним рівномірним розподілом на інтервалі, довжина якого дорівнює кроку квантування $Q = 2^{-b}$.

Якщо на вхід поступає випадково змінний сигнал із амплітудою, що при кожному новому вимірюванні змінює хоча б молодшу цифру на виході шум квантування можна вважати білим шумом – його енергія рівномірно розподілена на інтервалі частот від 0 до половини частоти дискретизації. [14]

Найчастіше квантування сигналу виконується двома способами: округлюванням і відкиданням розрядів. У першому випадку число $x(n)$ замінюється найближчим до нього b розрядним числом $y(n)$. У цьому випадку шум квантування $\varepsilon(n)$ має рівномірний розподіл на інтервалі $[-\Delta/2, \Delta/2]$ з законом розподілу випадкового значення заданим формулою:

$$p_{\varepsilon}(x) = \begin{cases} \frac{1}{\Delta} & \text{якщо } x \in [-\frac{\Delta}{2}, \frac{\Delta}{2}] \\ 0 & \text{якщо } x \notin [-\frac{\Delta}{2}, \frac{\Delta}{2}] \end{cases} \quad (2.7)$$

Тоді математичне сподівання випадкової величини

$$a = M(\varepsilon(n)) = \int_{-\Delta/2}^{\Delta/2} x \cdot p_{\varepsilon}(x) dx = \int_{-\Delta/2}^{\Delta/2} \frac{x}{\Delta} dx = \frac{x^2}{2\Delta} \Big|_{-\Delta/2}^{\Delta/2} = 0, \quad (2.8)$$

енергія сигналу похибки квантування

$$M((\varepsilon(n))^2) = \int_{-\Delta/2}^{\Delta/2} x^2 \cdot p_{\varepsilon}(x) dx = \int_{-\Delta/2}^{\Delta/2} \frac{x^2}{\Delta} dx = \frac{x^3}{3\Delta} \Big|_{-\Delta/2}^{\Delta/2} = \frac{\Delta^2}{12} \quad (2.9)$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

$$\sigma^2 = M[\varepsilon(n) - a]^2 = M[\varepsilon(n)] = \frac{\Delta^2}{12} \quad (2.10)$$

де M - оператор отримання математичного сподівання.

При квантуванні методом зрізування у k -розрядного числа $x(n)$ відкидаються $k - b$ молодших розрядів і у результаті отримують квантоване b -розрядне число $y(n)$. За такого методу шум квантування $\varepsilon(n)$ теж має рівномірний розподіл, але на інтервалі $[-Q,0]$. Тоді для математичного сподівання шуму $\varepsilon(n)$ маємо

$$M(\varepsilon(n)) = -\Delta/2 \quad (2.11)$$

а дисперсія рівна

$$\sigma^2 = M[\varepsilon(n) - a]^2 = M(\varepsilon(n)) = \frac{\Delta^2}{12} \quad (2.12)$$

Відношення сигнал/шум

Важливим питанням при перетворенні інформації з неперервної форми в дискретну форму є відношення між потужностями сигналу та шуму, яке визначається зворотнім перетворенням в безперервну форму. Воно називається відношенням сигнал/шум (англ. signal-to-noise ratio, скорочено SNR) — це безрозмірна величина, що рівна відношенню потужності корисного сигналу до потужності шуму. [14]

$$SNR = \frac{P_c}{P_{ш}} \quad (2.14)$$

де P_c – потужність сигналу, $P_{ш}$ – потужність шуму. Так як така величина у типових випадках вимірюється десятками тисяч, то для зручності величину відношення сигнал шум вимірюють у децибелах (дБ), а формула набуває вигляд:

$$SNR = 10 \cdot \log_{10} \left(\frac{P_c}{P_{ш}} \right) = 10 \cdot \log_{10}(P_c) - 10 \cdot \log_{10}(P_{ш}) \quad (2.15)$$

Чим більше величина відношення тим краще якість системи.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Визначимо відношення сигнал/шум для шуму квантування

$$A_c = 2^b \Delta, \quad (2.16)$$

а потужність сигналу рівна

$$P_c = 2^{2b} \Delta^2, \quad (2.17)$$

де b – число розрядів коду. Отже відношення сигнал/шум у такому випадку визначається за формулою :

$$\begin{aligned} SNR &= 10 \cdot \log_{10} \left(\frac{2^b \Delta^2}{\frac{\Delta^2}{12}} \right) = 10 \cdot \log_{10} (2^{2b} \cdot 12) = \\ &= 6,02b + 10,8 \text{ (дБ)} \end{aligned} \quad (2.18)$$

З вихідних даних $SNR = 80$ дБ, отже можемо визначити розрядність ЦАП:

$$b = \frac{SNR_{\text{дБ}} - 10,8}{6,02} = \frac{80 - 10,8}{6,02} \approx 12$$

Отже для реалізації схеми з співвідношенням сигнал / шум 80 дБ потрібно використати 12-ти розрядний ЦАП.

В результаті виконання наукової частини роботи були проаналізовані питання: отримання дискретної форми подання сигналів, а саме питання дискретизації та квантування. По результатам розрахунків були визначені параметри дискретизації (мінімальна частота формування відліків для ЦАП) та квантування (розрядність шини даних ЦАП)

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

3 РОЗРОБКА АЛГОРИТМУ РОБОТИ ТА СТРУКТУРНОЇ СХЕМИ

Синтезатор, являє собою пристрій, в пам'ять якого із стаціонарного комп'ютера записується інформація про форми сигналів. Після цього прилад працює автономно, тобто без вручання інших пристроїв. Для самостійного функціонування приладу використовується власний інтерфейс, який складається з клавіатури та індикатора.

3.1 Алгоритм роботи

Розглянемо алгоритм роботи приладу.

Блок-схема алгоритму роботи пристрою наведена на рисунку 2.1.

Спершу двійкові коди, що відповідають формам синтезованих сигналів з ПК подаються у пристрій за допомогою USB-інтерфейсу. Після цього ці коди зберігаються в пам'яті пристрою. Вибір типу генерованого сигналу виконується за допомогою кнопок управління та індикатора. Далі коди, що відповідають обраному сигналу переписуються з енергонезалежної пам'яті в оперативну пам'ять. Коли розпочинається синтез обраного сигналу відбувається зчитування кодів з оперативної пам'яті та формування сигналу. Сформований сигнал подається на вихід синтезатора.

3.2 Структурна схема

Розробимо структурну схему та розглянемо її блоки.

Перед початком роботи синтезатора у його пам'ять необхідно записати данні сигналів що будуть формуватися. Для цього необхідно під'єднати пристрій до персонального комп'ютера. Це можна реалізувати за допомогою USB інтерфейсу, призначення якого передати данні про сигнали що формуються до приладу.

Далі необхідно перетворити сигнали протоколу USB у зрозумілі для мікроконтролера, тобто сигнали UART. Це можна реалізувати за допомогою апаратного драйвера який трансформує їх в сигнали послідовного порту мікроконтролера.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

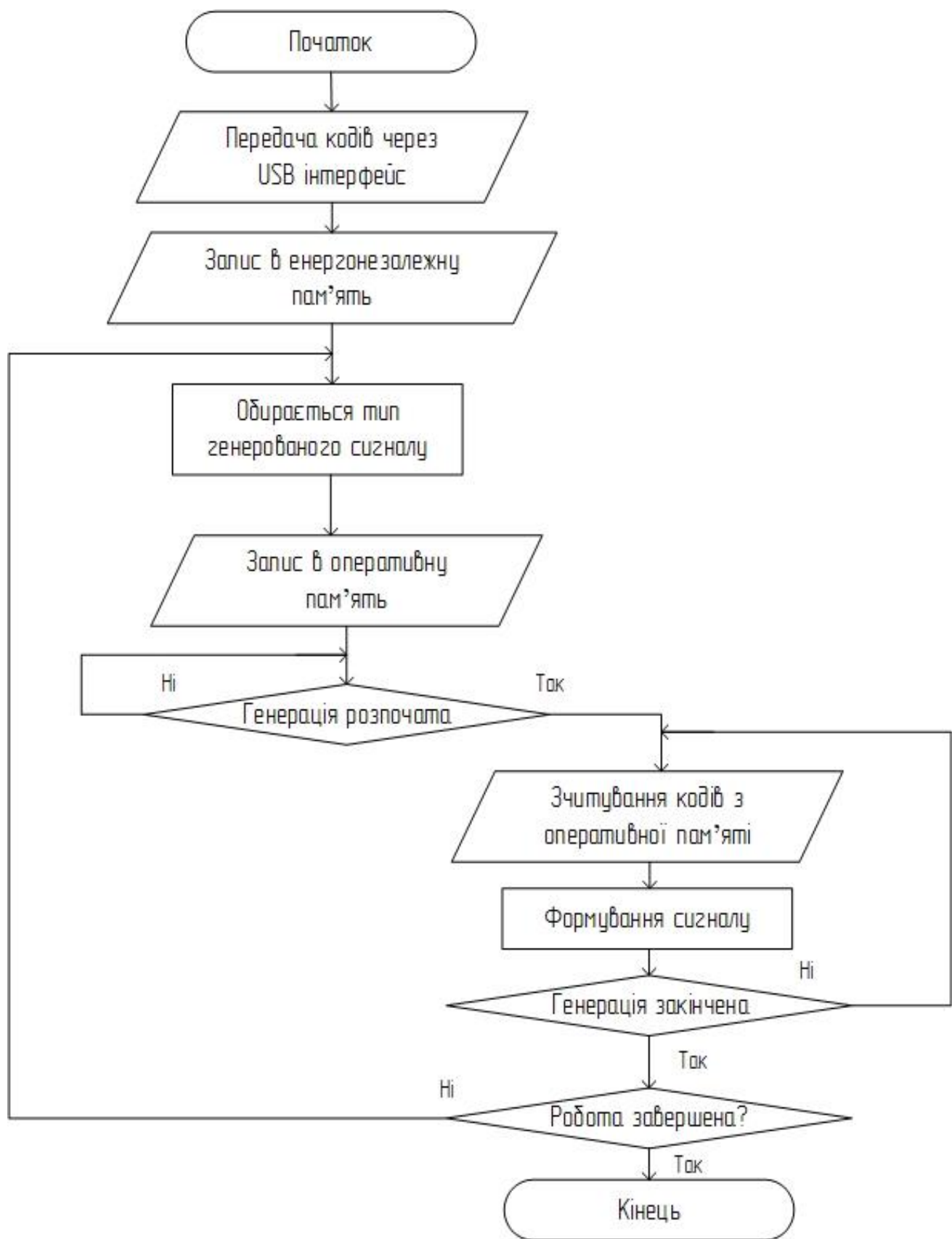


Рисунок 3.1 — Блок-схема алгоритму роботи пристрою

Для управління взаємодією з користувачем та для збереження даних про сигнали що синтезуються в запропонованому приладі використовується мікроконтролер. Також мікроконтролер необхідний для зчитування даних з запам'ятовуючого пристрою та передачі їх до схеми яка буде формувати сигнал на виході.

Щоб взаємодіяти з користувачем необхідно використати клавіатуру для вибору сигналу та екран який буде відображати інформацію щодо нього. Клавіатура складається з трьох кнопок: «Старт/Стоп», «Вниз» та «Вгору». Кнопки «Вниз» та «Вгору» дають можливість перемикатися між сигналами, які записані в енергонезалежну пам'ять. При виборі сигналу його назва відображається на рідкокристалічному індикаторі. Кнопка «Старт/Стоп» дає можливість увімкнути синтез сигналу або, якщо синтез сигналу вже запущений, зупинити його.

Після того як користувач вибере сигнал, його потрібно зберегти так щоб при синтезу сигнал можна було зчитувати безперервно для подальшої роботи. Для цього використовується оперативна пам'ять. Для запису даних в оперативну пам'ять використовуються данні з енергонезалежної пам'яті, тому з'єднання з ПК не потрібно.

Наступним кроком треба реалізувати безперервне зчитування даних з оперативної пам'яті для генерування сигналу. Це зроблено за допомогою програмованої логічної інтегральної схеми або ПЛІС, який потрібно запрограмувати на безперервне зчитування даних та передачу їх до цифро-аналогового перетворювача для формування сигналу на виході.

Наступний блок називається «ЦАП». Цифро-аналоговий перетворювач перетворює цифровий сигнал в аналоговий вихідний сигнал.

Структурна схема представлена на рисунку 2.2

Розглянемо роботу нашого пристрою.

Для початку роботи оператор записує необхідні сигнали з ПК у прилад через USB інтерфейс. Далі ці сигнали перетворюються з протоколу USB в протокол UART мікроконтролера за допомогою апаратного драйвера. Мікроконтролер записує сигнали у енергонезалежний запам'ятовуючий пристрій (SD карту). Потім оператор за допомогою дисплею та кнопок управління вибирає сигнал

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

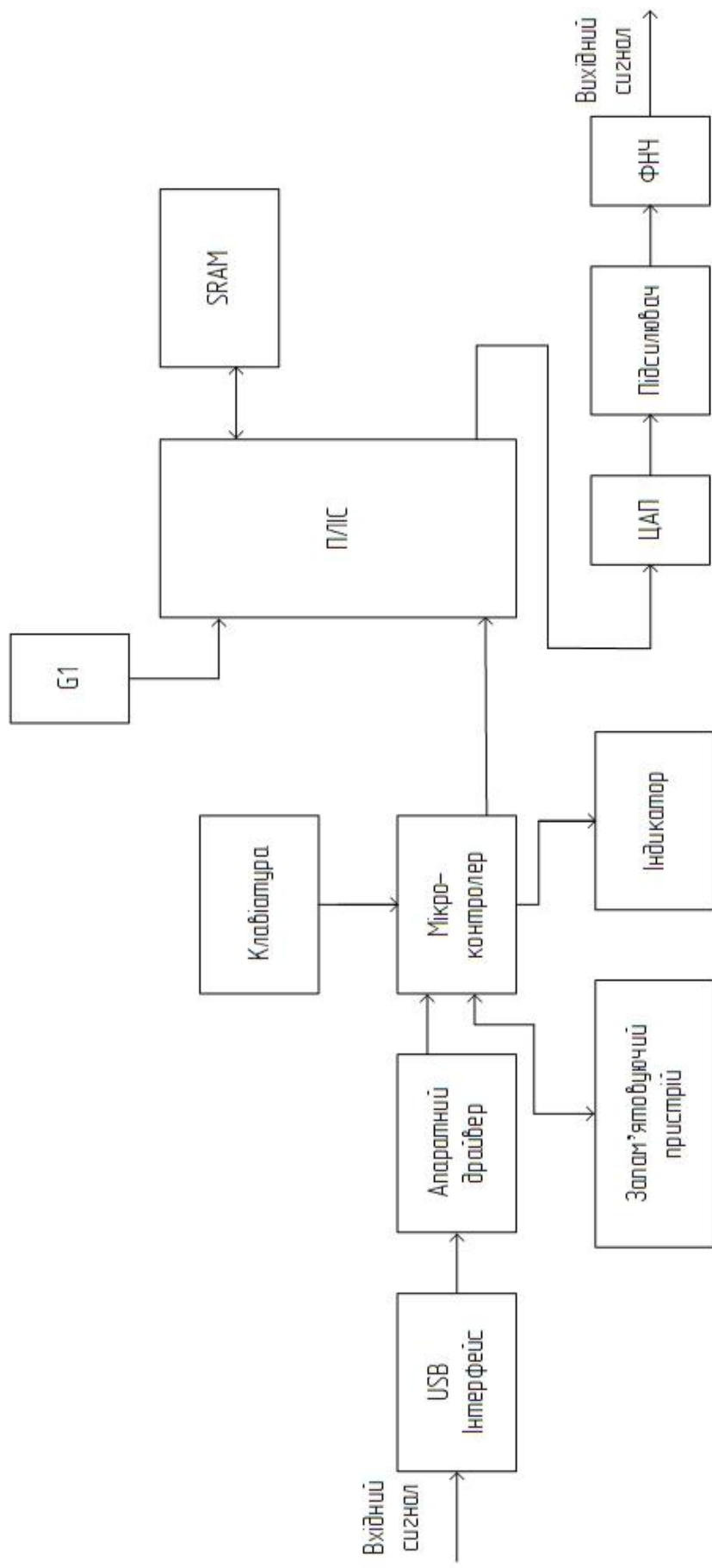


Рисунок 3.2 — Структурна схема синтезатора сигналів довільної форми

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

який необхідно отримати на виході, та режим роботи синтезатора (двоканальний або одноканальний). Після цього мікроконтролер зчитує данні обраного сигналу із енергонезалежної пам'яті та записує їх до оперативної пам'яті. Після ввімкнення синтезу сигналу та запису його до оперативної пам'яті програмована логічна інтегральна схема безперервно зчитує ці данні з SRAM та передає їх до цифро-аналогового перетворювача для формування сигналу на виході.

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	<i>Арк.</i>
<i>Змн.</i>	<i>Арк</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

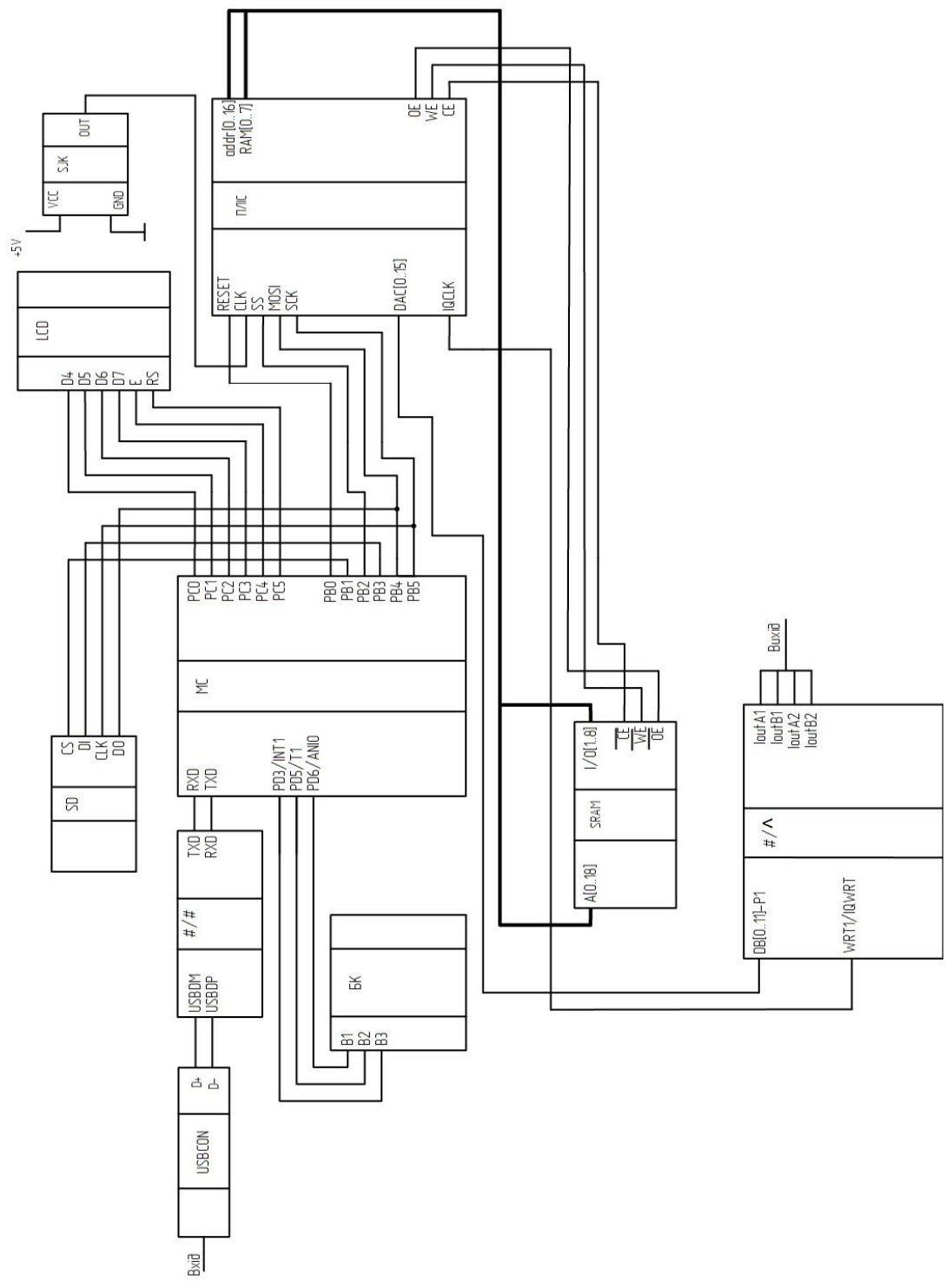


Рисунок 4.1 – Функціональна схема синтезатора сигналів довільної форми

				ЕЛІТ 8.171.00.10.172 ПЗ		Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

контакти даних Порту 1 цифро-аналогового перетворювача DV[0..11]-P1 для формування сигналу.

Далі через виходи струмів диференціального ЦАП Порту 1 IoutA1, IoutB1, сформовані сигнали ідуть на вихід.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

5 РОЗРОБКА ПРИНЦИПІАЛЬНОЇ СХЕМИ

5.1 Вибір апаратного драйвера

Апаратний драйвер, який здійснює передачу даних з протоколу USB в UART, застосовується для передачі кодів з комп'ютера на мікроконтролер.

Одним з таких драйверів є одно кристальний асинхронний двонаправлений перетворювач USB - послідовний інтерфейс (RS232, RS422, RS485) FT232BM, його принципіальне призначення ілюстровано на рисунку 5.1.

13	VCCIO	#/#	TXD	25
26	VCC		RXD	24
3	VCC		RTS#	23
30	AVCC		CTS#	22
			DTR#	21
			DSR#	20
6	3V3OUT		DCD#	19
			RI#	18
8	USBDM			
			TXDEN	16
7	USBDP		TXLED#	12
			RXLED#	11
5	RSTOUT#			
4	RESET#			
			PWRCTL	14
27	XTIN		PWREN#	15
			SLEEP#	10
28	XTOUT			
32	EECS			
1	EESK		GND	17
2	EEDATA		GND	9
31	TEST		AGND	26

Рисунок 5.1 – Принципіальне позначення FT232BM

Функції виводів драйвера наведені в таблиці 5.1.[2]

Таблиця 5.1 – Функції виводів драйвера [2]

№ виводу	Назва	Описання виводу
7	USBDP	Сигнал даних USB Plus
8	USBDM	Сигнал даних USB Minus

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

№ виводу	Назва	Описання виводу
		зовнішньої логіки за допомогою перемикача MOSFET з логічним рівнем P-Channel Logic Level.

FT232BM складається з USB приймача, UART контролера і буферів, стабілізатора напруги, помножувача частоти та інших функціональних вузлів. Така конструкція уможливіє швидко та недорого модернізацію системи з COM портом для роботи з USB інтерфейсом.

FT232BM поєднується зі специфікаціями USB 1.1 і USB 2.0 для швидкості передачі до 12 Мбіт в секунду (Full Speed) та адаптований для роботи з інтерфейсами хост-контролерів UHCI (Universal Host Controller Interface) Intel і OHCI (Open Host Controller Interface) Microsoft, Compaq і новим EHCI (Enhanced Host Controller Interface) Intel. Також, забезпечується передача даних пакетів як звичайних так і керуючих, переривань та ізохронних даних – пакетів, що перетворюються із заданою швидкістю та, у випадку збою, не повторюються, наприклад, у разі зникнення налаштування аудіо чи відео даних.

Можливість гнучкого налаштування швидкодії приладу під час передачі коротких пакетів даних забезпечується тим, що буфер передавача USB має 128 байтів, приймача - 384 байта, що, в свою чергу, дозволяє програмувати паузу прийому даних з періодом від 1 до 255 мс. Підключення FT232BM у схему дозволяє мінімізувати наявність додаткових зовнішніх елементів

Живлення 3,3В приймача та всіх вузлів мікросхеми відбувається за допомогою підключення до USB вбудованого стабілізатора напруги. Зокрема, у конструкції стабілізатора є вихід зовнішнього навантаження, призначення якого живлення всіх елементів на платі. При цьому напруження повинно бути 3,3В, а струм споживання невеликий - до 5 мА.

Струм живлення FT232BM відповідає вимогам специфікації USB пристроїв, яке відбувається від USB. В активному режимі роботи FT232BM споживає не більше ніж 25 мА, а за специфікацією USB - не більше 100 мА. У режимі Suspend (призупинення) FT232BM - не більш ніж 200 мкА (500 мкА згідно специфікації).

Враховуючи, що в процесі живлення від USB спожитий струм повинен бути не більше 100 мА на один пристрій, елементи зі споживанням більш ніж 100 мА потрібно підключати за допомогою окремого стабілізатора. Управління живленням всіх інших елементів схеми в FT232BM повинно забезпечуватися

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

виведенням "PWREN". "PWREN" та вмикатися у затвор MOSFET ключа, що уможливорює підключення і відключення живлення елементів схеми.

Вмонтована схема формування сигналу скидання передає імпульс, тривалість якого близько 5 мс, якщо напруга живлення більша за рівень 3,5 В. Сигнал скидання застосовується у внутрішніх ланцюгах FT232BM і має у своїй конструкції ще: вхід "RESET" для вимушеного скидання мікросхеми перетворювача від зовнішнього пристрою і вихід "RSTOUT" для скидання других мікросхем на платі.

В процесі дії сигналу скидання вихід "RSTOUT" перебуває у високоімпедансному (Z) стані, а по закінченню скидання на виводі "RSTOUT" подається напруга 3,3 В. Це уможливорює застосування "RSTOUT" для включення підтягуючого (pull-up) резистора на лінію DP USB шини при необхідності використання затриманої енумерації (затримки під час включення та ідентифікації приладу).

Зокрема, вхід "RESET" може бути включений до USB лінії живлення за допомогою резистивного дільника. У цьому випадку, під час зникнення живлення USB хоста або хаба на вході "RESET" спостерігатиметься низький рівень, FT232BM налаштується у стан скидання, а виводи UART інтерфейсу - у високоімпедансний стан.

FT232BM має вмонтований інтерфейс для включення EEPROM пам'яті. 16-бітна EEPROM підтримується с протоколом Microwire (наприклад 93C46) та швидкодією не менш ніж 1 Мбіт / с. EEPROM застосовується для храніння ідентифікаційної інформації приладу, в разі необхідності.

FT232BM може застосовуватися без EEPROM у випадку, коли до хосту включено зокрема один прилад. При цьому (а також в разі незапрограмованого EEPROM) використовуватимуться дані ідентифікаційні номери VID і PID USB за замовчуванням, а серійний номер приладу буде відсутній.

У разі підключення до хосту декількох приладів на базі FT232BM призначається свій віртуальний COM порт для кожного, а серійні номери, VID і PID USB, рядки зі стислим описом приладу мають бути запрограмовані в EEPROM заздалегідь. Застосовуючи спеціальні утиліти саме у схемі по USB інтерфейсу, відбувається програмування пам'яті.

FT232BM містить вмонтований помножувач частоти на базі ФАПЧ, який трансформує 6 МГц кварцового генератора в 12 МГц опорний сигнал для USB

					<i>ЕлІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

контролера і 48 МГц для ланцюга ФАПЧ USB приймача (USB DPLL) та тактового генератора UART. Генератор UART має вмонтований 14-бітний дільник, що уможлиблює трансформувати частоту UART від 183 бод до 3Мбод.

Максимальна швидкість в процесі роботі з RS-232 - 1 Мбод, а з RS-422/485 - 3 Мбод.

FT232BM підтримується повним набором квотування модемного інтерфейсу та толерантний до різних режимів прийому-передачі по UART: маркером, з паритетом або без паритету; асинхронний 7/8 бітний, з 1 або 2 стоп-бітами, з парністю / непарністю. Сигнали готовності приладу до передачі / прийому RTS / CTS, DSR / DTR підтримуються разом з керуючими символами, які інформують про початок (X-ON) або закінчення (X-OFF) передачі.[3]

Таким чином, схема включення FT232BM наведена на рисунку 4.2.

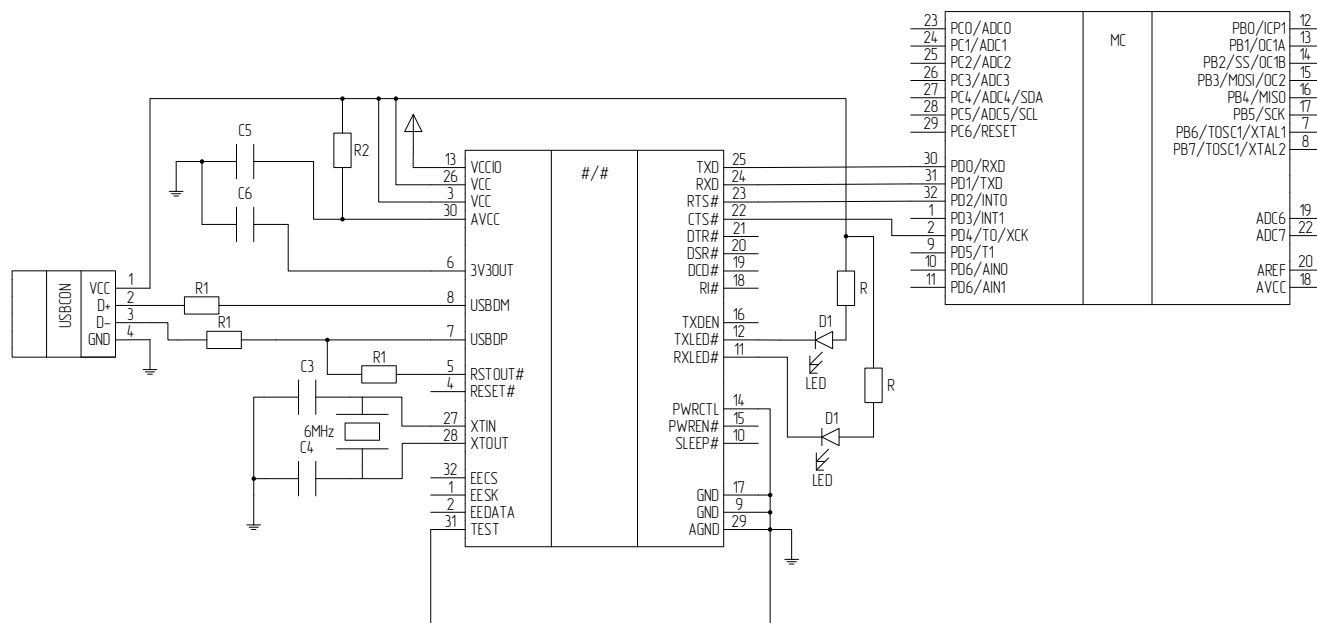


Рисунок 5.2 – Схема включення FT232BM в загальну схему

5.2 Вибір мікроконтролера

Для нормальної роботи схеми потрібен пристрій, який буде виконувати такі функції: зберігання сигналу у пам'яті пристрою, зчитування сигналу, управління клавіатурою та індикатором.

З цією метою обраний 8-розрядний високопродуктивний AVR мікроконтролер з малим споживанням ATmega8-16AU. Мікроконтролер

									Арк.
Змн.	Арк	№ докум.	Підпис	Дата	ЕлІТ 8.171.00.10.172 ПЗ				

АТmega8-16AU малопотужний 8-разрядний КМОП, який базується на розширеній AVR RISC архітектурі.

Ефективність застосування цього мікроконтролера полягає у можливості конструктора системи оптимізувати співвідношення спожитої енергії і швидкодії за рахунок виконання цим контролером більшості інструкцій за один машинний цикл АТmega8 (продуктивність 1 млн. операцій в секунду / МГц)

Принципальне позначення мікроконтролера приведено на рис. 5.3.

23	PC0/ADCO	MC	PB0/ICP1	12
24	PC1/ADC1		PB1/OC1A	13
25	PC2/ADC2		PB2/SS/OC1B	14
26	PC3/ADC3		PB3/MOSI/OC2	15
27	PC4/ADC4/SDA		PB4/MISO	16
28	PC5/ADC5/SCL		PB5/SCK	17
29	PC6/RESET		PB6/TOSC1/XTAL1	7
			PB7/TOSC1/XTAL2	8
30	PD0/RXD			
31	PD1/TXD			
32	PD2/INT0			
1	PD3/INT1	ADC6	19	
2	PD4/TO/XCK	ADC7	22	
9	PD5/T1			
10	PD6/AINO	AREF	20	
11	PD7/AIN1	AVCC	18	

Рисунок 5.3 – Принципальне позначення мікроконтролера АТmega8-16AU

Опис виводів мікроконтролера АТmega8-16AU приведено в таблиці 5.3, а їхніх функції у схемі в таблиці 5.2.

Таблиця 5.2 – Описання виводів мікроконтролера [4]

№ виводу	Назва	Описання виводу
19	VCC	Напруга живлення цифрових елементів
22	GND	Виводи заземлення пристрою
12-17, 7,8	Port B (PB7..PB0) XTAL1/XTAL2/TOSC1/ TOSC2	Порт В - 8-разр. порт двонаправленого вводу-виводу. Виводи порту В можуть мати також альтернативні функції
23-29	Port C (PC5..PC0)	Порт С - 7-разр. порт двонаправленого вводу-виводу.

									Арк.
ЕЛІТ 8.171.00.10.172 ПЗ									
Змн.	Арк	№ докум.	Підпис	Дата					

№ виводу	Назва	Описання виводу
29	PC6/RESET	Якщо RSTDISBL запрограмований, PC6 використовується в якості контакту введення-виведення. Якщо RSTDISBL не програмується, PC6 використовується в якості введення Скидання.
30-32, 1, 2, 9, 10, 11	Port D (PD7..PD0)	Порт D - 8-разр. порт двонаправленого вводу-виводу.
	RESET	Вхід скидання.
18	AVCC	Вивід живлення аналогово-цифрового перетворювача Порт C (3 .. 0), і ADC (7 .. 6).
20	AREF	Вхід підключення джерела опорної напруги АЦП
10, 11	ADC7..6 (TQFP and QFN/MLF Package Only)	У TQFP і корпусі QFN / MLF, ADC7 .. 6 служать аналоговими входами до конвертера А / D. Ці аналогові контакти і служать 10-бітовими каналами АЦП.

Таблиця 4.3 – Функції виводів на мікроконтролері АТmega8-16AU [4]

Вихід	Функція виводу
Port C (PC5..PC0)	Шина даних для рідкокристалічного індикатора
Port D (PD6/AIN0, PD5/T1, PD3/INT1)	Порт для опитування клавіатури
Port D (PD1/TXD, PD0/RXD)	Послідовний порт
Вихід	Функція виводу
Port D (PD2/INT0)	Порт переривань
Port B (PB0, PB2, PB4, PB5)	Порт управління схемою керування формуванням сигналу

З метою розуміння роботи мікроконтролера детально зупинимося на розбиранні блок-схеми, що наведено на рис. 5.4.

АТmega8 складається з таких елементів: 8 кбайт флеш-пам'ять, яка внутрішньо системно запрограмована та має підтримку читання в процесі запису,

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

512 байт EEPROM, 1 кбайт статичного ОЗУ, 23 лінії універсального вводу / виводу, 32 універсальних робочих регістрів, лічильник реального часу (RTC), 3 гнучких таймери-лічильники з режимами порівняння і ШІМ, 2 УСАПП, двопровідний послідовний інтерфейс, що виконує функцію передачі байт, 6-ти канальний (вісім каналів в TQFP і пакетах QFN / MLF) 10-разрядний АЦП, запрограмований сторожовий таймер із внутрішнім генератором, послідовний порт SPI, крім того, шість програмно обраних режимів зменшення потужності.

Режим холостого ходу (Idle) призначений для зупинення ЦПП, але при цьому повинен підтримувати роботу статичного ОЗУ, таймерів-лічильників, SPI-порту та системи переривань.

Режим виключення (Powerdown) уможлиблює зберігати вміст регістрів, під час зупинення генератора та вимкненні вмонтованих функцій до наступного зупинення або апаратного скидання.

Асинхронний таймер (Power-save) служить для продовження роботи в економному режимі, що уможлиблює збереження функції відліку часу, навіть, коли інша частина контролера перебуває у стані сну.

Режим зменшення шумів АЦП (ADC Noise Reduction) призупиняє ЦПП та всі модулі вводу / виводу, окрім асинхронного таймера і АЦП з метою зменшення імпульсних шумів під час перетворення АЦП.

У режимі Standby кварцовий / резонаторний генератор продовжує роботу, коли інша частина мікроконтролера перебуває у режимі сну. Режим сну передбачає невелику спожиту потужність, але, не зважаючи на це, швидко може повернутися у робочий стан.

ATmega8-16AU розроблений за технологією високо щільної незалежної пам'яті компанії Atmel. Вмонтована внутрішньо системна програмована флеш-пам'ять сприяє перепрограмувати пам'ять програм усередині системи за допомогою послідовного інтерфейс SPI застосовуючи простий програматор або автономні програми у секторі завантаження. Програма завантаження може застосовувати будь-який інтерфейс для закачування прикладної програми у флеш-пам'ять. Програма в секторі завантаження продовжує роботу під час поновлення прикладної секції флеш-пам'яті, таким чином, підтримуючи двохопераційність: читання під час запису.

Досягнення високої гнучкості і ефективної вартості в процесі проектування більшості додатків вмонтованого керування забезпечується поєднанням

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

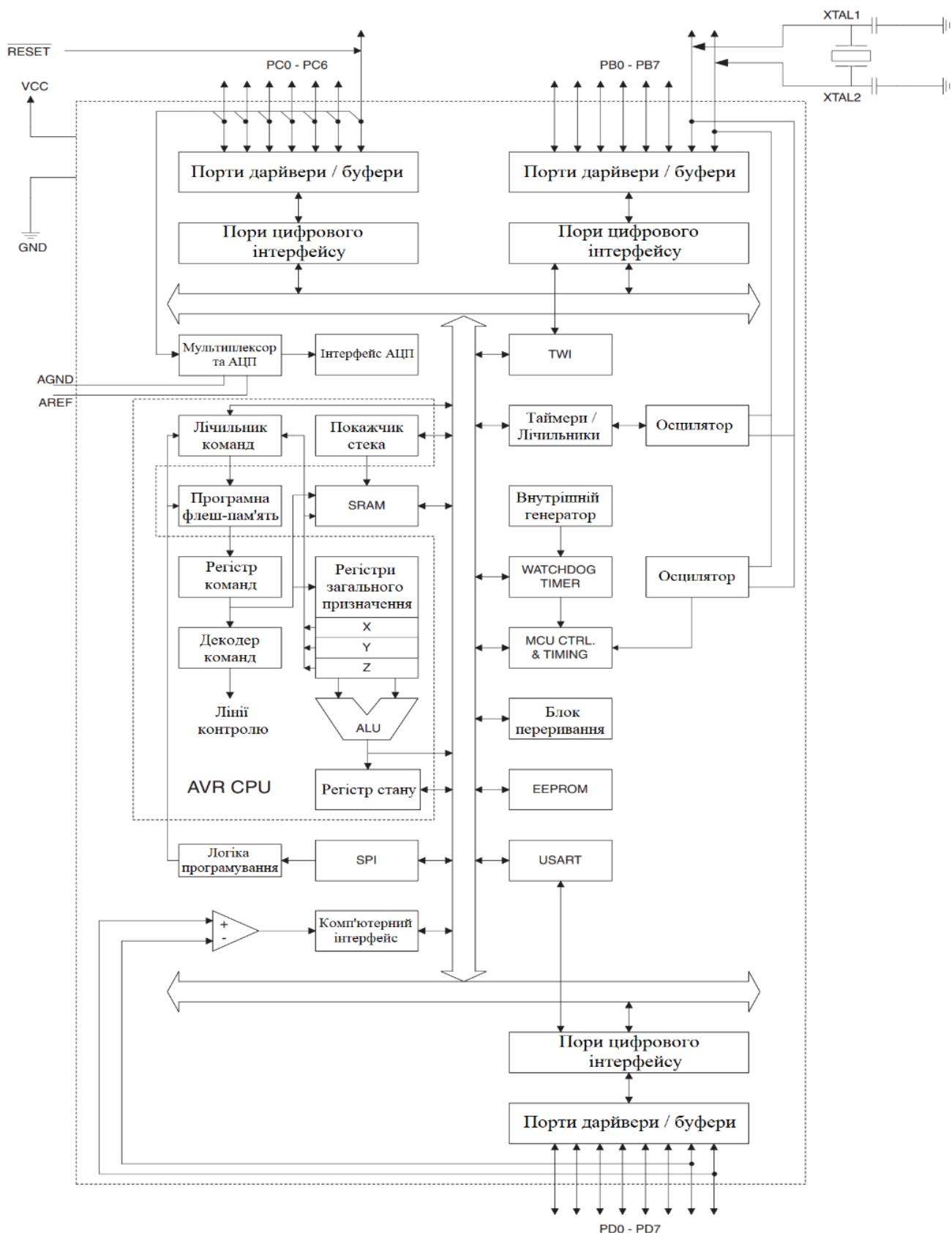


Рисунок 5.4 – Блок схема мікроконтролера АТмега8-16АВ

8-розрядного RISC ЦПІ з внутрішньо системною само програмованою флеш-пам'яттю в одній мікросистемі та потужності мікроконтролера ATmega8-16AU.

ATmega8-16AU підтримується великим набором програмних і апаратних засобів для проектування, а саме: макроасемблери, Сі-компілятори, програмні відладчики / симулятори, внутрішньо системні емулятори та оціночні набори.[4]

Повністю схемою можна управляти за допомогою трьох кнопок. Включення до мікроконтролера цих кнопок ілюстровано на рис. 5.5.

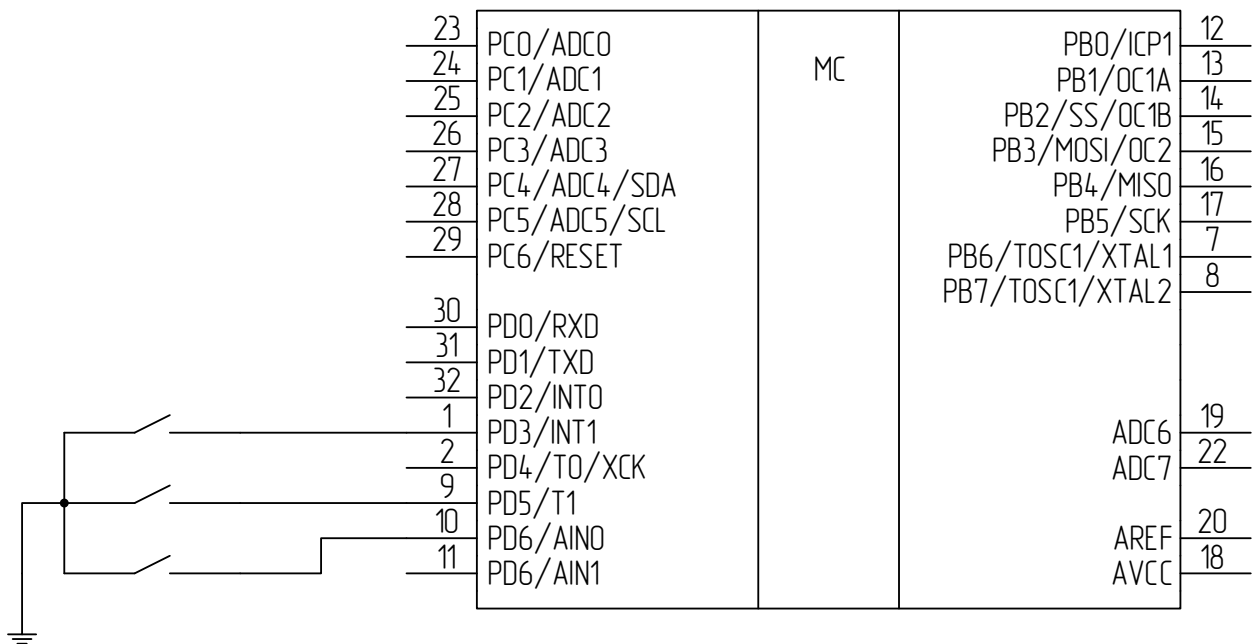


Рисунок 5.5 – Схема підключення кнопок до мікроконтролера

5.3 Вибір індикатора

Відображення сигналу, що генерується, відбувається за допомогою індикатора. З цією метою був обраний рідкокристалічний індикатор МТС-16202Х.

Принципальне позначення МТС-16202Х показано на рис. 5.6.

Функції виводів для індикатора МТС-16202Х наведені у таблиці 5.4.[5]

З метою ініціалізації РКІ модуля необхідно виконати наступну алгоритм дій. Пауза повинна витримуватися не менш ніж 15 мс між робочою напругою живлення (> 4,5 В) та виконанням певних операцій з контролером. По-перше,

виконати команду, що відбирає та накопичує розрядність шини (це команда \$ 30 не зважаючи на розрядність інтерфейсу, який буде використовуватися далі), при цьому значення прапора BF не потрібно перевіряти. По-друге, знову витримати паузу не менш 4,1 мс і команду вибору розрядності шини повторити без перевірки прапора BF. Наступний крок - знову витримати паузу протягом 100 мкс, і повторити команду встановлення розрядності шини, без перевірки BF.

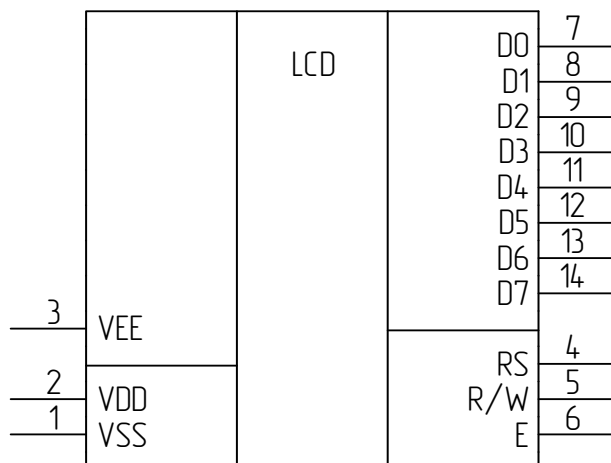


Рисунок 5.6 – Принципіальне позначення рідкокристалічного індикатору МТС-16202Х.

Таблиця 5.4 – Призначення виводів МТС-16202Х [5]

№ виводу	Назва	Описання виводу
1	VSS	Вивід заземлення пристрою
2	VDD	Джерело живлення (+)
3	V0	Блок живлення для РКІ-панелі
4	RS	Сигнал вибору регістра
5	R/W	Вибір режиму запису або читання
6	E	Дозвіл звернень до індикатора
7	D0-D7	Шини даних вводу/виводу

Призначення таких операцій – виведення контролера в перш початковий режим роботи (переведення в режим роботи з 8-ми розрядною шиною) з будь-якого стану. Далі, після виконання цих операцій, без витримки пауз, перевіряючи прапор BF, проводиться ініціалізація режимів роботи з послідовністю, що ініціалізується.

Розглянемо більш детально включення та принцип дії індикаторів на контролері HD44780.

З метою приєднання РКІ-модуля до системи управління застосовується паралельна синхронна шина, яка нараховує 8 або 4 (обирається програмно) ліній даних DB0 ... DB7, лінію вибору операції R / W, лінію вибору регістра RS і лінію стробування / синхронізації E. Окрім ліній управляючої шини є дві лінії для подавання напруги живлення 5 В V_{ss} і V_{dd} , і лінія для подавання напруги живлення драйвера РКІ - V_0 .

На першому етапі потрібно подати живлення на РКІ-модуль і привести його у робочій стан. Схема підключення модуля, що діє за умов стандартного діапазону температур, наведена на рис. 4.7 а). Змінення напруги живлення драйвера РКІ, що сприяє зміні кута повороту рідких кристалів, відбувається за рахунок підлаштованого резистора R1. Останнім можна регулювати фактичну контрастність при зміні кута спостереження (згори-вниз або знизу-вгору). Підключення до цієї схеми РКІ-модуля, що розрахований для збільшений діапазон температур, не покращить ситуацію. Це пояснюється тим, що завдяки особливості ЖК-матеріалів, які використовуються у цій конструкції, РКІ вимагають підвищеної напруги живлення. Напруга 5 В занадто низька та її не достатньо для появи зображення або зображення буде поганої якості. Підвищення напруги живлення не можливе за рахунок особливості застосування ЖК-матеріалів.

Для покращення ситуації потрібно подати на вивід V_0 напругу з позначко. «-» (напруга на РКІ визначається різницею V_{dd} і V_0), що дорівнює у граничному випадку - 5 В. У разі відсутності у схемі джерела негативної напруги завжди є можливість застосувати найпростіший перетворювач, як показано на схемі (рис. 5.7 б).

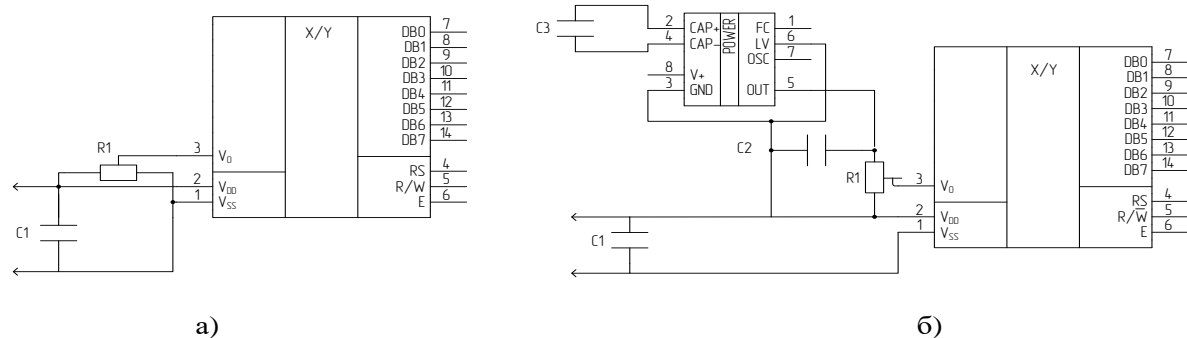


Рисунок 5.7 – Подача живлення на РКІ-модуль

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

генератор, формувач курсору, зсувні регістри і драйвери (наведена схема не відображає проміжних елементів, оскільки є спрощеною та ілюструє тільки загальну картину).

Керування контролером проводиться за допомогою інтерфейсу системи управління. Ключовими об'єктами взаємодії виступають регістри DR і IR. Вибір певного адресного регістра проводиться лінією RS, якщо $RS = 0$ - регістр команд (IR), якщо $RS = 1$ - регістр даних (DR).

Через регістр DR дані, відповідно до поточного режиму, можуть зчитуватися або розміщуватися в відео пам'ять (DDRAM) або в ОЗУ знако генератора (CGRAM) за поточною адресою, яка зазначається лічильником адреси (AC). Інформація у регістр IR, надається пристроєм виконання команд як послідовність дій, що керується. Читання регістра IR повертає в 7-ми молодших розрядах поточне значення лічильника AC, а в старшому розряді прапор зайнятості (BF).

Відео пам'ять, загальним обсягом 80 байтів, служить для збереження кодів символів, які відтворюються на РКІ. Влаштування відео пам'яті створено у двох рядках по 40 символів у кожному. Така будова не піддається зміні. Тобто, незважаючи на кількість реальних рядків, що має кожен конкретний РКІ-модуль, 80 x 1 або 20 x 4, відео пам'ять відтворюється у двох рядках по 40 символів.

Набір внутрішніх прапорів, які входять до складу HD44780 та відповідають за режим роботи різних компонентів контролера, приведені в таблиці 5.6.

Значення управляючих прапорів, що подають сигнал на РКІ-модуль напруги живлення наведені у таблиці 5.7. Заміна значень прапорів відбувається спеціальними командами, що заноситься в регістр IR, у цьому разі композиції старших бітів окреслюють групу прапорів або команду, а у складі молодших знаходяться саме прапори.

Таблиця 5.6 – Призначення прапорів, які керують роботу контролера HD44780[6]

Назва прапору	Призначення прапору
I / D	Режим зміщення лічильника адреси AC, 0 - зменшення, 1 - збільшення.
S	Прапор режиму зсуву вмісту екрана. 0 - зсув екрану не проводиться, 1 - після запису в DDRAM чергового коду екран

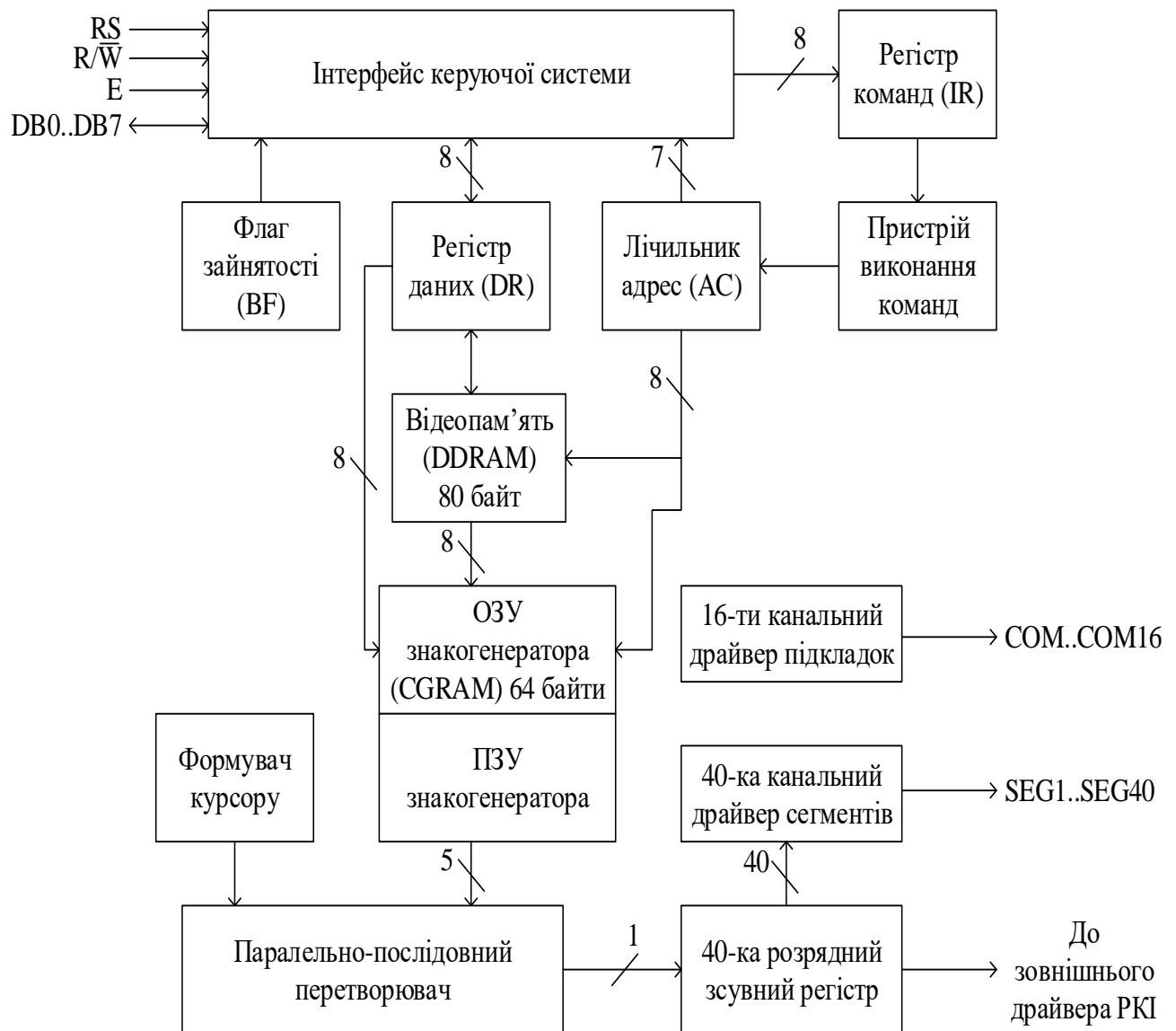


Рисунок 5.8 – Спрощена структурна схема контролера HD44780

Перелік керуючими композиціями бітів регістра IR та команди, які вони виконують, наведені в таблиці 5.8. Для введення будь-якого тексту при підключенні РКІ-модуля та появи зображення, необхідно змінити значення прапора на D = 1.

Таблиця 5.8 – Керуючі комбінації бітів регістра IR [6]

Значення D7 D6 D5 D4 D3 D2 D1 D0	Призначення
0 0 0 0 0 0 0 1	Очищення екрану, AC = 0, адресація AC на DDRAM

Значення D7 D6 D5 D4 D3 D2 D1 D0	Призначення
0 0 0 0 0 1 -	AC = 0, адресація на DDRAM, скинуті зрушення, початок рядка адресується на початку DDRAM
0 0 0 0 0 1 I / D S	Вибирається напрямок зсуву курсору або екрана
0 0 0 0 1 D C B	Вибирається режим відображення
0 0 0 1 S / C R / L - -	Команда зсуву курсора / екрану
Значення D7 D6 D5 D4 D3 D2 D1 D0	Призначення
0 0 1 DL N F - -	Визначення параметрів розгортки і ширини шини даних
0 1 AG AG AG AG AG AG	Присвоєння лічильнику AC адреси в області CGRAM
1 AD AD AD AD AD AD AD	Присвоєння лічильнику AC адреси в області DDRAM

Призначення контролера HD44780 полягає у підтримці операцій запису та читання. Читання регістру DR, у відповідності від поточного режиму, спонукає до завантаження вмісту DDRAM або CGRAM. Курсор при цій дії зміщується на одну позицію, що відбувається і в процесі запису. Читання регістра IR переводить у зворотній бік 8 значущих розрядів, при цьому в 7-ми молодших знаходиться поточне значення лічильника AC (7 розрядів, коли призначається для DDRAM, і 6 - для CGRAM), а в старшому - прапор зайнятості BF. Значення прапора дорівнює 1 у разі зайнятості контролера та 0 – коли контролер вільний. Більшість операцій, що виконує контролер потребують чимало часу (приблизно 40 мкс і більше). Враховуючи це, цикл очікування зняття прапора BF є обов'язковою присутністю в програмах драйвера РКІ-модуля та повинен передувати будь-якій операції (зокрема операції перевірки прапора BF).[6]

5.4 Вибір цифро-аналогового перетворювача

Для акумуляції сигналів розглянемо високошвидкісний цифро-аналоговий перетворювач AD9765.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

AD9765 - двопортовий, високошвидкісний, 12розрядний CMOS ЦАП. У складі кожної частина об'єднано два високоякісних ядра TxDAC + ®, опорний сигнал напруги та схема цифрового інтерфейсу в LQFP корпус з 48 виводами.

AD9765 сприяє винятковій продуктивності змінного і постійного струму, при цьому підтримує швидкість оновлення до 125 MSPS. AD9765 призначений для переробки даних I і Q в комунікаційних програмах.

Характеристика перетворювача AD9765 наведено на рис. 5.9.

16	DVDD1	#/\^	loutA1	46
22	DVDD1		loutB1	45
			loutA2	39
			loutB2	40
47	AVDD			
1	DB0-P1			
2	DB1-P1			
3	DB2-P1			
4	DB3-P1			
5	DB4-P1			
6	DB5-P1			
7	DB6-P1		FSADJ1	44
8	DB7-P1		FSADJ2	41
9	DB8-P1		REFIO	43
10	DB9-P1		GAINCTRL	42
11	DB10-P1			
12	DB11-P1			
23	DB0-P2			
24	DB1-P2			
25	DB2-P2			
26	DB3-P2			
27	DB4-P2			
28	DB5-P2			
29	DB6-P2			
30	DB7-P2		DCOM1	15
31	DB8-P2		DCOM2	21
32	DB9-P2			
33	DB10-P2			
34	DB11-P2			
17	WRT1/IQWRT			
18	CLK1/IQCLK1			
20	WRT2/IQSEL			
19	CLK2/IQRESET			
48	MODE			
37	SLEEP		ACOM	38

Рисунок 5.9 – Принципіальне позначення цифрово-аналогового перетворювача AD9765.

						Арк.
					ЕлІТ 8.171.00.10.172 ПЗ	
Змн.	Арк	№ докум.	Підпис	Дата		

З метою розуміння роботи AD9765 розглянемо описання виводів, що наведені у таблиці 5.9. [7]

Таблиця 5.9 – Описання виводів AD9765 [7]

№ виводу	Назва	Описання виводу
1...12	DBxP1	Бітові контакти даних (Порт 1)
15, 21	DCOM1, DCOM2	Загальний цифровий порт
16, 22	DVDD1, DVDD2	Цифрова напруга живлення
17	WRT1/IQWRT	Вхідний сигнал записи для Порт 1 (IQWRT в режимі чергування)
18	CLK1/IQCLK	Вхідний сигнал годинників для ЦАП1 (IQCLK в режимі чергування)
19	CLK2/IQRESET	Вхідний сигнал годинників для ЦАП2 (IQRESET в режимі чергування)
20	WRT2/IQSEL	Вхідний сигнал запису для Порт 2 (IQSEL в режимі чергування)
23...34	DBxP2	Бітові контакти даних (Порт 2)
37	SLEEP	Вхід управління живленням
38	ACOM	Загальний аналоговий порт
39, 40	I _{OUTA2} , I _{OUTB2}	Виходи струмів диференціального ЦАП Порту 2
41	FSADJ2	Повномасштабне регулювання вихідного струму для ЦАП2
42	GAINCTRL	Режими управління ведучим / веденим резистором
43	REFIO	Довідковий ввід / вивід
44	FSADJ1	Повномасштабне регулювання вихідного струму для ЦАП1
45, 46	I _{OUTA1} , I _{OUTB1}	Виходи струмів диференціального ЦАП Порту 1
47	AVDD	Аналогова напруга живлення
48	MODE	Вибір режиму (1 = двопортовий, 0 = чергуванням)

ЦАП (тобто > 100 кОм) необхідно, замість сходів R-2R, реалізувати середній і нижній біти з джерелами струму.

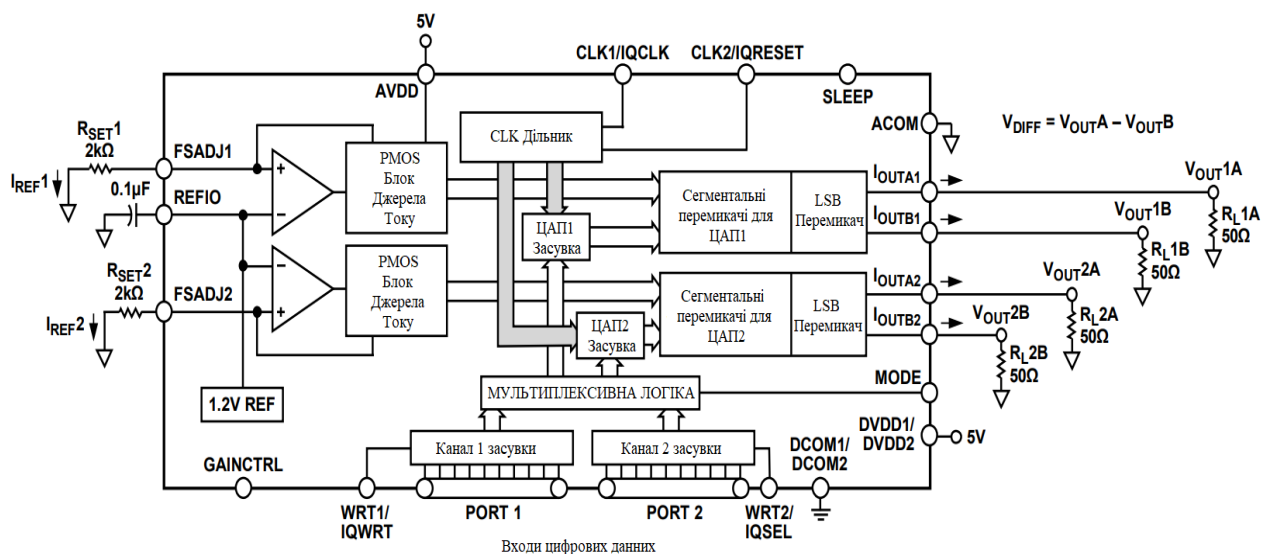


Рисунок 5.10 – Спрощена блок схема цифрово-аналогового перетворювача AD9765

Ці джерела струму перемикаються на один з двох вихідних вузлів (I_{OUTA} або I_{OUTB}) за допомогою диференціальних струмових перемикачів PMOS. Комутатори базуються на новій конструкції, яка значно покращує властивості приладів. Ця конструкція комутатора мінімізує різні помилки синхронізації і сприяє узгодженню додаткових сигналів приводу із входами диференціальних струмових перемикачів.

Аналогові і цифрові розділи AD9765 оснащені відокремленими входами живлення (тобто AVDD і DVDD1 / DVDD2), які можуть працювати відокремлено при 3,3 В або 5 В. Цифрова секція, що працює у режимі до 125 MSPS, побудована із засувки з крайовим запуском і логічної схеми декодування сегментів. Аналогова секція має джерела струму PMOS, які поєднані диференціальним перемикачем, опорний сигнал напруги в смузі 1,20 В і два опорних управляючих підсилювача.

Регулювання вихідного струму повної шкали кожного ЦАП здійснюється підсилювачами опорного керування та може бути установлена від 2 мА до 20 мА за допомогою зовнішньої мережі, яка з'єднана з повною шкалою налаштування (FSADJ) виводів.

Вважаємо $R_{11} = 5,1 \text{ кОм}$.

Фільтр нижніх частот розраховуємо для частоти зрізу $F_{зр} = 14 \text{ МГц}$ та частоти $F_s = 20 \text{ МГц}$ на якій необхідно досягти рівня згасання 50 дБ. Тоді, виходячи з співвідношень наведених в [Книга] для опору навантаження 50 Ом можна отримати:

$$\eta_{\infty} = \frac{F_s}{F_{зр}} = \frac{20 \cdot 10^6}{14 \cdot 10^6} = 1,43,$$

$$m = \frac{\sqrt{(\eta_{\infty})^2 - 1}}{\eta_{\infty}} = \frac{\sqrt{(1,43)^2 - 1}}{1,43} = 0,71,$$

$$L_2 = L_4 = \frac{1 - m^2}{m} \frac{R_H}{2\pi F_{зр}} = \frac{1 - (0,71)^2}{0,71} \frac{50}{2\pi \cdot 14 \cdot 10^6} = 0,4 \text{ мкГн},$$

$$L_3 = 2m \frac{R_H}{2\pi F_{зр}} = 2 \cdot 0,71 \frac{50}{2\pi \cdot 14 \cdot 10^6} = 0,8 \text{ мкГн},$$

$$C_{12} = C_{14} = m \frac{1}{2\pi F_{зр} R_H} = 2 \cdot 0,71 \frac{1}{2\pi \cdot 14 \cdot 10^6} = 322 \text{ пФ}.$$

Вважаємо $C_{12} = C_{14} = 330 \text{ пФ}$.

5.5. Вибір ПЛІС

Для роботи з оперативною пам'яттю та передачі даних до ЦАП для генерації був вибраний ПЛІС ЕРМ3128АТС100-7.

ЕРМ3128АТС100-7 – це недорогий, високопродуктивний пристрій, заснований на архітектурі Altera MAX. Він виконаний на технології EEPROM (ППЗУ з електричним стиранням інформації), має програмовану матрицю внутрішніх з'єднань (PIA - Programmable Interconnect Array), що забезпечує високу швидкодію і передбачувані затримки сигналів.

Принципальне позначення показане на рис. 5.11.

Архітектура мікросхеми ЕРМ3128АТС100-7 забезпечує 100% -емуляцію ТТЛ логіки і логічні функції малого, середнього та високого рівня інтеграції та володіє схемо технічним потенціалом декількох мікросхем PALs, GALs, і 22V10s з MACH і pLSI.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

У мікросхемі EPM3128ATC100-7 для виконання логічних функцій використовуються осередки КМОП (CMOS), виконані за технологією EEPROM. При розробці і налагодженні проекту мікросхеми можуть багаторазово репрограмуватися (кількість циклів стирання програмування не менше 100).

EPM3128ATC100-7 містить від 128 макроосередків, об'єднаних в групи по 16 макроосередків, званих блоками логічних масивів (LABs - LogicArrayBlocks).

Кожен макроосередок може розглядатися як програмована матриця «І» і фіксована матриця "АБО". На виході матриці АБО включений регістр з схемою управління, що конфігурується. Схема управління регістром забезпечує незалежно програмовані сигнали синхронізації (clock), дозволу синхронізації (clock enable), обнуління (clear) і попередньої установки (preset).

Для реалізації складних логічних функцій макросередки можуть використовувати загальні колективні логічні розширювачі і високошвидкісні паралельні розширювачі термів. Логічні розширювачі забезпечують реалізацію до 32 термів на макроосередки.

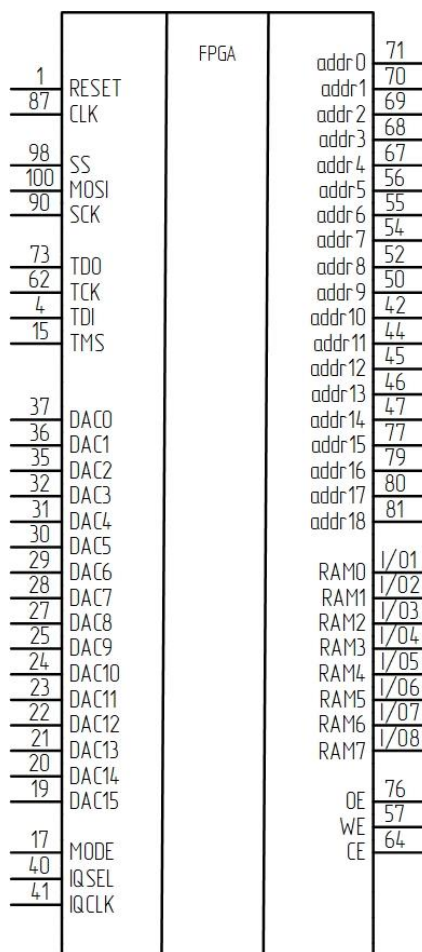


Рис. 5.12 – Принципіальне позначення EPM3128ATC100-7

Мікросхема EPM3128ATC100-7 має можливість оптимізації енергоспоживання і швидкодії. Ця можливість забезпечується змішаним режимом роботи: високошвидкісні вузли мікросхеми можуть працювати з високою швидкістю при повному енергоспоживанні, при цьому, інші вузли можуть працювати в режимі зниженого швидкодії і енергоспоживання.

Проектувальник може конфігурувати одну або кілька макроосередків на роботу в режимі зниженого споживання <50% потужності при збільшенні затримки на номінальне значення.

Мікросхема EPM3128ATC100-7 забезпечує можливість зменшення швидкості наростання напруги вихідних буферів. Це дозволяє зменшити перешкоди і перехідні процеси в ланцюгах сигналу при включенні опції non-speed-critical-signals.

Вихідні каскади мікросхеми EPM3128ATC100-7 можуть програмуватися для роботи з рівнями 2,5- або 3,3-вольтового живлення. Входи мікросхеми сумісні з напругою 2,5 В, 3,3 В, і 5,0 В. Зазначені можливості дозволяють використовувати мікросхему EPM3128ATC100-7 в системах зі змішаним живленням.

EPM3128ATC100-7 підтримується інструментальними САПР фірми Altera, що реалізують повний цикл розробки: схемо технічний опис проекту, текстовий опис проекту на мовах VHDL, Verilog HDL, і Altera Hardware Description Language (AHDL), опис тимчасовими діаграмами, синтез, компіляцію, моделювання проекту, аналіз його тимчасових характеристик і програмування мікросхеми. Програмне забезпечення підтримує інтерфейси EDIF 200 і 300, LPM, VHDL, Verilog HDL, та інші для додаткового введення опису проекту і підтримки моделювання в інших стандартах електронних САПР (EDA) на платформах робочих станцій PC і UNIX.

Програмне забезпечення працює під операційними системами Windows на платформі PC, а також на робочих станції Sun SPARC HP 9000 серій 700/800.

5.5.1. Архітектура EPM3128ATC100-7

Архітектура мікросхеми EPM3128ATC100-7 включає наступні елементи:

- блоки логічних масивів (LABs);
- макроосередки (Macrocells);

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- спільні (Shareable) і паралельні (Parallel) розширювачі;
- програмована матриця з'єднань (PIA);
- керовані блоки введення / виводу (I / O control blocks).

Мікросхема EPM3128ATC100-7 має чотири спеціалізованих виділених виведення (dedicated pin), які можуть використовуватися як входи загального призначення або входи високошвидкісних глобальних керуючих сигналів (синхронізації - clock, обнулення - clear і двох сигналів дозволу виходу - enable), для кожного макроосередку і контакту введення / виведення - I / O. Збільшена блок-схема внутрішньої архітектури мікросхем EPM3128ATC100-7 приведена на рис. 5.13.

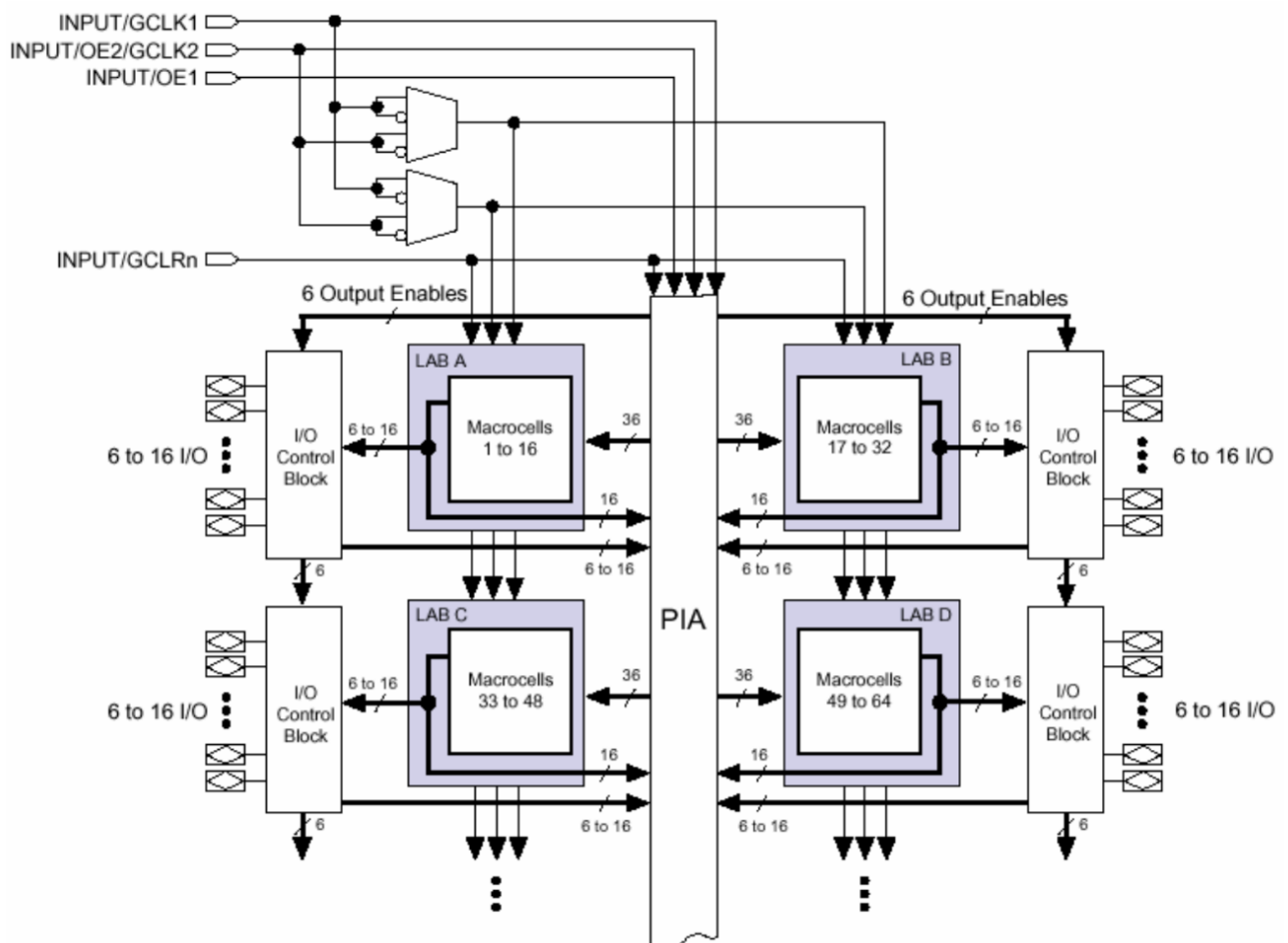


Рис. 5.13 – Внутрішня архітектура мікросхеми EPM3128ATC100-7

5.5.1.1 Блоки макроосередків

Основу архітектури мікросхеми EPM3128ATC100-7 становлять високопродуктивні блоки LAB (Logic Array Block). Кожен LAB-блок утворений

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

матрицею з 16-ти макросередків. Кілька LAB-блоків з'єднані між собою за допомогою програмованої матриці внутрішніх з'єднань (ПМС) (PIA - Programmable Interconnect Array). Матриця ПМС - це загальна шина, що з'єднує всі І / О-виводи, виділені спеціалізовані виводи і макросередки.

До кожного LAB-блоку підключаються наступні сигнали:

- 36 сигналів матриці з'єднань, що використовуються для логічних входів загального призначення;
- глобальні сигнали управління регістрами.

5.5.1.2 Макросередки

У кожному макросередку (macrocell) мікросхеми EPM3128ATC100-7 може конфігуруватися будь-яка комбінаційна або послідовна логіка.

Макросередки складаються з наступних функціональних елементів (див. рис. 5.14):

- логічної матриці "І",
- матриці вибору умов (product-term select matrix),
- програмованого вихідного регістра.

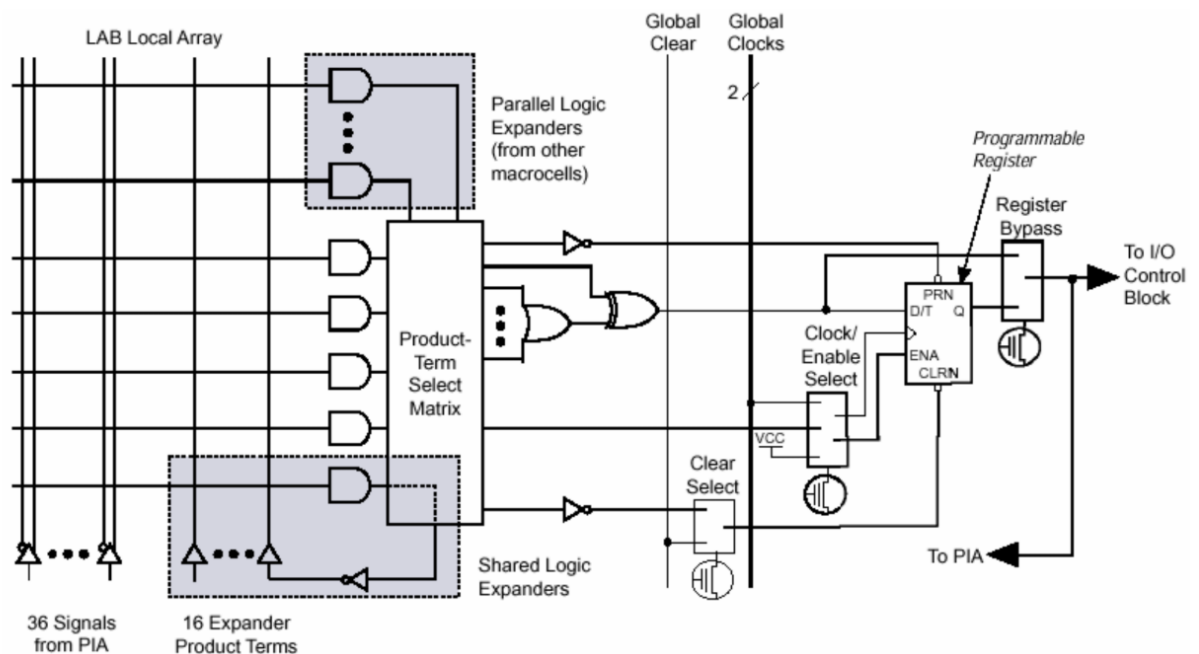


Рис. 5.14 – Макросередок мікросхеми EPM3128ATC100-7

Комбінаторна логіка реалізується в макросередку за допомогою логічної матриці "І", які формують п'ять кон'юнктивних термів. Матриця вибору термів

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

розподіляє терми на входи елементів "АБО" і "Виключне АБО", що реалізують логічну функцію вхідних змінних.

Матриця вибору умов (Product Term Select Matrix) забезпечує розподіл термів на входи управління вихідним регістром макроосередку: сигнали синхронізації (clock), дозволу запису (clock enable), обнуління (clear) і попередньої установки (preset).

Нарощування логічних ресурсів макроосередку забезпечується логічними розширювачами наступних двох типів:

- загальні логічні розширювачі - приймають власні кон'юнктивні терми макроосередку з матриці розподілу термів і подають їх в інвертованому вигляді назад в логічну матрицю "Г";
- паралельні логічні розширювачі, приймають кон'юнктивні терми суміжних макроосередків.

Розподіл кон'юнктивних термів, що відповідає реалізованій логічній функції, виконується САПР розробки.

При реалізації тільки комбінаційної логіки вихідний тригер макроосередку може бути виключений за допомогою спеціального ланцюга обходу.

Кожен макроосередок може індивідуально програмуватися для реалізації D-, T-, JK-, або SR-тригера з програмованим режимом синхронізації.

Потрібний тип тригера визначається розробником при описі проекту, потім САПР розробки вибирає режим роботи тригера для оптимізації використовуваних ресурсів ПЛІС.

Кожен програмований регістр має наступні три режими синхронізації:

- глобальна синхронізація тактовим сигналом Global Clock, що забезпечує високу швидкодію по затримці "синхросигнал - вихід" (clock-to-output).
- глобальна синхронізація тактовим сигналом Global Clock з дозволом синхронізації сигналом Enable високого активного рівня, який формується термом макроосередку. Забезпечує дозвіл синхронізації кожного тригера при високій швидкодії "синхросигнал - вихід" (clock-to-output).
- синхронізація сигналом, який формується термом макроосередку або сигналом з вхідного/вихідного виводу ПЛІС.

У мікросхемі EPM3128ATC100-7 використовуються два глобальних тактових сигналу CLK1, CLK2. Як видно на рис. 1, синхронізація може

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

здійснюватися безпосередньо синхросигналами CLK1, CLK2, а також синхросигналом, сформованим з двох сигналів CLK1, CLK2.

5.5.1.3 Логічні розширювачі

Більшість логічних функцій може бути реалізовано за допомогою п'яти кон'юнктивних термів, що формуються в кожному макроосередку, однак для реалізації складних логічних функцій потрібне використання більшого числа термів.

Варіант забезпечення необхідних логічних ресурсів полягає в реалізації в ПЛІС макроосередків іншої конфігурації. Однак архітектура EPM3128ATC100-7 дозволяє реалізовувати розширений набір термінів у кожному макроосередку. Це забезпечується наявністю в кожному макроосередку логічних розширювачів: загального розподільного розширювача (shareable expander) і паралельного розширювача (parallel expander). Логічні розширювачі забезпечують доповнення набору термів будь якого макроосередку термами інших макроосередків того ж LAB-блоку.

Ці розширювачі забезпечують синтезування заданих логічних функцій при мінімальному використанні ресурсів ПЛІС і максимально можливій її швидкодії.

Загальні розподільні розширювачі

Кожен LAB-блок має 16 загальних розподільних розширювачів (shareable expanders), які збирають вільні кон'юнктивні терми (по одному від кожного макроосередку), інвертують їх і подають назад в логічну матрицю "I". Кожен загальний розширювач може підключати терми з будь якого макроосередка в LAB-блоці, що забезпечує реалізацію складних логічних функцій.

Загальні розширювачі вносять невелику затримку (t_{sexp}). Використання загальних розширювачів ілюструє рис. 5.15.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

розширювачі від інших макроосередків. Наприклад, макроосередок 8, може займати паралельний розширювач макроосередку 7, 7-а від 6-ої, або 5-ої.

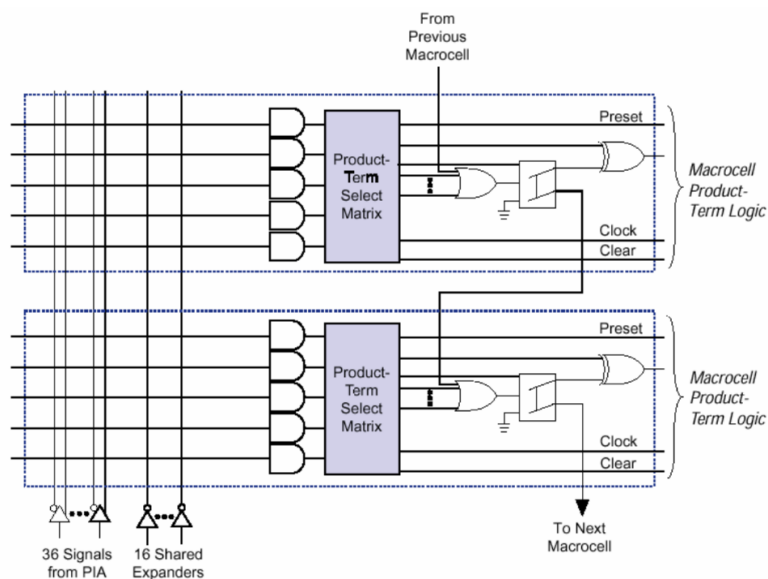


Рис. 5.16 – Паралельні розширювачі мікросхеми EPM3128ATC100-7

Усередині кожної групи з восьми макроосередків, самий нижній за номером макроосередок може тільки віддавати паралельні розширювачі, верхній за номером – тільки отримувати. Використання паралельних розширювачів сусіднім макроосередком ілюструє рис. 5.16.

5.5.1.4 Програмована матриця з'єднань

Програмована матриця з'єднань - ПМС (PIA – Programmable Logic Array) забезпечує розведення логічних сигналів між блоками LAB. ПМС - це загальна шина, яка реалізує програмований маршрут з'єднання будь-якого місця кристала ПЛІС з будь-яким джерелом сигналу. До ПМС підключаються виводи всіх макроосередків, а також всі виводи мікросхеми EPM3128ATC100-7, включаючи спеціалізовані виводи (Dedicated pins) та виводи входу / виходу (I / O) I / O-виводи. Від ПМС до блоку LAB підключаються тільки призначені йому сигнали.

Підключення сигналів ПМС до LAB показано на рис. 5.17. Сигнал ПМС, що подається до LAB вибирається за допомогою двох вхідного елемента "І", сигнал на одному з входів якого формується за допомогою EEPROM-осередку.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Архітектура мікросхеми EPM3128ATC100-7 дозволяє реалізувати двопетльовий зворотний зв'язок. При цьому петлі зворотного зв'язку макроосередку і виводу незалежні - вивід може бути налаштований як вхідний, а відповідний макроосередок може використовуватися для реалізації внутрішньої логіки.

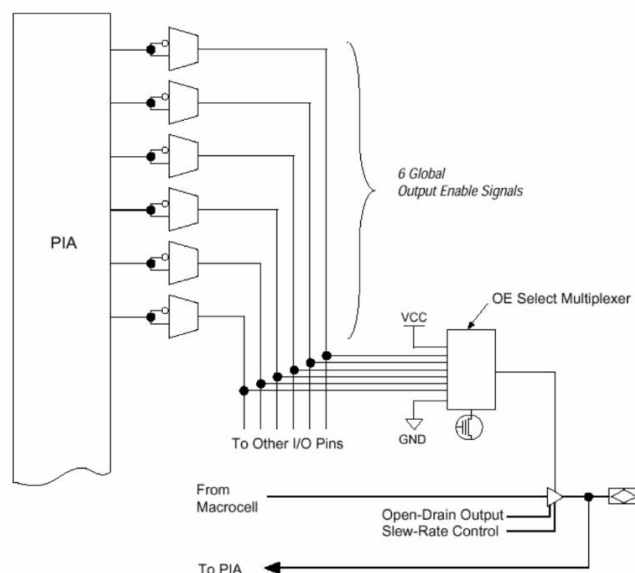


Рис. 5.18 – Керований блок вводу/виводу мікросхеми EPM3128ATC100-7

5.5.2. Застосування мікросхеми EPM3128ATC100-7

5.5.2.1 Режими роботи елементів вводу/виводу

Вивід мікросхеми EPM3128ATC100-7 може програмуватися для задоволення різних системних вимог.

Мультівольтовий інтерфейс вводу/виводу

Архітектура мікросхеми EPM3128ATC100-7 підтримує змішане живлення і мультівольтовий (Multi Volt) інтерфейс входу виходу (I / O), що дозволяє використовувати EPM3128ATC100-7 в схемах з різним живленням. Мікросхема EPM3128ATC100-7 в різних корпусах працюють при напрузі живлення елементів входу / виходу 2,5 В, 3,3 В, або 5,0 В. При змішаному живленні використовуються роздільні напруги живлення логічного ядра і вхідних буферів мікросхем (V_{CCINT}) та вихідних буферів (V_{CCIO}).

										Арк.
Змн.	Арк	№ докум.	Підпис	Дата	ЕЛІТ 8.171.00.10.172 ПЗ					

Залежно від вимог до вихідних сигналів виводи можуть живитися напругою $V_{CCIO} = 3,3$ В або $2,5$ В. При живленні $V_{CCIO} = 2,5$ В вихідні каскади сумісні зі схемами, що використовують напругу $2,5$ В. При живленні $V_{CCIO} = 3,3$ В вихідні каскади сумісні зі схемами, що використовують напругу $3,3$ В або $5,0$ В. Мікросхеми, що працюють з рівнями V_{CCIO} нижче ніж $3,0$ В мають велику тимчасову затримку (t_{OD2} замість t_{OD1}). Входи сприймають сигнали рівнів $2,5$ В, $3,3$ В і $5,0$ В

Організація виводів з відкритим стоком

Мікросхема EPM3128ATC100-7 має можливість установки для кожного I / O- виводу режиму з відкритим стоком (еквівалентно виводу з відкритим колектором). Можливість визначення виводу з відкритим стоком дозволяє мікросхемі формувати керуючі сигнали системного рівня (наприклад, сигнали переривання і запису), що сприймаються кількома мікросхемами. Це також забезпечує реалізацію схем "монтажне АБО".

Виводи відкритого стоку в мікросхемі EPM3128ATC100-7 (з підтягуючим резистором до напруги $5,0$ В) можуть управляти входами $5,0$ -ти вольтовими CMOS-мікросхемами, які вимагають високого рівня логічної одиниці VIH.

Коли вивід відкритого стоку активний, він формує низький логічний рівень. Коли ж він не активний, резистор підтягує його логічний рівень до напруги $5,0$ В. За відсутності цього резистора вивід відкритого стоку забезпечує або низький логічний рівень, або третій стан. Тривалість фронту сигналу залежить від номіналу підтягуючого резистора та опору навантаження. Вибір підтягуючого резистора повинен визначатися заданою величиною струму логічного нуля IOL.

Програмування швидкодії елементів введення / виведення

Для мікросхеми EPM3128ATC100-7 можлива установка двох режимів швидкодії (slew rate) вихідних буферів: висока швидкодія та низька швидкодія. У режимі високої швидкодії (faster slew rate) забезпечується максимальна крутизна фронтів сигналів. Однак при цьому може підвищуватися рівень перешкод в схемі. У режимі зниженої швидкодії (slow slew rate) сигнали мають

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

меншу крутизну фронтів, що знижує перешкоди в схемі, але збільшує затримку сигналу на 4 - 5 нс.

При виключенні конфігуруючого осередку «slew rate» встановлюється у режим «slow slew rate». Для управління режимом використовується кожен І / О висновок використовує індивідуальний EEPROM біт для кожного буфера. Установка slewrate впливає як на тривалість фронту так і на тривалість зрізу сигналу.

5.5.2.2 Режими швидкодії / споживання

У мікросхемі EPM3128ATC100-7 можлива установка режиму економії споживаної потужності для визначених користувачем сигналів або для мікросхеми в цілому. Визначальні швидкодії ланцюга можуть працювати з максимальною швидкістю, інші - за зниженою швидкістю, що забезпечує економію споживаної потужності в 50% і більше. Розробник проекту має можливість програмування режиму високого або низького швидкодії для кожного макроосередку мікросхеми EPM3128ATC100-7. Осередки з низькою швидкістю працюють зі зниженою споживаною потужністю. Тимчасова затримка таких макроосередків визначається сумою затримок (t_{LPA}) для t_{LAD} , t_{LAC} , t_{IC} , t_{ACL} , t_{EN} , t_{CPW} і t_{EXP} .

5.5.3 Програмування мікросхем

5.5.3.1 Програмування в системі (ISP)

Мікросхема EPM3128ATC100-7 може програмуватися в системі (ISP) через виводи інтерфейсу JTAG стандарту IEEE Std. 1149.1-1990. Можливість внутрішньо системного програмування (ISP) забезпечує істотне скорочення термінів налагодження проектів. У мікросхемі EPM3128ATC100-7 реалізована внутрішня генерація високої напруги для програмування осередків EEPROM, що дозволяє проводити ISP програмування напругою 3,3В. Під час ISP-програмування І / О-виводи мікросхеми знаходяться в третьому стані. Для уникнення конфліктів на платі їх потенціал повинен бути підтягнутий до потенціалу живлення. Номінал підтягуючого резистора становить 50 кОм.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

У мікросхемі EPM3128ATC100-7 реалізований вдосконалений ISP-алгоритм, що забезпечує прискорення програмування. Ці мікросхеми також мають спеціальний бітовий сигнал ISP_Done, який забезпечує успішне збереження операцій в процесі перериванні внутрісистемного програмування. Біт ISP_Done, що є останнім програмованим бітом. Поки цей біт не запрограмований, підключення І / О-виводів ПЛІС заборонено.

ISP-програмування спрощує процес виробництва пристроїв, оскільки установка мікросхем на друковану плату (PCB) може бути виконана до програмування. Мікросхема EPM3128ATC100-7 програмується шляхом завантаження інформації через вбудовані схеми тестування, вбудовані процесори, через послідовний порт з використанням завантажувальних кабелів Master Blaster і Bit Blaster, через паралельний порт з використанням завантажувального кабелю Byte Blaster MV. Програмування мікросхем після установки їх на плату дозволяє, також, уникнути пошкодження контактів багато вивідних (highpin-count) корпусів мікросхем, наприклад, QFP.

Мікросхема EPM3128ATC100-7 може репрограмуватися в готовій системі при поданому живленні. Наприклад, конфігурація мікросхеми може оновлюватися при поданому живленні через модем.

Для програмування мікросхем за допомогою внутрішньо системних тестерів, PC, або вбудованих процесорів використовується мова програмування і тестування Jam STAPL.

Схема ISP в мікросхемі EPM3128ATC100-7 відповідає стандартів IEEE Std. 1532. Стандарт IEEE Std. 1532 розроблений з метою конкурентної боротьби ISP між різними постачальниками ПЛІС.

5.5.3.2 Програмування за допомогою зовнішніх пристроїв

Мікросхема EPM3128ATC100-7 може програмуватися на платформі Windows за допомогою програматорів – Altera Logic Programmecard, MPU – master programmed unit та настановних панелей для мікросхем. Програматор MPU забезпечує безперервну перевірку електричного контакту між настановною панеллю та мікросхемою.

Для тестування запрограмованої мікросхеми САПР фірми Altera використовуються тестові вектори (текстового формату та формату тимчасових

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

діаграм) створені за допомогою Altera Text Editor або Waveform Editor. До того ж, дизайнери пропонують функціональний тест для порівняння функціональної поведінки мікросхеми з результатами моделювання.

Для програмування мікросхем фірми Altera може також використовуватися обладнання Data I / O, VP Microsystems, а також обладнання, що поставляється іншими виробниками.

5.5.4 Розробка вузлів ПЛІС

Розглянемо алгоритм роботи ПЛІС та його вузлів та розробимо функціональну схему блоків.

Перед початком застосування пристрою необхідно запрограмувати ПЛІС через спеціальний апаратний інтерфейс JTAG.

В нашій схемі блок керування, що реалізовано на ПЛІС, переписує дані що знаходяться на SD-картці в оперативну пам'ять (режим запису) та формує сигнали для зчитування даних з оперативної пам'яті та запису їх в ЦАП (читання даних). Запис даних з SD-карти, що під'єднана через SPI-інтерфейс синхронізується сигналами з мікроконтролера та сигналами запису в пам'ять, що формуються вузлами ПЛІС. Формування сигналів читання даних з пам'яті та запису в ЦАП виконується вузлами ПЛІС. Структурна схема вузлів ПЛІС показана на рис. 5.19

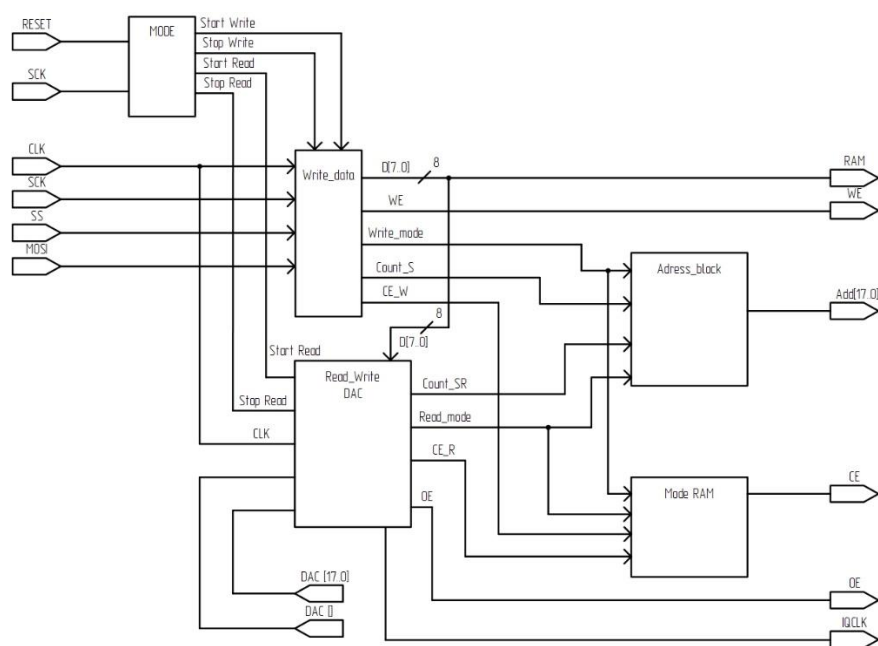


Рисунок 5.18 – Функціональна схема блоків ПЛІС.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Розглянемо призначення окремих вузлів.

Керування режимами роботи визначається сигналами модуля Mode: початок запису (Start Write), зупинка запису (Stop Write), початок читання (Start Read) та зупинка читання (Stop Read), що реалізуються блоком «MODE». Далі дані та синхросигнали надходять у блок який повинен реалізувати запис цих даних до оперативної пам'яті. Цей блок називається «Write_data». Блок «Address_block» використовується для адресації комірок оперативної пам'яті. Блок «mode_ram» це блок який формує сигнали для звернення до оперативної пам'яті. При генерації сигналу дані з оперативної пам'яті мають надходити до ЦАПу. Це реалізовано за допомогою Блоку «Read_Write», який зчитує данні з оперативної пам'яті та передає їх на ЦАП.

Розглянемо реалізацію блоків функціональної схеми.

Першим є блок управління «Mode». Цей блок формує сигнали початку і завершення запису та читання інформації з оперативної пам'яті. Блок реалізований на логічних елементах «І». Функціональна схема блоку «Mode» показана на рис. 5.20.

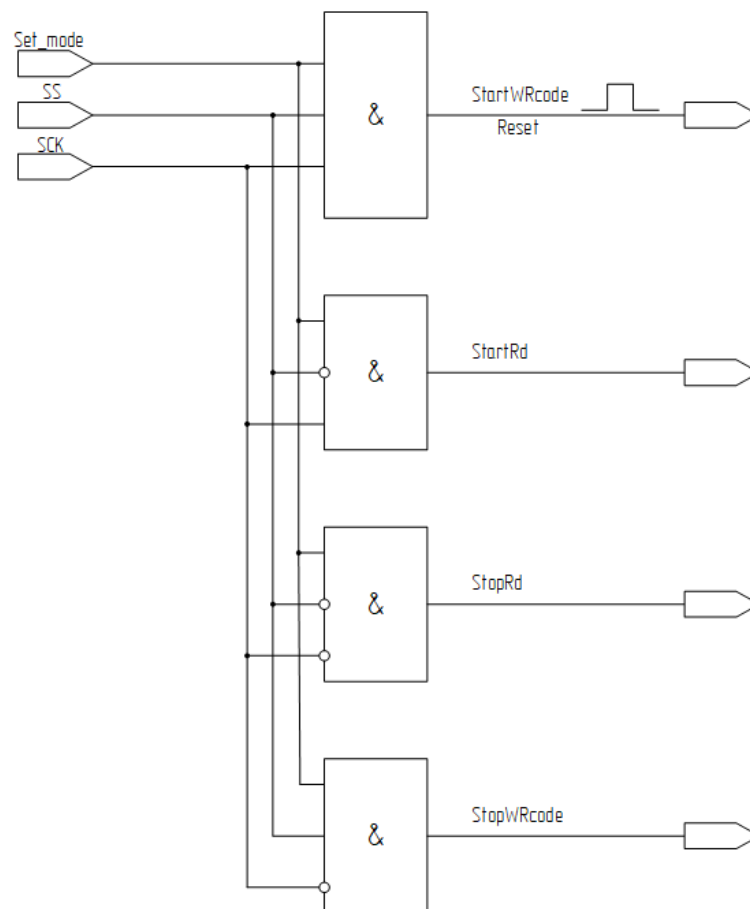


Рисунок 5.20 - Функціональна схема блоку «Mode»

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Вибір режиму роботи відбувається за наявності високого рівня сигналу на вході Set_mode сигналами SS та SCK. Коли з мікроконтролера надходить сигнал SS та сигнал SCK високого рівня, блок управління дає команду на початок запису даних в оперативну пам'ять. Після запису необхідних даних, мікроконтролер подає сигнали SS високого рівня та сигнал SCK низького рівня. Цей сигнал є командою зупинення запису даних.

Для початку зчитування даних з оперативної пам'яті, мікроконтролер подає сигнал SCK високого рівня та сигнал SS низького. Для того щоб зупинити зчитування даних, на блок управління «Mode» подаються сигнали SCK та SS низького рівня.

Блок «Write_data» керує записом вибірок з SD-карти в оперативну пам'ять. Цей блок реалізовано на наступних елементах: T-триггер, лічильник, регістри, кон'юнкція «І» та диз'юнкція "АБО". Схема блоку «Write_data» показана на рис. 5.21.

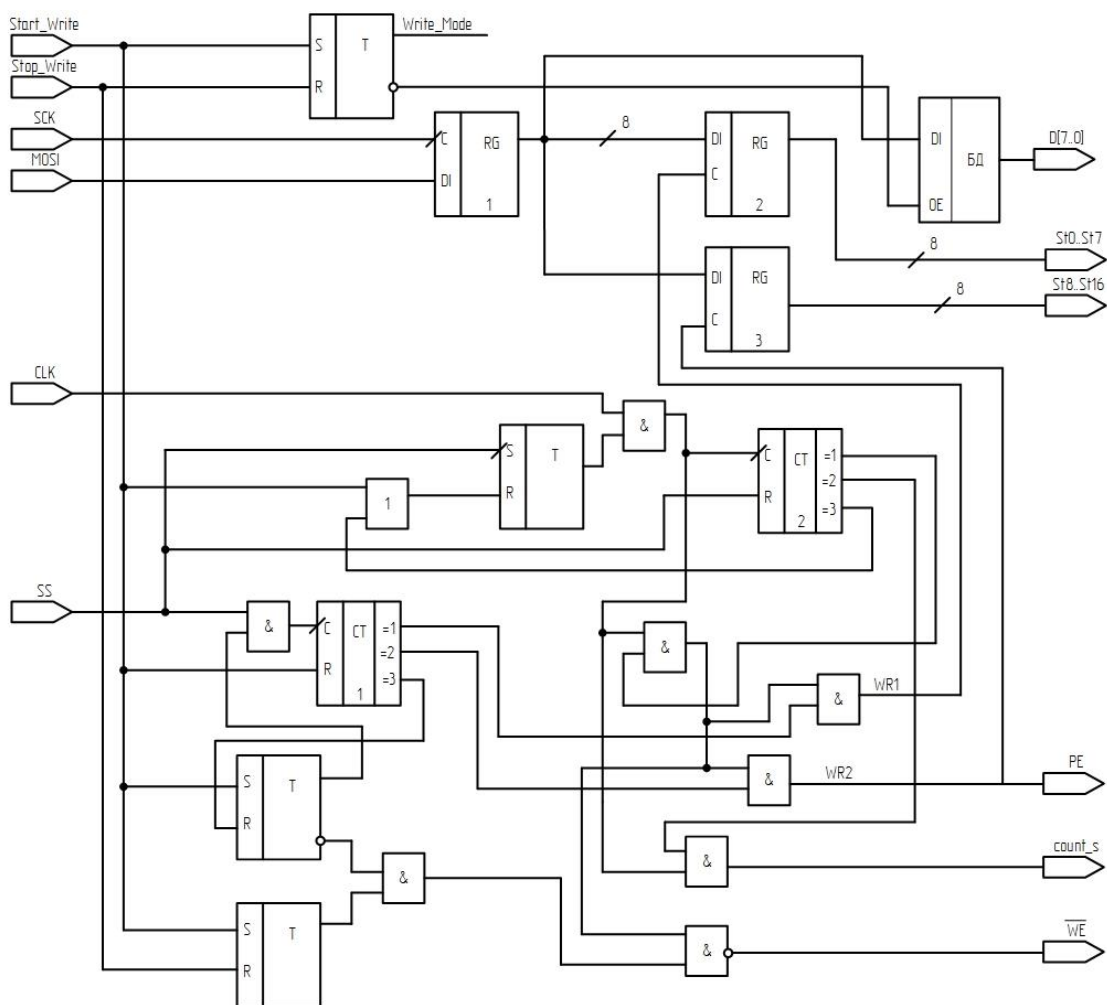


Рисунок 5.21 – Функціональна схема блоку «Write_data»

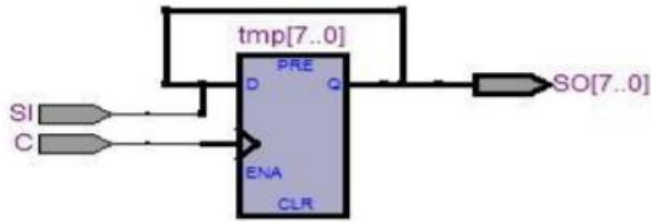


Рисунок 5.23 – Реалізація регістру зсуву

Зсувні регістри представляють собою ланцюжок тригерів, пов'язаних ланцюгами переносу.

Регістри, що зсувають, призначені для виконання операції зсуву слова інформації в напрямку старших розрядів чи у напрямку молодших розрядів. Зсув слова інформації реалізується перезаписом станів між сусідніми тригерами регістра в напрямку зсуву. Таким чином, кожен розряд одночасно приймає інформацію з попереднього розряду і передає інформацію в наступний.

Код, який реалізує регістр зсуву реалізовано на мові VHDL:

```

library eee;
use ieee.std_logic_1164.all;
entity sder is
  port(C, SI : in std_logic;
        SO : out std_logic_vector(7 downto 0));
endsder;
architecture archi of sder is
  signal tmp: std_logic_vector(7 downto 0);
begin
process (C)
begin
  if (C'event and C='1') then
    for i in 0 to 6 loop
      tmp(i+1) <= tmp(i);
    end loop;
    tmp(0) <= SI;
  end if;
end process;

```

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

```

SO <= tmp;
end archi;

```

Розглянемо реалізацію Т-тригеру

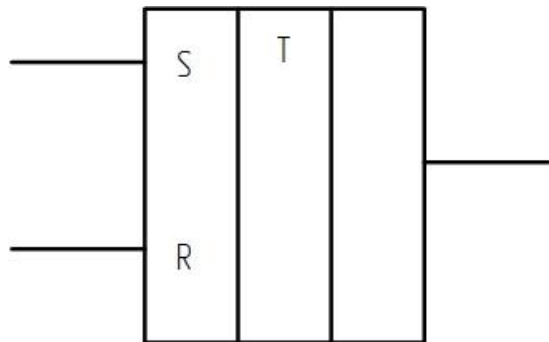


Рисунок 5.24 – Схематичне позначення Т-тригеру

Т-тригер - це рахунковий тригер. Він спрацьовує по негативному фронту тактового імпульсу.

Його опис на мові VHDL наведено нижче:

```

libraryieee;
useieee.std_logic_1164.all;
entity T is
  port ( c: in std_logic;
        q: out std_logic); end T;
  architecture beh of T is
    signal d: std_logic :='0';
  begin
  process(c)
    begin
      if c='0' and c'event then
        d <= not d; q <= d;
      end if;
    end process;
  end beh;

```

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Розглянемо роботу лічильників

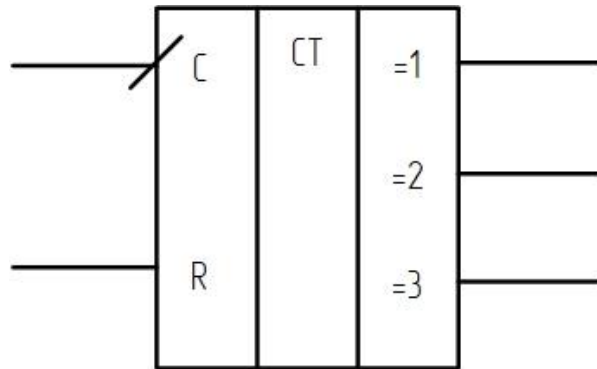


Рисунок 5.25 – Схематичне позначення лічильника

Лічильник - цифровий вузол, який здійснює рахунок імпульсів які надходять на вхід. Результат рахунку визначається числом імпульсів, що надійшли та формується на виході в заданому коді. Схематичне позначення лічильника показано на рис. 5.25. У нашому випадку це звичайний двійковий лічильник до якого додані логічні елементи «І». Схематичне позначення реалізації лічильника показано на рис. 5.26.

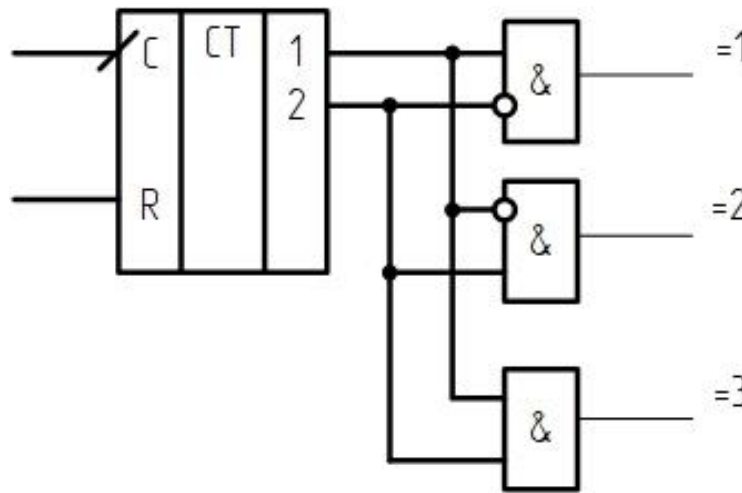


Рисунок 5.26 – Схематичне позначення реалізації лічильника

Робота лічильника була описана в загальному описі функціонування блоку

Код, який реалізує двійковий лічильник на мові VHDL:

```
libraryieee;
useieee.std_logic_1164.all;
```

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

```

entity counter is
    port (clk, reset: in std_logic;
          count: out std_logic_vector (1 downto 0) );
end counter;
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all; use ieee.std_logic_arith.all;
    signal count_i : std_logic_vector (1 downto 0);
begin
    process (clk, reset)
        begin
            if (reset = `0`) then
                count_i <= ``00``;
            elsif rising_edge(clk) then
                count_i <= count_i + `1`;
            end if;
        end process;
        count <= count_i;
    end behave;

```

Далі йде блок «Read-Write» реалізовано на наступних елементах: Т-триггер, лічильник, D-триггер, регістри зсуву, кон'юнкція «І» та диз'юнкція "АБО". Цей блок безперервно зчитує данні з оперативної пам'яті та передає їх до ЦАП.

Функціональна схема блоку «Read-Write» показана на рис.5.27.

Процес генерації сигналу синхронізується зовнішнім генератором (сигналом CLK), що формує синхросигнали з частотою 56 МГц. Зазначена частота перевищує мінімально необхідну частоту дискретизації 46 МГц.

Блок працює наступним чином. При надходженні з блоку Mode сигналу про початок генерації сигналу (сигнал Start_Read для початку зчитування даних з пам'яті) триггер 1 встановлюється в стан лог. 1. На початку роботи в блок адресації оперативної пам'яті з регістрів 2 та 3 блоку «Write_data» записується кількість вибірок. Дані D[7..0] з оперативної пам'яті по чергово записуються в регістри 3.1 та 3.2. Після кожного циклу читання з пам'яті та запису даних в

					ЕлІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

реєстри стан лічильника в блоці «Address_block» зменшується на 1. Після запису даних в реєстр 3.2, по задньому фронту відповідного імпульсу запису, формується сигнал для запису в ЦАП. Після закінчення генерації одного періоду імпульсу лічильник в блоці «Address_block» переходить в нульовий стан і в нього знову завантажується кількість вибірок. Процес генерації починається спочатку. Генерація сигналів закінчується сигналом Stop_Read з блоку Mode.

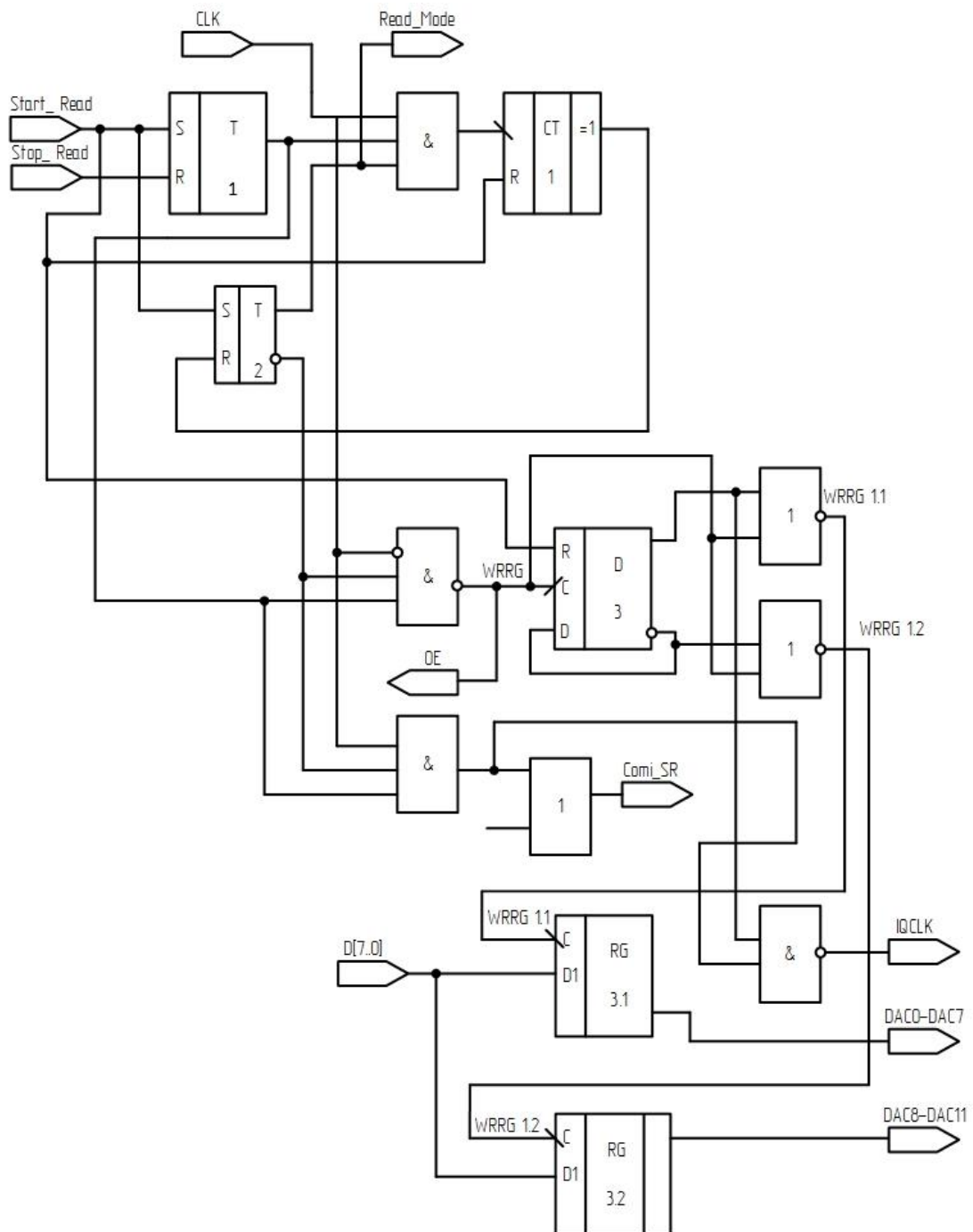


Рисунок 5.27 – Функціональна схема блоку «Read-Write»

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Розглянемо реалізацію лічильника.

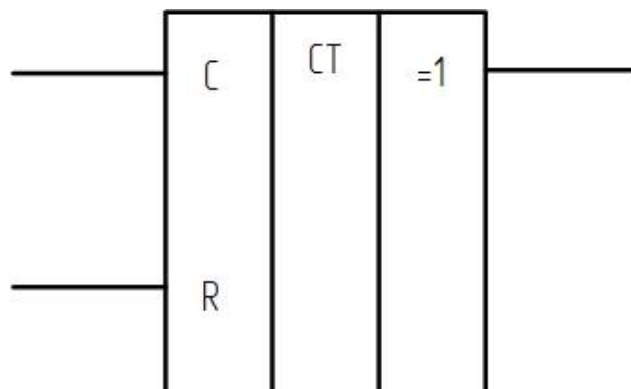


Рисунок 5.29 – Схематичне позначення лічильника блоку «Read-Write»

Цей лічильник реалізовано на основі звичайного двійкового лічильника з додаванням логічного елемента «І». VHDL код двійкового лічильника вже був описаний раніше. Реалізація роботи лічильника написана в опису роботи блоку. Реалізація цього лічильника показана на рис.5.30.

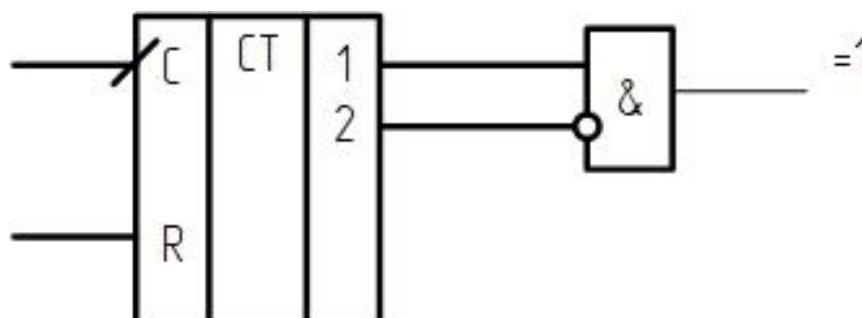


Рисунок 5.30 – Реалізація лічильника блоку «Read-Write»

Розглянемо роботу блоку «Address_block»

«Address_block» виконує адресацію комірок пам'яті при зчитуванні даних з SD-карти та запису в оперативну пам'ять та при зчитуванні даних з пам'яті та передачі їх на ЦАП в режимі генерації. Блок побудовано на основі декрементуючого лічильника з попереднім встановленням. На початку запису даних в оперативну пам'ять та генерації кожного періоду сигналу в лічильник завантажуються стан регістрів 2 і 3 блоку «Write_data». Сигналу з виходу лічильника надходять на адресні входи оперативної пам'яті.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Він призначений для додатків пам'яті, де потрібен швидкий доступ до даних, низьке енергоспоживання і простий інтерфейс.

Принципальне позначення AS7C34096A-12 показано на рис. 5.33

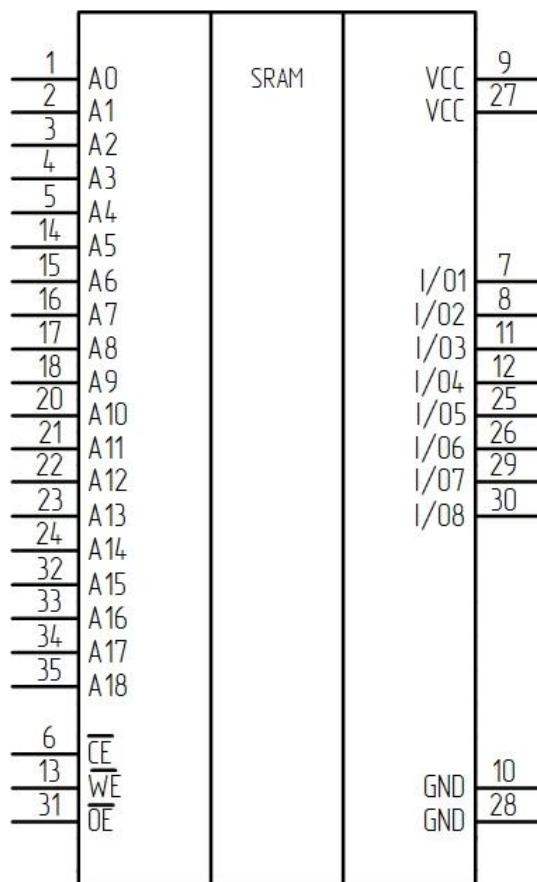


Рис 5.33 – Принципальне позначення AS7C34096A

Рівний час доступу до адрес і час циклу (t_{AA} , t_{RC} , t_{WC}) 10/12/15/20 нс з часом доступу дозволу виходу (t_{OE}) 4/5/6/7 нс ідеально підходять для високопродуктивних додатків. Вхідний сигнал включення мікросхеми CE дозволяє легко розширювати пам'ять за допомогою декількох банків пам'яті.

Коли CE високий, пристрій переходить в режим очікування. Пристрій гарантовано не перевищить енергоспоживання 28,8 мВт в режимі очікування CMOS.

Цикл запису виконується шляхом затвердження дозволу запису (WE) і включення чіпа (CE). Дані на вхідних контактах I / O1 - I / O8 записуються по передньому фронту WE (цикл запису 1) або CE (цикл запису 2). Щоб уникнути конфлікту шин, зовнішні пристрої повинні управляти виводами введення /

виведення тільки після того, як виходи були відключені за допомогою дозволу виходу (OE) або дозволу запису (WE).

Цикл читання здійснюється шляхом затвердження дозволу виходу (OE) і включення мікросхеми (CE) з високою роздільною здатністю запису (WE). Мікросхема управляє контактами введення / виводу за допомогою слова даних, на яке посилається вхідна адреса. Коли або чіп-активація, або вихідна активація неактивні, або активований запис, вихідні драйвери залишаються в режимі високого імпедансу.

Всі входи і виходи мікросхеми сумісні з TTL, а робота здійснюється від однієї напруги живлення 3,3 В. Цей пристрій доступний згідно з галузевим стандартом 400-мил 36-контактний SOJ і 44-контактний TSOP 2 корпусів.

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

6 РОЗРОБКА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ

Робота нашого пристрою залежить від правильності програмування мікроконтролера на задані дії. Виходячи із задач, що покладені на мікроконтролер, необхідно визначити алгоритм роботи програми.

По-перше, задаємо всі необхідні константи та з'ясовуємо імена змінних, що забезпечить зручність під час подальшої роботи з програмою.

По-друге, необхідно сконструювати всі порти вводу/виводу, тобто налагодити їх та задати режим роботи портів.

По-третє, ініціалізувати всі пристрої.

Наступною операцією є перевірка проходження даних на USART. У разі проходження даних відбувається запуск першого обраного коду та виведення інформації на індикатор про сигнал. Наступним кроком є перевірка типу даних, їх записування в енерговідокремлену пам'ять, зчитування з цієї пам'яті та завантаження цих даних до оперативної пам'яті.

У разі не проходження даних на USART відбувається перевірка стану кнопок. Якщо кнопки були у натисненому стані, здійснюється їхнє опитування та заповнюються флаги кнопок. В іншому випадку (кнопки не були натиснуті) здійснюється запуск першого обраного коду та виконуються всі дії, які повинні бути після цього блоку.

Блок схема програми мікроконтролера наведена на рисунку 6.1.

Далі наведений фрагмент коду програми для запису даних в енерговідокремлену пам'ять.

Фрагмент коду програми для запису даних в енерговідокремлену пам'ять.

```
Lds      r16,SD_addr
push r16
lds      r16,SD_addr+1
push r16
lds      r16,SD_addr+2
push r16
lds      r16,SD_addr+3
ldi      r30,low(ftBuffer+1)
ldi      r31,high(ftBuffer+1)
ld       r16,Z+
```

										Арк.
Змн.	Арк	№ докум.	Підпис	Дата						

ЕЛІТ 8.171.00.10.172 ПЗ

```

sts      SD_addr,r16
ld       r16,Z+
sts      SD_addr+1,r16
ld       r16,Z+
sts      SD_addr+2,r16
ld       r16,Z+
sts      SD_addr+3,r16

ldi      r26,low(ftBuffer)
ldi      r27,high(ftBuffer)
WSD_1:
cbi      portD,CTS
WSD_2:
sbis     UCSRA,RXC
rjmp     WSD_2
rcall    ft232_R
cpi      r16,0
brne     WSD_Error
cpi      r27,high(ftBuffer+$200)
brlo     WSD_1
cpi      r26,low(ftBuffer+$200)
brlo     WSD_1
sbi      portD,CTS
ldi      r30,low(ftBuffer)
ldi      r31,high(ftBuffer)
rcall    SD_WriteBlock
WSD_Error:
pop      r16
sts      SD_addr+3,r16
pop      r16
sts      SD_addr+2,r16
pop      r16
sts      SD_addr+1,r16
pop      r16

```

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

sts SD_addr,r16
ret

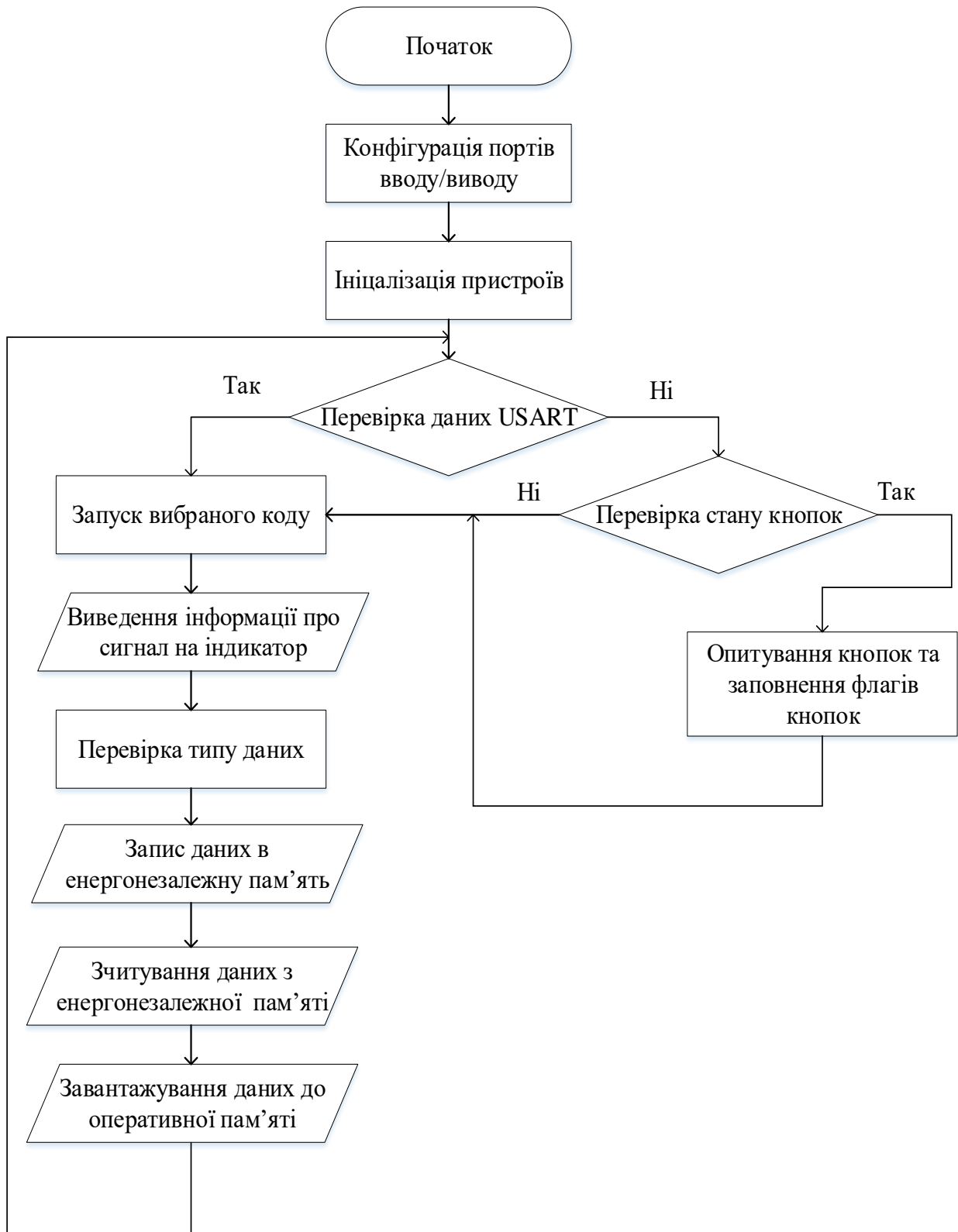


Рисунок 6.1 – Блок схема програми мікроконтролера

7 ТЕХНІКО-ЕКОНОМІЧНЕ ОБҐРУНТУВАННЯ ОБ'ЄКТУ РОЗРОБКИ

У даному розділі проводиться техніко-економічний розрахунок вартості синтезатора сигналів довільної форми. Вартість пристрою складається з вартості розробки програмного забезпечення для мікроконтролера та ПЛІСу і вартості збірки пристрою та розробки конструкторської документації.

7.1 Вартість розробки програмного забезпечення для мікроконтролера

Вартість розробки програмного забезпечення для мікроконтролера складається з визначених статей витрат, які надано у таблиці 7.1

Таблиця 7.1 – Статі витрат для розрахунку вартості розробки програмного забезпечення для мікроконтролера

№ з/п	Статі витрат	Умовні позначення	Од. вим.	Значення
Проектування та розробка програмного забезпечення				
1	Годинна тарифна ставка програміста	$Z_{пр}$	грн.	15,00
2	Коефіцієнт складності програми	c	коєф.	1,40
3	Коефіцієнт корекції програми	P	коєф.	0,06
4	Коефіцієнт збільшення витрат праці	Z	коєф.	1,2
5	Коефіцієнт кваліфікації програміста	k	коєф.	1
9	Норма додаткової зарплати	H_d	%	15,0
10	Відрахування на соціальні витрати	$H_{соц}$	%	36,3

Первинними вихідними даними для визначення собівартості ПЗ є кількість вихідних команд (операторів) кінцевого програмного продукту.

Умовна кількість операторів Q в програмі завдання може бути оцінена за формулою:

$$Q = y \cdot c \cdot (1 + p), \quad (7.1)$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

де u - розрахункова кількість операторів в програмі, що розробляється (одиниць);

c - коефіцієнт складності програми;

p - коефіцієнт корекції програми в ході її розробки.

Розрахована кількість операторів в розробленій програмі - 500.

Коефіцієнт c - відносна складність завдання щодо ставлення до типової задачі, складність якої прийнята більш 1, лежить в межах від 1,25 до 2,0 і вибирається рівним 1,40.

Коефіцієнт коригування програми p - збільшення обсягу робіт за рахунок внесення змін до програми лежить в межах від 0,05 до 0,1 і вибирається рівним 0,06.

Підставимо обрані значення в формулу (7.1) і розрахуємо величину Q :

$$Q = 600 \cdot 1,4 (1 + 0,06) = 890,4$$

7.1.1 Розрахунок витрат на створення ПЗ

Розрахунок витрат на ПЗ проводиться методом калькуляції витрат, в основу якого покладена трудомісткість і заробітна плата розробників. Трудомісткість розробки ПЗ розраховується за формулою:

$$T = T_o + T_u + T_a + T_n + T_{отл} + T_{\delta} \quad (7.2)$$

де T_o - витрати праці на опис завдання;

T_u - витрати праці на вивчення опису завдання;

T_a - витрати праці на розробку алгоритму рішення завдання;

T_n - витрати праці на складання програми по готовій блок-схемі;

$T_{отл}$ - витрати праці на налагодження програми ЕОМ;

T_{δ} - витрати праці на підготовку документації.

Складові витрати праці, в свою чергу, можна визначити за кількістю операторів Q для ПЗ, що розробляється. При оцінці складових витрат праці використовуються:

- коефіцієнти кваліфікації розробника алгоритмів і програм – k ;
- збільшення витрат праці в результаті недостатнього опису завдання - Z .

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Коефіцієнт кваліфікації розробника характеризує міру підготовленості виконавця до дорученої йому роботи (він задається в залежності від стажу роботи), $k = 1$.

Коефіцієнт збільшення витрат праці в результаті недостатнього опису завдання характеризує якість постановки завдання, виданої для розробки програми, у зв'язку з тим, що завдання вимагало уточнення і деякого доопрацювання. Цей коефіцієнт приймається рівним 1,2.

Всі вихідні дані наведені в таблиці 7.1.

Трудомісткість розробки ПЗ становить:

Витрати праці на підготовку опису завдання T_o приймаються рівними 5 чол/год, виходячи з досвіду роботи.

Витрати праці на вивчення опису завдання T_u з урахуванням уточнення опису і кваліфікації програміста можуть бути визначені за формулою:

$$T_u = Q \cdot Z / (75 \dots 85) \cdot k \quad (7.3)$$

$$T_u = 890,4 \cdot 1,2 / 80 \cdot 1 = 13,4 \text{ (чол/год)}$$

Витрати праці на розробку алгоритму рішення задачі розраховуються за формулою:

$$T_a = Q / (20 \dots 25) \cdot k ; \quad (7.4)$$

$$T_a = 890,4 / 25 \cdot 1 = 35,6 \text{ (чол/год.)}$$

Витрати праці на складання програми по готовій блок-схемі T_n розраховуються за формулою:

$$T_n = Q / (20 \dots 25) \cdot k ; \quad (7.5)$$

$$T_n = 890,4 / 22 \cdot 1 = 40,5 \text{ (чол/год)}$$

Витрати праці на налагодження програми на ПЕОМ $T_{отл}$ розраховуються за формулою:

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- при автономному налагодженні одного завдання:

$$T_{oml} = Q/(4...5) \cdot k ; \quad (7.6)$$

$$T_{oml} = 890,4/5 \cdot 1 = 178,1 \text{ (чол/год)}$$

- при комплексному налагодженні завдання:

$$T_{oml}^K = 1,5T_{oml} ; \quad (7.7)$$

$$T_{oml}^K = 1,5 \cdot 178,1 = 267,2 \text{ (чол/год)}$$

Витрати праці на підготовку документації по завданню T_δ визначаються за формулою:

$$T_\delta = T_{\delta p} + T_{\delta o} , \quad (7.8)$$

де $T_{\delta p}$ - витрати праці на підготовку матеріалів у рукопису:

$$T_{\delta p} = Q/(15...20) \cdot k ; \quad (7.9)$$

$$T_{\delta p} = 890,4/20 \cdot 1 = 44,5 \text{ (чол/год)}$$

$T_{\delta o}$ - витрати праці на редагування, друк і оформлення документація:

$$T_{\delta o} = 0,75 \cdot T_{\delta p} . \quad (7.10)$$

$$T_{\delta o} = 0,75 \cdot 44,5 = 33,4 \text{ (чол/год)}$$

Підставляючи отримані значення у формулу (7.8), маємо:

$$T_\delta = 44,5 + 33,4 = 78,7 \text{ (чол/год)}$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Визначимо трудомісткість розробки ПЗ, підставивши отримані значення складових в формулу (7.2):

$$T = 5 + 13,4 + 35,6 + 40,5 + 178,1 + 78,9 = 350,5 \text{ (чол/год)}$$

Розрахунок трудомісткості і зарплати наведено в таблиці 7.2.

Таблиця 7.2 – Трудомісткість і зарплата розробників ПЗ

Найменування етапів розробки	Трудомісткість чол./год.	Погодинна тарифна ставка програміста, грн..	Заробітна плата, грн.
Опис завдання	5	15,00	75,00
Вивчення завдання	13,4	15,00	201,00
Складання алгоритму розв'язання задачі	35,6	15,00	534,00
Програмування	40,5	15,00	607,50
Налагодження програми	178,1	15,00	2671,50
Оформлення документації	78,9	15,00	1183,50
Разом:	350,5	15,00	5257,50

7.1.2 Витрати на використання ЕОМ при розробці ПЗ

Витрати на використання ЕОМ при розробці ПЗ розраховуються, виходячи з витрат однієї години, за формулою:

$$Z = B_2 \cdot (T_{отл} + T_{\delta} + T_n), \quad (7.12)$$

де B_2 - вартість роботи однієї години ЕОМ, грн. ;

$T_{отл}$ - витрати праці на налагодження програми на ЕОМ, чол./год. ;

T_{δ} - витрати праці на підготовку документації, чол./год. ;

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

T_n - витрати праці на складання програми по готовій блок-схемі, чол./год.

$$З = 15 \cdot (178,1 + 78,9 + 40,5) = 4474,5 \text{ (грн)}$$

7.1.3 Розрахунок технологічної собівартості створення програми

Розрахунок технологічної собівартості створення програми (ПЗ) проводиться методом калькуляції витрат (таблиця 7.3).

Таблиця 7.3 – Калькуляція технологічних витрат на створення ПЗ

№	Найменування	Витрати, грн
1	Основна зарплата	5257,50
2	Додаткова зарплата (15%)	788,60
3	Соціальні відрахування (36,3 %)	1937
4	Накладні витрати (25,0 %)	1314,40
5	Витрати на використання ЕВМ	4474,5
6	Собівартість ПЗ мікроконтролера	13772

У таблиці 7.3 основна зарплата наведена з таблиці 7.2, додаткова зарплата становить 15% від основної зарплати, соціальні відрахування - 36,3% від основної та додаткової зарплат (разом), накладні витрати - 25% від основної зарплати. Собівартість розробленої програми СПО розраховується як сума пунктів 1 - 6.

Вартість ПЗ (B_{no}) для мікроконтролера становить 13772 грн. на одиницю продукції. Якщо організувати масовий випуск продукції ця вартість розділиться на кількість випущених виробів.

7.2 Розрахунок витрат на стадії виробництва виробу та повної собівартості виробу

Собівартість виробу, який розробляється, розраховується на основі норм матеріальних і трудових витрат. Серед вихідних даних, які використовуються для розрахунку собівартості виробу, виділяють видатки на матеріали й комплектуючі, основна заробітна плата, додаткова заробітна плата, соціальні

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

відрахування від заробітної плати, оренда машинного часу або видатки на утримання й експлуатацію устаткування, загальновиробничі видатки, адміністративні видатки

У ході розрахунку собівартості виробу, як вихідні дані, використовують специфікації матеріалів, покупних комплектуючих виробів, які використовуються в процесі збірки одного виробу (таблиця 7.4)

Таблиця 7.4 – Видатки на матеріали й комплектуючі вироби

Найменування комплектуючих	Ціна, грн.	Кількість, шт.	Сума на виріб, грн.
Резистори	1,50	13	19,5
Мікросхема AD9765	212,00	1	212
Мікросхема USBCONN	8,84	1	8,84
Мікросхема FT232BM	86,00	1	86
Мікросхема МТС-16202Х	102,01	1	102,01
Мікросхема АТmega8-16AU	48,50	1	48,50
Мікросхема ЕРМ3128АТС100-7	181,50	1	181,50
Мікросхема AS7C34096A-12	145,42	1	145,42
SD карта	56,00	1	56,00
Резонатор кварцовий 6 MHz	2,00	1	2,00
Резонатор кварцовий 16 MHz	3,80	1	3,80
Конденсатор 20pF	3,60	2	7,20
Конденсатор 0.1uF	0,40	3	1,20
Конденсатор 3.3nF	0,70	1	0,70
Конденсатор 1uF	0,80	1	0,80
Конденсатор 48uF	15,00	1	15,00
Конденсатор 10uF	3,50	1	3,50
Катушка 22mH	15,00	1	15,00
LM1117-3.3	31,00	1	31,00
Кнопка	2,03	3	6,09
Лист текстоліту	30,00	1	30,00
Корпус	53,00	1	53,00
Припій	5,50		5,50
Разом			1034,56

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Отже, видатки на матеріали (B_m) становлять 1034,56 (грн).

Основна заробітна плата ($З_о$) розраховується наступним чином:

$$З_о = \sum_{i=1}^n TC \cdot Ч, \quad (7.13)$$

де $TC = 23$ – тарифна ставка робітника на виробництві грн./год;

$Ч = 18$ – витрачений час на виробництво й налагодження одного пристрою, год.;

$n = 1$ – кількість працівників на виробництві, чол.;

Таким чином, підставивши значення у формулу (7.1), маємо.:

$$З_о = \sum_{i=1}^1 23 \cdot 5 = 1 \cdot 23 \cdot 5 = 414 \text{ (грн)}$$

Додаткова заробітна плата ($З_д$) становить 15% від основної :

$$З_д = З_о \frac{K_d \%}{100}, \quad (7.14)$$

де K_d – відсоток додаткової заробітної плати, грн. Отже,

$$З_д = 414 \frac{15}{100} = 62,10 \text{ (грн)}.$$

Соціальні відрахування від заробітної плати (B_{cv}) становлять 36,3% від основної та додаткової зарплати :

$$B_{cv} = (З_о + З_д) \cdot \frac{36,3\%}{100} = 172,82 \text{ грн.}$$

7.2.1 Видатки на експлуатацію, амортизацію та утримання обладнання.

Обладнання та устаткування, як правило, перебуває на балансі підприємства. Для розрахунку видатків на експлуатацію, утримання та амортизацію обладнання користуються визначенням відсотка від основної

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

заробітної плати, який розраховується виходячи з аналізу відомостей повної собівартості виробу. ВУЕ складає приблизно 120-150%:

$$BUE = Z_o \cdot \frac{BUE\%}{100} \quad (7.15)$$

Підставивши у формулу 7.14 значення ВУЕ 130%, що знаходиться у межах 120-150%, маємо:

$$BUE = 414 \cdot \frac{130\%}{100} = 538,20 \text{ (грн).}$$

7.2.2 Загальновиробничі видатки.

Витрати, які передбачають керівництво цехом, підрозділом, а також, витрати на відрядження працівників з урахуванням робітничої необхідності, амортизацію основних фондів, відносяться до загальновиробничих видатків. Вони визначаються виходячи з аналізу відомостей повної собівартості виробу (показник знаходиться в діапазоні 130-250%).

Розраховуються загальновиробничі витрати як відсоток виробничих витрат від основної заробітної плати.

$$B_z = Z_o \cdot \frac{B_z\%}{100} \quad (7.16)$$

Таким чином, з прийняттям $B_z = 135\%$ та підставивши значення у формулу (7.16) маємо:

$$P_n = 414 \cdot \frac{135\%}{100} = 558,90 \text{ (грн).}$$

Виробнича собівартість C_v включає видатки на виробництво пристрою :

$$C_v = Z_o + Z_d + B_{cv} + B_m + BUE + P_n = 414 + 62,1 + 172,82 + 1034,56 + 538,20 + 558,90 = 2780,58 \text{ (грн).}$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

7.2.3 Адміністративні витрати

Витрати, які враховують: службові відрядження керівного складу підприємства, заходи з охорони праці та протипожежної безпеки, як дільниці так і підприємства в цілому, навчання, підвищення кваліфікації робітників підприємства, витратами на оренду за використання у процесі роботи деяких матеріальних цінностей, транспортні витрати, пов'язані з перевезенням працівників підприємства, кредитні витрати та оплата послуг банків та фінансових установ, відносяться до адміністративних.

Такі витрати B_a визначаються в процесі проведення аналізу повної собівартості виробу та встановлюються у межах 140-200%, та розраховуються за формулою:

$$B_a = Z_o \cdot \frac{B_a \%}{100} . \quad (7.17)$$

Таким чином, приймаючи $B_a = 155\%$, з виразу (7.16) визначаємо:

$$B_a = 414 \frac{155\%}{100} = 641.7 \text{ (грн)}.$$

Комерційні видатки B_n передбачають витрати на рекламу й передпродажну підготовку виробу. Такі витрати, орієнтовно, визначаються в розмірі 5-10 % від виробничої собівартості:

$$B_n = C_v \cdot \frac{B_n \%}{100} . \quad (7.18)$$

Отже, приймаючи $B_n = 7\%$, з виразу (7.18) визначимо:

$$B_n = 2780,58 \cdot \frac{7\%}{100} = 194,64 \text{ (грн)}.$$

Повна собівартість C виробленого продукту обчислюється як

$$C = C_v + B_a + B_n + B_{no} \quad (7.19)$$

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

B_{no} – залежить від кількості виготовлених виробів (наприклад, виготовлено 1000 таких приладів), тоді:

$$B_{no} = \frac{13772}{1000} \approx 13,8 \text{ (грн. за одиницю виробу.)}$$

З урахуванням знайдених даних отримаємо :

$$C = 2780,58 + 641,7 + 236,2 + 13,8 = 3672,28 \text{ (грн).}$$

Калькуляція собівартості виробу розрахована в таблиці 7.5

Найменування статей калькуляції	Значення, грн
1. Собівартість програмного забезпечення	13772
1. Матеріали та комплектуючі	1034,56
2. Основна заробітна плата	414
3. Додаткова заробітна плата	62,10
4. Відрахування на соціальні заходи	172,82
5. Витрати на утримання і експлуатація устаткування	538,20
6. Загальновиробничі втрати	558,90
Виробнича собівартість	2780,58
7. Адміністративні витрати	641,7
8. Комерційні видатки	194,64
Повна собівартість пристрою	20169,5

7.3 Розрахунок ціни пристрою

Для початку розрахуємо оптову ціну приладу. Вона розраховується за формулою:

$$C_{opt} = C + П, \quad (7.20)$$

де $П$ – величина прибутку;

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

C – собівартість продукту.

Визначення прибутку відбувається з урахуванням показника (нормативу) рентабельності R виготовлення виробів, що встановлюється підприємством:

$$R = \frac{\Pi}{C} \cdot 100\% \quad (7.21)$$

Рентабельність R виробів визначається в середньому до 35%.

Підставивши значення у формули (7.18) та (7.19) оптова ціна виробу розраховується:

$$C_{opt} = C + \frac{R \cdot C}{100} \quad (7.22)$$

Роздрібна ціна виробу буде розраховуватися з ПДВ, значення якого 20%,

$$C_{роз} = 1,2 \cdot C_{opt} \quad (7.23)$$

Використовуючи вирази (7.22) і (7.23) та прийнявши $R = 9\%$, обчислюємо оптову ціну виробу:

$$C_{opt} = 3672,28 + \frac{9\% \cdot 3672,28}{100} = 4002,8 \text{ (грн).}$$

Далі розрахуємо роздрібну ціну виробу:

$$C_{роз} = 1,2 \times 4028 = 4803 \text{ (грн).}$$

Отже, за допомогою таких розрахунків, надана оцінка собівартості спроектованого виробу, зокрема, визначена роздрібна ціна виробу з урахуванням прибутку підприємства-виробника. Такий розрахунок уможливорює оцінку економічної вигоди виготовлення приладу.

Серед позитивних боків цієї методики розрахунку є простота та очевидність швидкої окупності виробу, прибутковості від виробництва такого продукту.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

Що стосується недоліків цієї методики, вона не в повному обсязі узгоджена з попитом та ціноутворенням на ринку.

Разом з тим, в сучасних умовах таку методику доцільно використовувати, а саме: якщо підприємство-виробник є монополістом у виробництві такого приладу, або замовлення є одноразовими; під час ліміту з боку держави рентабельності виробу.

Спроектований синтезатор може бути використаний у багатьох промислових установках, а також в процесі роботи з контрольно-вимірювальною апаратурою, де необхідно формування різних сигналів. Такий синтезатор може бути використаний в будь-яких умовах завдяки автономності та невеликим розмірам. Крім того, вартість спроектованого синтезатора з невеликим формфактором, аналогів якому майже немає, у 1,5 разів нижча, що робить його конкурентоспроможним і економічно вигідним для розробки.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

ВИСНОВКИ

У результаті виконання випускної магістерської роботи було розроблено синтезатор сигналів довільної форми. Розроблений пристрій працює в однополярному режимі, має частоту генерованого сигналу 500 Гц - 12 МГц, співвідношення сигнал / шум 80 дБ, амплітуду сигналу 10 В, Опір навантаження 50 Ом. У роботі було проаналізовано методи синтезу частот, в результаті чого був обраний метод прямого цифрового синтезу. Була розрахована частота дискретизації 27,6 МГц та розрядність ЦАП, який необхідно використати в синтезаторі – 12 розрядний.

Було розроблено алгоритм роботи пристрою та структурна схема. Розроблено функціональну та принципову схеми.

Були розраховані витрати на розробку програмного забезпечення, комплектуючі та матеріали, основна заробітна плата; додаткова заробітна плата, витрати на утримання і експлуатація устаткування, відрахування на соціальні заходи, загальновиробничі втрати, адміністративні витрати, виробнича собівартість, витрати на збут, повна собівартість пристрою, які дали оцінити, що розроблений пристрій є конкурентно спроможним.

Була підібрана елементна база з елементами які широко розповсюджені та доступні.

Виходячи з цього, можна зробити висновок, що цей пристрій відповідає технічним вимогам, а елементи для його реалізації доступні.

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Генераторы сигналов от А до Я. Учебное пособие:
<http://docplayer.ru/32625-Generatory-signalov-ot-a-do-ya-uchebnoe-posobie.html> (2016)
2. FT232BM USB UART IC Datasheet Version 2.0 URL:
http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232BM.pdf (accessed 2015)
3. Возможные варианты подключения устройств к шине USB URL:
<http://pccar.ru/attachment.php?attachmentid=17128>
4. ATmega8/L datasheet URL: https://www.mouser.com/ds/2/268/Atmel-2486-8-bit-AVR-microcontroller-ATmega8_L_dat-1065398.pdf (accessed 2013)
5. МТС-16202X datasheet URL:
<http://catalog.gaw.ru/index.php?page=document&id=5724> (accessed 2015)
6. Алфавитно-цифровые индицирующие ЖК-модули на основе контроллера HD44780 URL:
<http://www.gaw.ru/html.cgi/txt/lcd/chips/hd44780/start.htm>
7. AD9765 datasheet URL.: http://www.analog.com/media/en/technical-documentation/data-sheets/AD9763_9765_9767.pdf (accessed 2014)
8. Новиков Ю. В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. — М.: Мир, 2001. — 379 с., ил. — (Современная схемотехника)
9. Агуров П. В. Интерфейсы USB. Практика пользования и программирования. — СПб.: БХ-Петербург, 2004. — 576с.: ил.
10. Белов А. В. Конструирование устройств на микропроконтроллерах. — СПб.: Наука и Техника, 2005. — 256с.: ил.
11. Дьяконов В. П. Генерация и генераторы сигналов / В. П. Дьяконов. — М. : ДМК Пресс, 2009. — 384 с., ил.
12. Тюрин В.А. Метод прямого цифрового синтеза в генераторах сигналов специальной формы SFG-2110 и АКПП-3410/3: учебнометодическое

					ЕЛІТ 8.171.00.10.172 ПЗ	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		

- пособие / В.А. Тюрин. - Казань: Казанский федеральный университет, 2015. - 74 с.
13. В.Ю. Теплов, А.А. Садыков, Р.Р. Латыпов, Р.С. Кириллов, О.Н. Шерстюков Методы синтеза частоты/ В.Ю. Теплов, А.А. Садыков, Р.Р. Латыпов, Р.С. Кириллов, О.Н. Шерстюков.- Казань: Казан. ун-т, 2015.- 45 с.
14. Пісцьціо В.П., Медвідь В.Р. - Методичні вказівки до лабораторної роботи № 2 "Дослідження шумів аналого-цифрового перетворювача та способи їх зменшення" з курсу "Цифрова обробка сигналів". / Пісцьціо В.П., Медвідь В.Р. – Тернопіль: ТНТУ, 2017 - 13 с.
15. AS7C34096A-12 datasheet URL: https://www.alliancememory.com/wp-content/uploads/pdf/sram/fa/as7c34096a_v2.1.pdf (accessed 2016)
16. Коберниченко, В. Г. Основы цифровой обработки сигналов : учеб. пособие / В. Г. Коберниченко ; М-во науки и высш. образования Рос. Федерации, Урал. федер. ун-т. — Екатеринбург : Изд-во Урал. ун-та, 2018. — 150 с.
17. Матвеев Ю.Н., Симончик К.К., Тропченко А.Ю., Хитров М.В. Цифровая обработка сигналов Учебное пособие по дисциплине "Цифровая обработка сигналов". – СПб: СПбНИУ ИТМО, 2013. – 166 с.
- 18.Круглов В.В., Длин М.И. Интеллектуальные информационные системы. - М.: Вестник Волжского университета имени В.Н. Татищева № 1 (23) 2015
19. Ostroukh A.V., Intelligent Systems. Krasnoyarsk: Publishing House Science and Innovation Center, 2015. 110 p.
- 20.Якименко, К.А. Исследование шумовых характеристик гибридных синтезаторов частот на основе прямого аналогового и прямого цифрового методов синтеза / К.А. Якименко // Методы и устройства передачи и обработки информации. – 2017. – Т.19. – С. 9-15.
21. Бессонова Е.А., Семенов К.А. Расчет фильтров: Учебное пособие. - Петропавловск-Камчатский: КамчатГТУ, 2004. - 49 с.

					<i>ЕЛІТ 8.171.00.10.172 ПЗ</i>	Арк.
Змн.	Арк	№ докум.	Підпис	Дата		