

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

ДО КВАЛІФІКАЦІЙНОЇ РОБОТИ БАКАЛАВРА
НА ТЕМУ:

**ПЕРЕТВОРЮВАЧ ДВІЙКОВО-ДЕСЯТКОВОГО
КОДУ НА ОСНОВІ ЛІЧИЛЬНИХ ПРИСТРОЇВ**

Завідувач кафедрою електроніки
і комп'ютерної техніки

_____ А.С. Опанасюк

Керівник роботи

_____ І.А. Кулик

Студент гр. ЕСз-51с

_____ Я.В. Северін

Суми 2020

РЕФЕРАТ

Випускна робота містить 42 сторінки тексту, 4 таблиці і 19 рисунків.

Для виконання роботи використані 7 літературних джерел.

Спроектований пристрій застосовує для роботи 2 блоки рахувальних елементів, віднімаючий та підсумовуючий. Двоїчно-двійкова інформаційна послідовність завантажується до вхідного блоку віднімаючих рахувальних елементів, двійкова послідовність зчитується з вихідного блоку підсумовуючих рахувальних елементів.

В роботі зроблений огляд областей застосування цифрових пристроїв та вузлів, визначені типи існуючих рахувальних елементів та принципи побудови, розглянута двійково-десятькова система числення, наведені структура та алгоритм функціонування проектованого перетворювача, схеми блоків рахувальних елементів та буферного блоку.

Достоїнства – легка модифікація діапазону перекладених кодових послідовностей, не вимагає інструментів налаштування.

Область застосування пристрою – системи відображення інформації на дискретних індикаторах, засоби обчислювальної техніки, системи надійної передачі даних

СПИСОК УМОВНИХ СКОРОЧЕНЬ

BDC – двоїчно-десятковий код

BC – двійковий код

ІМС – інтегральна мікросхема

ТІ – тактові імпульси

ТТЛ – транзисторно-транзисторна логіка

ТТЛШ – транзисторно-транзисторна логіка з діодами Шотки

ВВЕДЕННЯ

Багато вчених вважають, що людство вступило в найважливіший і неминучий період свого розвитку – епоху інформатизації. Інформація стає найважливішим стратегічним ресурсом суспільства, визначальним багато в чому його здатності до подальшого розвитку. Технічною основою для «добування» і переробки такого ресурсу є спільно використовувані засоби зв'язку та обчислювальної техніки [1, 2].

В даний час цифрові пристрої, мікропроцесори і мікро-ЕОМ стали масовою продукцією електронної промисловості. Низький рівень споживання енергії, мала матеріаломісткість, висока надійність, низька вартість і широкі функціональні можливості стали причиною і наслідком впровадження лічильних пристроїв, перетворювачів кодів, пристроїв управління і мікропроцесорних систем в найрізноманітніші сфери виробництва.

Особливо важливими факторами їх використання є наступні: підвищення продуктивності праці при виготовленні радіоелектронної апаратури (РЕА), в тому числі побутової (теле- і радіоприймачів, магнітофонів, телевізорів та ін.) І апаратури різного призначення (зв'язку, контролю, діагностики, обробки інформації та ін.), поліпшення її якості. Визначається це в значній мірі широким впровадженням цифрових методів обробки інформації та використанням мікропроцесорної техніки [1, 2].

У зв'язку з цим виникає гостра необхідність в підготовці висококваліфікованих фахівців в області цифрової і мікропроцесорної техніки. Проектування апаратних засобів вимагає знання особливостей величезної кількості інтегральних мікросхем (ІМС), комплектів спеціалізованих ІМС для телебачення, телефонії, приймально-передавальної апаратури, систем зв'язку, апаратури, що кодує і декодує, і т.д.

Важливе значення в побудові різноманітних цифрових пристроїв та систем мають перетворювачі кодів, які характеризуються швидкодією кодоперетворення, кількістю застосованих корпусів мікросхем, вихідною навантажувально здатністю тощо, а також такими важливим параметрами, які відносяться як обсяг кодової таблиці, можливості модифікації й розширення кодової таблиці, максимальна робоча частота.

1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ

1.1 Застосування цифрових пристроїв

В даний час, у зв'язку зі створенням і широким впровадженням в ін-нерних практику мікропроцесорних пристроїв і систем, не слабшає і знову стимулюється інтерес до цифрових методів обробки та передачі інформації. Названі методи, в свою чергу, надають системам ряд позитивних властивостей і якостей. Підвищується вірність переданої інформації, досягається висока швидкість і продуктивність систем обробки інформації, забезпечується прийнятна їх вартість, висока надійність, мале споживання енергії і т.д. [1, 2].

Завдання, які вирішуються цими системами вельми різноманітні і зумовлюють функції пристроїв, що утворюють конкретну систему.

Основними типовими завданнями, що виникають при автоматичному або автоматизованому управлінні і контролі виробничими процесами, є:

- збір інформації (її отримання);
- перетворення інформації (масштабування, нормалізація, фільтрація, кодування і т. д.);
- передача-прийом інформації;
- обробка та використання інформації;
- зберігання інформації [1, 2].

Залежно від цільового призначення і основних функцій розрізняють:

- 1) системи автоматичного (або автоматизованого) управління і контролю;
- 2) системи передачі інформації;
- 3) системи обробки інформації (обчислювальні системи) [1, 2].

Системи автоматичного управління. "Управляти" означає знати стан (положення) керованого об'єкта і відповідно до заданого алгоритму (алгоритмом управління) впливати на об'єкт, прагнучи усунути виникаючі відхилення [1, 2].

Тому управління в загальному випадку пов'язане з виконанням наступних дій:

- отримання інформації про стан об'єкта;

- зіставлення отриманої інформації із заданою інформацією про стан об'єкта;
- формування керуючих сигналів (впливів);
- вплив на об'єкт з метою приведення його у потрібне становище [1, 2].

У відповідності з перерахованими діями в систему автоматичного управління (САУ) в загальному випадку повинні входити інформаційно-вимірювальний пристрій, пристрій управління і виконавчий пристрій (рисунок 1.1).

Інформаційно-вимірювальний пристрій (ІВП) отримує інформацію про об'єкт управління (ОУ) і попередньо її обробляє. Отримання інформації полягає у формуванні первинних сигналів, значення яких пропорційні значенням параметрів, що характеризують стан ОУ. Під об'єктом можна розуміти як окрему виробничу установку, так і виробничий процес в цілому. А під параметрами – "вихідні координати" об'єкта. Це можуть бути, наприклад, значення температури, тиску, витрати матеріалів або енергії тощо [1, 2].



Рисунок 1.1 – Узагальнена структурна схема систем автоматичного управління [1, 2]

В ІВП повинні бути первинні вимірювальні перетворювачі і датчики, аналого-цифрові перетворювачі та інші функціональні вузли, за допомогою яких виконуються наступні перетворення [1, 2]:

- * значень фізичних величин в уніфіковані аналогові сигнали постійного або змінного струму;

- * масштабування або нормування сигналів по рівню і формі;
- * перетворення аналогових сигналів в дискретні (цифрові) сигнали;
- * кодування сигналів і деякі інші перетворення [1, 2].

Сигнали про поточні значення координат надходять на пристрій управління (ПК). У функції цього пристрою входить порівняння поточних значень із заданими значеннями координат і формування за результатами порівняння сигналів управління (керуючих сигналів). Задані значення можуть вводитися людиною-оператором або автоматично програмно. У першому випадку в якості ПК може використовуватися автоматичний регулятор або кілька автоматичних регуляторів, уставки яких визначає і задає людина. У другому випадку ПК являє собою програмний автомат міні- або мікроЕОМ і роль людини-оператора зводиться до введення програми і первісного пуску системи [1, 2].

Для виконання зазначених функцій від ПК потрібно виконувати арифметичні і логічні операції по обчисленню значень і порівняно сигналів, короткочасного і довготривалого запам'ятовування (зберігання) сигналів і формування керуючих уніфікованих сигналів.

Безпосередньо впливу необхідної фізичної природи формує виконавчий пристрій (ВП). Він перетворює сигнали, наприклад у вигляді напруги постійного або імпульсного струму, в швидкість обертання виконавчого двигуна, в механічне переміщення клапана на паропроводі і так далі. Для виконання цих перетворень потрібні: перетворювачі цифрового сигналу в аналоговий; перетворювачі електричних сигналів в неелектричні; підсилювальні пристрої тощо.

При цьому в якості проміжних можуть знадобитися перетворювачі кодів цифрових сигналів, або форми подання сигналів. Наприклад, кодів двійкових чисел в пропорційну кількість імпульсів, однофазних сигналів в багатofазні, використовувані для управління кроковими двигунами і т.д.

Більшість з перерахованих перетворень можуть бути виконані за допомогою цифрових мікроелектронних пристроїв. Повністю цифровим є ПК, коли він будується на основі керуючих мікроЕОМ або на цифрових мікросхемах.

На цифрових мікросхемах виконуються цифрові датчики фізичних величин, а так само частково аналого-цифрові і цифро-аналогові перетворювачі сигналів.

Системи передачі інформації (СПІ). При збільшенні відстані між ПК і ВП (рисунок 1.1), а також між ПК та ВП, виникає задача передачі інформації. Необхідність передачі інформації на значні відстані виникає не тільки в просторово розвинених системах автоматичного управління і контролю, а й в системах інших видів зв'язку (телеграфної, телефонної, телефаксної і ін.). Крім того, необхідність передачі інформації виникає в обчислювальних системах, системах передачі даних, телемеханічних системах і т.д. [1, 2].

Це завдання ускладнюється тим, що в процесі передачі по лініях зв'язку спотворюються параметри сигналів і це, в свою чергу, може призвести до спотворення інформації – до зниження її вірності (ймовірності правильного її прийому). Спотворення ж сигналів обумовлено дією перешкод, що виникають в лініях зв'язку. Перешкоди, як правило, мають випадковий характер і за своїми параметрами можуть і не відрізнятися від параметрів сигналів. Тому вони "здатні" спотворювати сигнали і навіть "відтворювати" інформацію – трансформувати передане повідомлення. Останнє саме небажане подія в передачі інформації [1, 2].

Щоб забезпечити високу вірність і максимальну швидкість передачі інформації, потрібні додаткові перетворення сигналів і спеціальні методи їх передачі.

До таких перетворень відносяться кодування і зворотна процедура – декодування інформації (і сигналів). Кодування є процедура перетворення повідомлення в сигнал. При цьому перетворення здійснюються за певними правилами, сукупність яких називається кодом.

Кодування інформації виконується на передавальній стороні, а декодування на приймальній. Розрізняють завадостійке кодування і ефективне. Мета завадостійкого кодування – побудувати (сформувати) сигнал, менш схильний до дії перешкод, надати йому таку структуру, щоб помилки на приймальній стороні можна було б знайти або виправити. І, тим самим, забезпечити високу вірність передачі.

Мета ефективного кодування – забезпечити максимальну швидкість передачі інформації, так як її цінність в чому визначається, наскільки своєчасно вона отримана. Згідно з цим вимогу закодоване повідомлення має нести необхідну кількість інформації і, в той же самий час, мати мінімальну довжину, щоб на передачу треба було мінімум часу [1, 2].

Залежно від галузі використання (застосування) СПІ виникає необхідність в додаткових перетвореннях таких, як перетворення форми сигналів, їх фізичної природи, нормування параметрів надходять зовні сигналів і сигналів, видаваних системою на зовнішні пристрої; тимчасове зберігання переданих в канал зв'язку і видаються системою сигналів.

Перераховані перетворення зумовлюють функціональний склад передавальної і приймальної апаратури систем передачі інформації (рисунок 1.2) [1, 2].

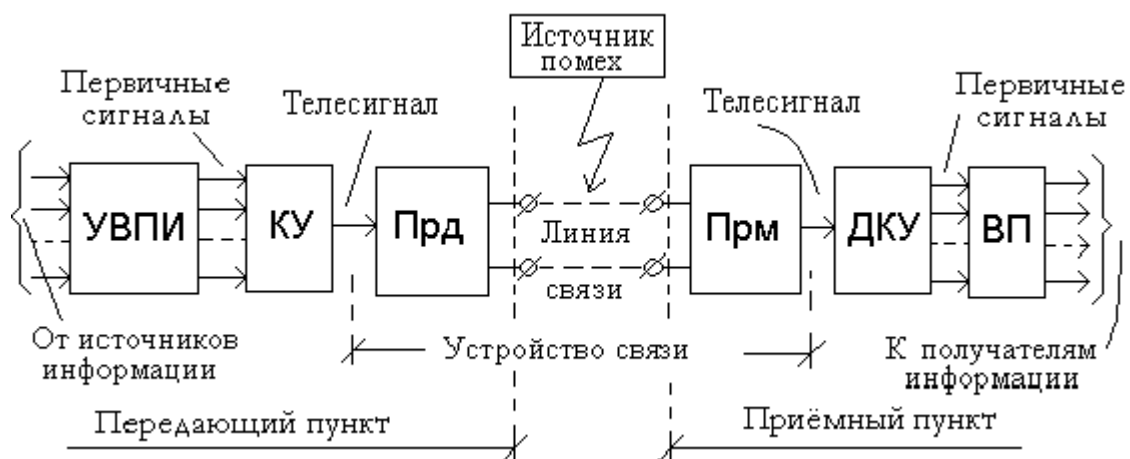


Рисунок 1.2 – Узагальнена структурна схема систем передачі інформації [1, 2]

Слід зазначити, що більшість функціональних вузлів і блоків, показаних на рисунку 1.2, можуть бути виконані на цифрових мікросхемах. Тому системи передачі інформації, як правило, є цифровими.

Системи обробки інформації. Перераховані вище типові завдання можуть бути вирішені і формалізовані математичними і логічними методами. У свою чергу названі методи оперують найпростішими операціями (арифметичними або логічними), виконанням яких над деякими "вихідними

даними" виходить новий результат, раніше невідомий. Ця спільність методів вирішення різноманітних завдань по обробці інформації дозволила створити окремий клас пристроїв і систем, цільовим призначенням яких (спочатку) була автоматизація обчислювальних процедур – ЕОМ або комп'ютери [1, 2].

Узагальнена структурна схема типової обчислювальної системи приведена на рисунку 1.3 [1, 2].

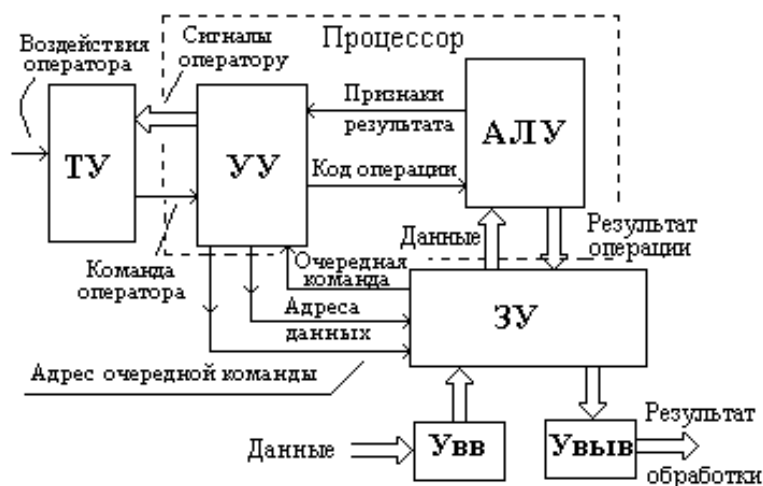


Рисунок 1.3 – Узагальнена структурна схема типової обчислювальної системи [1, 2]

Практично всі показані на рисунку 1.3 блоки (крім термінальних пристроїв) можуть бути повністю виконані тільки на цифрових інтегральних мікросхемах (ІМС). Зокрема, пристрій управління (УУ), арифметико-логічний пристрій (АЛУ) і частина запам'ятовувального пристрою (ЗУ) (регістрова пам'ять – СОЗУ) можуть бути виконані у вигляді однієї ІМС великої ступеню інтеграції. Названа сукупність блоків утворює мікропроцесор – центральний процесор ЕОМ, виконаний засобами інтегральної технології на одному кристалі напівпровідника.

Пристрої введення і виведення даних, як правило, складаються з буферних запам'ятовуючих регістрів, слугуючих для тимчасового зберігання, для введення та виведення даних і для узгодження системи з зовнішніми пристроями.

Завдяки сучасним досягненням в області інтегральної технології у виготовленні мікроелектронних пристроїв, створення мікроЕОМ і комп'ютерів,

що характеризуються малими габаритами, малим споживанням енергії і прийнятною вартістю, стало можливим їх застосування в складі систем самого різного призначення. При цьому ці системи набувають нових якостей і стають багатофункціональними з можливістю гнучкого переходу від одного режиму роботи до іншого шляхом простого зміни конфігурації систем.

1.2 Мікроелектронні рахункові пристрої

Все різноманіття мікроелектронних пристроїв можна класифікувати за різними ознаками [3, 4, 5]:

- за принципом і характером дії;
- за функціональним призначенням і виконуваних функціонально-ям;
- за технологією виготовлення;
- залежно від сфери застосування;
- за конструктивним виконанням та технічним характеристиками .

За принципом (характеру) дії все мікроелектронні пристрої поділяються на аналогові і цифрові.

Цифрові мікроелектронні пристрої – логічні елементи, шифратори, дешифратори кодів і кодоперетворювачі, запам'ятовуючі елементи (тригери), пристрої, що запам'ятовують, арифметико-логічні пристрої, рахункові пристрої (лічильники імпульсів) тощо [3, 4, 5].

Залежно від напрямку рахунку розрізняють лічильники, які підсумовують, віднімають і реверсивні, напрямок рахунку в яких залежить або від керуючого сигналу, або від того, на який вхід: підсумовуючий або віднімаючий, подаються імпульси, які піддаються рахунку. В останньому випадку підсумовуючий вхід позначають символом "+1", а віднімаючий вхід позначають символом "-1". Якщо напрямок рахунку залежить від стану сигналу на керуючому вході, то зазвичай піддаються рахунком імпульси, що подаються на вхід синхронізації мікросхеми [3, 4, 5].

У вигляді мікросхеми реалізують підсумовуючі і реверсивні лічильники. Тобто віднімаючий лічильник як окремий виріб зазвичай не реалізується. Пояснюється це тим, що віднімаючий лічильник можна реалізувати на

підсумовуючому, у якого результат рахунку знімається з інверсних виходів тригерів або використовуються інвертори на прямих виходах тригерів [3, 4, 5].

Залежно від підстави рахунку розрізняють двійкові лічильники, десяткові і лічильники за довільною основою. Використовуваний символ функції в умовному позначенні залежить від підстави рахунку. В умовному позначенні двійкового лічильника функцію позначають поєднанням "СТ2", в десятковому лічильнику функцію позначають "СТ10", при підставі рахунку N функцію позначають "СТN" [3, 4, 5].

Залежно від організації ланцюгів переносу розрізняють лічильники з послідовним переносом, паралельним, наскрізним і змішаним переносом. Лічильники будуються на T-тригерах, причому, лічильники з послідовним перенесенням використовують асинхронні T-тригери, а решта лічильників зазвичай будуються на синхронних T-тригерах.

Лічильники з послідовним перенесенням мають мінімальну швидкодію, при зміні стану багатьох тригерів в лічильнику ці тригери змінюють стан послідовно. В результаті лічильник перебирає під час перемикання усі в цьому випадку можливі стани (рисунок 1.4) [3, 4, 5].

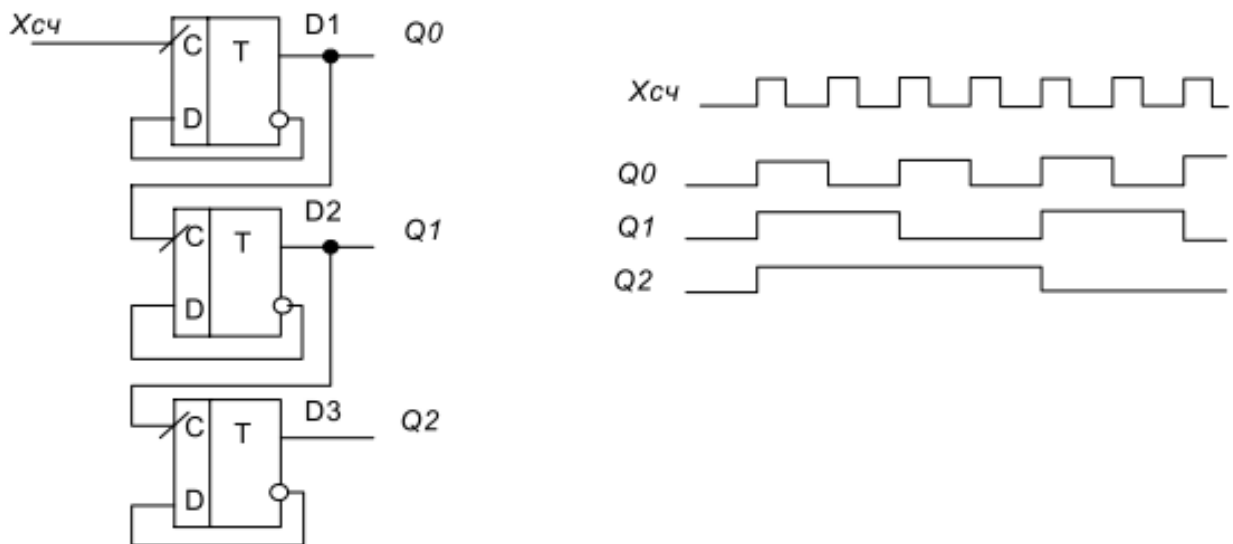


Рисунок 1.4 – Віднімаючий лічильник на D-тригерах та часові діаграми його роботи [3, 4, 5]

Щоб побудувати підсумовуючий лічильник достатньо до входу синхронізації кожного наступного тригера підключити інверсний вихід попереднього тригера або зняти інформацію з інверсних виходів тригерів. На рисунку 1.5 показана схема підсумовуючого лічильника на JK-тригерах і часові діаграми його роботи [3, 4, 5].

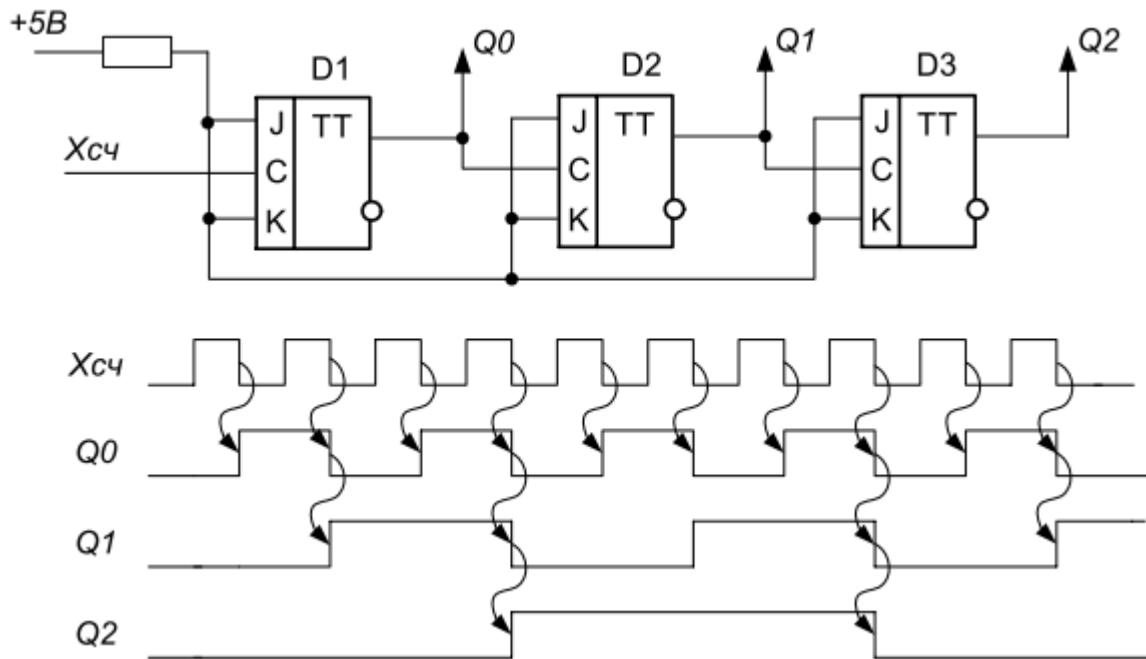


Рисунок 1.5 – Віднімаючий лічильник на D-тригерах та часові діаграми його роботи [3, 4, 5]

Аналізуючи роботу підсумовуючого лічильника, можна помітити, що перемикання розряду з номером i можливо тільки при наявності в попередніх розрядах одиниць. Якщо в зазначеному розряді використовується синхронний T-тригер, то функція перенесення в даний розряд визначиться з виразу [3, 4, 5]:

$$T_i = Q_0 \cdot Q_1 \cdot Q_2 \cdots Q_{(i-1)}.$$

Сигнал переносу може формуватися за допомогою багатовходового кон'юнктора, число входів якого визначається номером розряду, для якого формується перенесення. Якщо усі сигнали перенесення формуються таким чином, то при використанні синхронних T-тригерів можна побудувати лічильник з паралельним перенесенням, схема якого показана на рисунку 1.6.

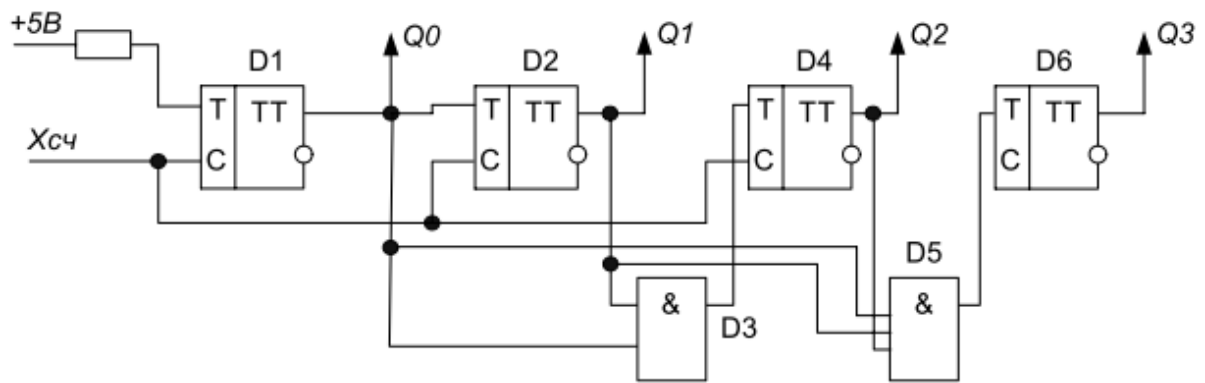


Рисунок 1.6 – Лічильник з паралельним переносом на синхронних Т-тригерах [3, 4, 5]

Використовувані в схемі синхронні Т-тригери можуть бути реалізовані на JK-тригерах або на D-тригерах з динамічним управлінням або двохступеневих.

Щоб лічильник був віднімаючим, слід при застосованих Т-тригерах для формування перенесення використовувати сигнали з інверсних виходів [3, 4, 5].

Лічильник з паралельним переносом відрізняється максимальною швидкістю.

Щоб побудувати реверсивний лічильник досить на вході Т кожного наступного розряду використовувати мультиплексор на два інформаційних входи, до яких підключаються прямий і інверсний виходи тригера попереднього розряду. Залежно від сигналу селекції даних на всіх паралельно працюючих мультиплексорах здійснюється підключення рахункового входу наступного розряду або до прямого, або до інверсного входу. Тобто оперативно можна міняти режим роботи лічильника. Перемикання необхідно здійснювати при пасивному сигналі, який надходить на рахунковий вхід лічильника [3, 4, 5].

Якщо функції перенесення реалізувати на двохвходових кон'юнкторах, то можна побудувати лічильник з наскрізним переносом. Схемне рішення такого лічильника запропоновано на рисунку 1.7 [3, 4, 5].

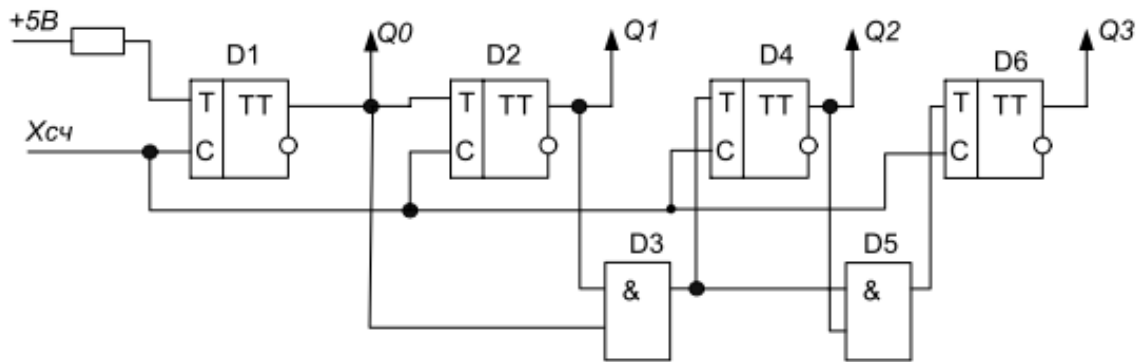


Рисунок 1.7 – Лічильник з наскрізним переносом [3, 4, 5]

Лічильник з наскрізним переносом володіє меншою швидкістю порівняно з лічильником з паралельним переносом, але іноді простіше в реалізації. Лічильники з паралельним і наскрізним переносами добре не тільки високим швидкістю, але і тим, що усі тригери, які повинні змінити свій стан з приходом чергового імпульсу змінюють стан одночасно [3, 4, 5].

Приклад синтезу лічильника. Спроекуємо віднімаючий двійковий лічильник з коефіцієнтом перерахунку $K_{\text{рах}} = 6$. Для фіксації шести станів лічильника візьмемо три тактируємих по позитивному фронту D-тригера, об'єднані входи синхронізації котрих будемо використовувати як рахунковий вхід лічильника (рисунок 1.8). Будемо характеризувати стан лічильника P трьохрядним двоїчним словом $Q_3Q_2Q_1$ (P має циклічно змінюватися від 5 до 0).

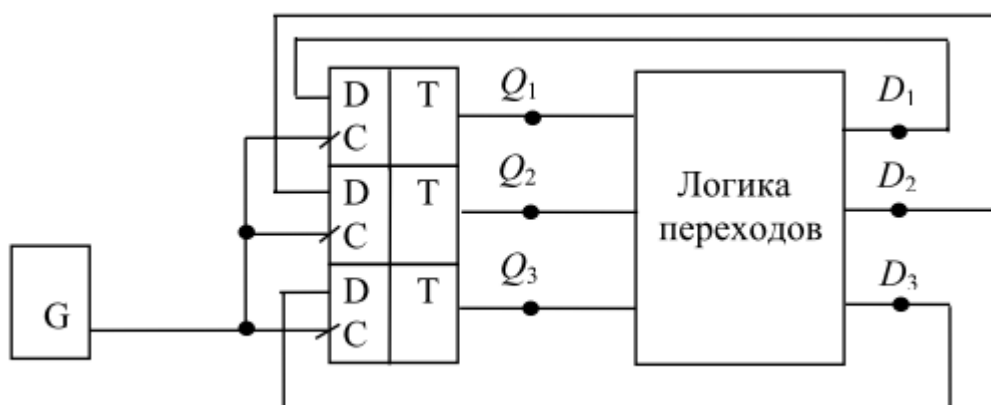


Рисунок 1.8 – Схема лічильника, який будується

Кожен імпульс генератора G переписує на виходах тригерів Q_1, Q_2, Q_3 інформацію з входів D_1, D_2, D_3 . Тому подальший синтез лічильника зводиться до побудови комбінаційної схеми (логіки переходів), яка формує з вихідних сигналів Q рівні сигналів D на інформаційних входах тригерів, необхідні для переходу в наступний стан. Для цього складемо таблицю переходів (таблиця 1.1) і запишемо логічні вираження для сигналів D_1, D_2, D_3 в ДНФ (диз'юнктивній нормальній формі):

$$\begin{aligned}
 D_1 &= Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{Q_3} \cdot Q_2 \cdot \overline{Q_1} + \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}; \\
 D_2 &= Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{Q_3} \cdot Q_2 \cdot Q_1, \\
 D_3 &= Q_3 \cdot \overline{Q_2} \cdot Q_1 + \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}.
 \end{aligned}
 \tag{1.1}$$

Таблиця 1.1 – Таблиця переходів проектованого лічильника

Текущее состояние счетчика N				Последующее состояние счетчика N^+			
N	Q_3	Q_2	Q_1	N^+	D_3	D_2	D_1
5	1	0	1	4	1	0	0
4	1	0	0	3	0	1	1
3	0	1	1	2	0	1	0
2	0	1	0	1	0	0	1
1	0	0	1	0	0	0	0
0	0	0	0	5	1	0	1

Для мінімізації логічних функцій можна скористатися основними законами булевої алгебри або картами Карно (рисунок 1.9), причому в клітинах, відповідних шостому і сьомому станом лічильника, логічні функції можна доопределяти на власний розсуд, так як в схемі проектованого лічильника вони не реалізуються.

За картками Карно запишемо мінімізовані вираження для функцій D_1 і D_2 :

$$D_1 = \overline{Q_1}, \tag{1.2}$$

$$D_2 = Q_3 \cdot \overline{Q_1} + Q_2 \cdot Q_1. \tag{1.3}$$

Вираз для D_3 отримаємо шляхом перетворення співвідношення (1.1), так як карта Карно не дозволяє провести ефективну мінімізацію цієї функції

$$D_3 = \overline{Q_2} \cdot \overline{Q_1} \oplus Q_3. \quad (1.4)$$

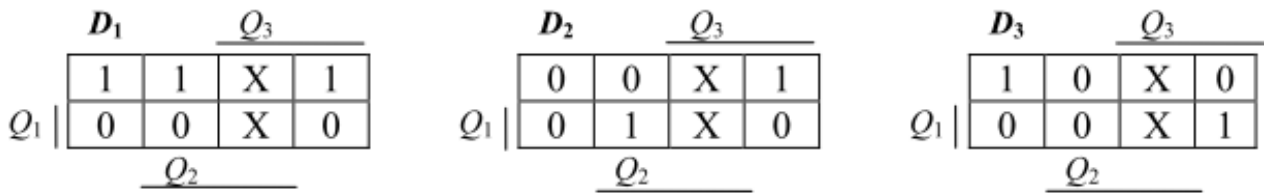


Рисунок 1.9 – Картки Карно для лічильника, який будується

З урахуванням співвідношень (1.2), (1.3) і (1.4) побудована схема по вивченню роботи лічильника (рисунок 1.10). рахункові імпульси знімаються з виходу тактового генератора G. Індикація станів лічильника проводиться за допомогою елемента DD9, виконуючого функцію перетворення чотирирозрядного двійкового числа в його шістнадцятковий еквівалент на семісегментному індикаторі. Зручно вибрати частоту генератора рівною 1 Гц.

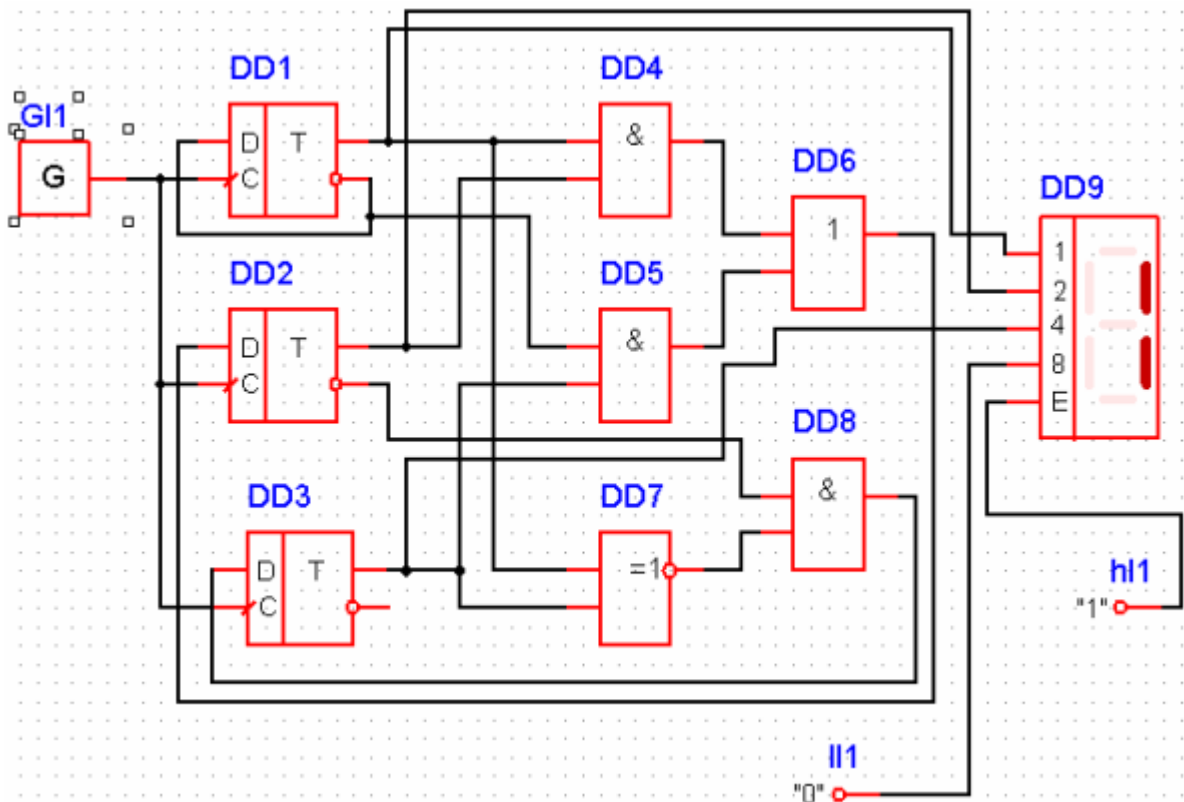


Рисунок 1.10 – Синхронний віднімаючий лічильник

1.3 Двоїчно-десятькова система числення

Двійкова-десятькова система числення BD (Binary Decimals) має підставу $d = 10$, і кожна цифра (0, 1, 2, 3, 4, 5, 6, 7, 8, 9) зображується в цій системі числення чотирирозрядним двійковим числом, званім тетрадой. Вона використовується в ЕОМ не тільки в якості допоміжної системи числення при введенні і виведенні даних, але і в якості основної при вирішенні завдань, коли в ЕОМ вводиться і виводиться велика кількість чисел, а обчислень над ними проводиться мало. Десятькові числа в двійковій-десятьковій системі числення кодуються в прямому нормально-зваженому коді 8-4-2-1, тобто кожен цифру десятичного числа необхідно замінити відповідною тетрадой двійкових чисел [1, 2, 3].

Для перекладу десятичного числа в двійковій-десятьковий код (BDC) десятичний символ слід замінити його двійковим зображенням у вигляді тетради. Наприклад,

$$87,523_{10} = 1000\ 0111, 0101\ 0010\ 0011_{2-10}$$
$$8_{10}\ 7_{10},\ 5_{10}\ 2_{10}\ 3_{10}$$

Для перекладу двійково-десятькового числа в десятичне необхідно вихідний код розбити на тетради вправо і вліво від коми (неповні тетради доповнити нулями) і замінити отримані тетради відповідними десятичними символами. Наприклад,

$$110011,10010111_{2-10} = 0011\ 0011, 1001\ 0111 = 33,97_{10}$$
$$3_{10}\ 3_{10},\ 9_{10}\ 7_{10}$$

Відповідність BDC двійковим кодам (BC) демонструється в таблиці 1.2.

Основними недоліками двійковій системі числення є велика довжина розрядної сітки в порівнянні з іншими системами числення, необхідність переведення вихідних числових даних з десятичної системи числення в двійкову, а результатів рішення – з двійковій в десятикову [1, 2, 3].

Таблиця 1.2 – Відповідність кодів BDC кодам BC [5]

Двоично-десятичний код				Десятичний код
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

1.4 Перетворювачі двійково-десяткових кодів

ІМС перетворювачів кодів служать для перетворення вхідних BC у вихідні BDC і навпаки – вхідних BDC кодів у вихідні BC. Вони використовуються досить рідко, оскільки вживання BDC обмежено вузькою областю, наприклад, вони застосовуються в схемах багаторозрядної десяткової індикації. До того ж при правильній організації схеми часто можна обійтися без перетворення в BDC, наприклад, вибираючи лічильники, що працюють в BDC. Перетворення BDC в BC зустрічається ще рідше [3, 4, 5].

ІМС поширених лічильників наведені на рисунку 1.11.

На схемах ІМС перетворювачів позначаються буквами X/Y. У вітчизняних серіях перетворювачі мають позначення ПР.

Крім того, треба врахувати, що будь-які перетворення паралельних кодів, навіть самі екзотичні, можуть бути легко реалізовані на мікросхемах постійної пам'яті потрібного об'єму. Звичайно це набагато зручніше, ніж брати стандартні мікросхеми перетворювачів кодів.

В стандартні серії входять дві ІМС перетворювачів кодів: ПР6 для перетворення BDC в BC і ПР7 для перетворення BC в BDC (рисунок 1.12). Обидві ІМС мають виходи ОК, тому до них треба приєднувати резистори навантажень величиною близько 1 кОм, але для зручності в подальших схемах

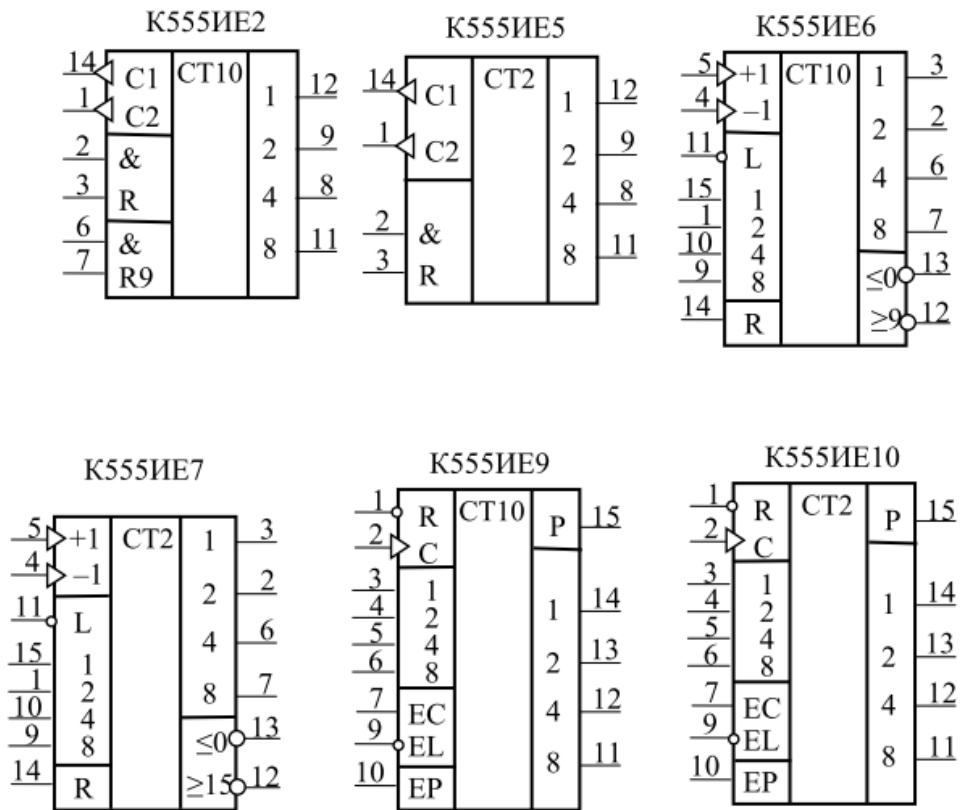


Рисунок 1.11 – ІМС рахункових елементів [5]

ці резистори не показані. Обидві ІМС мають також вхід дозволу виходу -ЕО, при нульовому рівні на якому всі виходи активні, а при одиничному - переходять в стан одиниці. Перетворювач ПР6 має додаткові виходи А, В, С, що не беруть участь в основному перетворенні [1, 2].

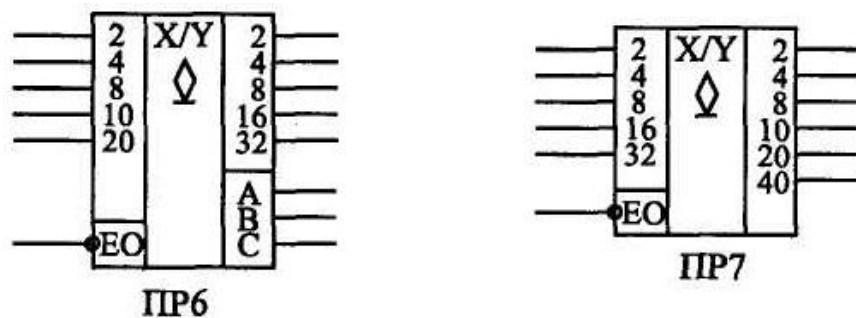


Рисунок 1.12 – ІМС перетворювачів кодів [4, 5]

Таблиці істинності перетворювачів прості. Наприклад, ВDC без молодшого розряду на вході ПР6 перетвориться в ВС без молодшого розряду на виході ПР6. Молодший розряд не бере участь в перетворенні, він

безпосередньо передається з входу на вихід. Одна мікросхема ПР6 обробляє вхідні коди в діапазоні від 0 (BDC 00 000) до 39 (код 11 1001) [4, 5].

Так само ВС без молодшого розряду на вході ПР7 перетвориться в BDC без молодшого розряду на виході ПР7. Одна мікросхема ПР7 може обробляти вхідні коди в діапазоні від 0 (BC 000000) до 63 (код 111111). Молодші розряди вхідних кодів передаються на вихід без обробки в обхід ІМС, оскільки вони однакові як в двійковому, так і в двійково-десятковому кодах. Найпростіші схеми включення одиночних ІМС ПР6 і ПР7 приведені на рисунку 1.13 [4, 5].

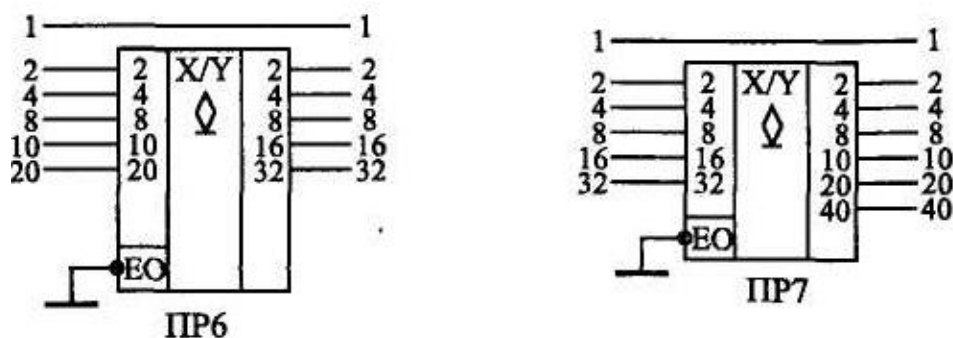


Рисунок 1.13 – Найпростіше включення одиночних перетворювачів коду ПР6 і ПР7 [4, 5]

Затримки перетворювачів кодів приблизно удвічі перевершують затримки логічних елементів. Точні величини затримок можна знайти в довідниках.

1.5 Постановка завдання проектування

З точки зору нескладності побудови, можливості уникнення трудоемних засобів налагодження та налаштування, простоти модифікації таблиці кодів перекладу BDC в BC необхідно обрати спосіб реалізації проектного пристрою на основі використання функціональних рахункових елементів, тобто лічильників віднімання і підсумовування.

Аналіз технічного завдання, проведений огляд технічної документації щодо заданої тематики й оцінювання нагальних потреб практики дозволяють сформулювати наступні технічні вимоги до параметрів розроблювального пристрою:

- не менше 8 розрядів вхідного ВДС;
- не менше 2 десяткових розрядів вхідного ВДС;
- не менше 6 (8) розрядів вихідного ВС;
- не менше 128 послідовностей, які перетворюються;
- не менше 18 МГц частота перемикання рахункових елементів.

2 РОЗРОБКА СТРУКТУРНОЇ СХЕМИ Й АЛГОРИТМУ ФУНКЦІОНУВАННЯ ПРОЕКТОВАНОГО ПРИСТРОЮ

Завдання, розв'язувані при синтезі структурної схеми проектного пристрою, є наступними:

- 1) організувати буферні операції та зберігати вихідні послідовності BDC;
- 2) застосувати вузли, які забезпечують синхронною роботу інших блоків пристрою;
- 3) побудувати вузли введення-виведення сигналами управління між пристроєм і джерелом вихідних BDC послідовностей, пристроєм і приймачем перетворених послідовностей;
- 4) реалізувати вузли, які генерують внутрішні сигнали управління;
- 5) організувати буферні операції та зберігати отримані ВС послідовності.

Структурна схема заданого пристрою складається з наступних блоків і вузлів: блоку 1 лічильників віднімання, генератора 2 тактових імпульсів, блоку 3 заборони, блоку 4 фіксації нуля, блоку 5 лічильників підсумовування, буферного блоку 6 (рисунок 2.1).

Блок 1 забезпечує зменшення свого BDC вмісту на 1 із приходом кожного ТІ. Одночасно із цим блок 1 виконує операції логічного розв'язання з джерелом послідовностей й зберігання початкової вихідної BDC комбінації. Оскільки кількість g десяткових розрядів BDC рівно трьом і кожний з них змінюється в діапазоні $(0 \div 9)$, то діапазон P зміни BDC:

$$P = 10^g = 10^3 = 1000,$$

а найбільше кількісне значення BDC числа $N_{\max} = 999$. Тому що на кожний десятковий розряд початкового коду доводиться 4 двійкових цифрових розряди, те загальне кількість розрядів BDC і, отже, кількість входів блоку 1 рівно $n_{Б1} = 4 \times g = 4 \times 3 = 12$.

Генератор 2 генерує тактову послідовність імпульсів заданої частоти, забезпечуючи при цьому синхронність функціонування заданого пристрою.

Блок 3 заборони служить для породження внутрішнього сигналу припинення подачі імпульсів після закінчення перетворення BDC в ВС.

Блок 4 призначений для виявлення 00...0 коду блоку 1 лічильників

віднімання, даючи управляючий сигнал про закінчення перекладу.

Блок 5 реалізує збільшення на 1 свого вмісту із приходом кожного ТІ, один за одним формуючи традиційний ВС. Остання двійкова комбінація даного блоку після генерування сигналу заборони подачі імпульсів буде кінцевою послідовністю, що співпадає з отриманою послідовністю. Вихідна розрядність блоку 5 обчислюється таким чином:

$$n_{Б5} = \lceil \log_2 P \rceil = \lceil \log_2 1000 \rceil = 10.$$

Блок 6 запам'ятовує перекладену послідовність, підвищує потужність вихідних сигналів заданого пристрою, логічно розв'язує спроектований пристрій з приймачем ВС. Вихідна розрядність блоку 6 повинна співпадати з вихідною кількістю розрядів блоку 5: $n_{Б6} = n_{Б5}$.

Перетворювач ВДС в ВС згідно зі структурою на рисунку 2.1 працює в такий спосіб.

Початкова ВДС послідовність записується в блок 1 по управляючому сигналу "Load" від джерела інформаційних послідовностей. В той же момент за цим сигналом "Load" здійснюється приведення блоку 5 в нульове становище. Після того, як виключиться сигнал "Load", блоки 1 і 5 починають отримувати ТІ, що надходять із генератора 2 через блок 4. Блок 1 із приходом кожного імпульсу віднімає зі свого вмісту 1. Блок 5 навпроти із приходом імпульсу додає до свого вмісту 1. При досягненні блоку 1 нульового стану спрацьовує блок 3 фіксації нуля, який замикає блок 4 заборони, припиняючи тим самим подачу ТІ на блоки 1 і 5. Сигнал із блоку 4 надходить також на блок 6, завантажуючи до блоку 6 отриману ВС послідовність з блоку 5. Породжуваний сигнал з блоку 3 застосовується в якості сигналу "Ready" для джерела й приймача преутворених послідовностей, інформуючи їх про готовність до перекладу подальших ВДС послідовностей.

Алгоритм роботи спроектованого пристрою, що містить десять операцій, показано на рисунку 2.2, де <Блок 1> – зміст блоку 1 лічильників віднімання. Найбільш важливі операції у порядку їх слідування:

- приведення блоків пристрою у початковий стан;
- запис ВДС послідовності в блок 1 лічильників віднімання;
- виявлення нульового стану блока 1 лічильників віднімання;
- зменшення на 1 вмісту блоку 1 лічильників віднімання;

- збільшення на 1 вмісту блока 5 лічильників підсумовування;
- завантаження буферного блоку 6 вмістом блоку 5;
- формування сигналу "Ready" блоком 3 фіксації нуля;
- виявлення сигналу виключення пристрою.

Таблиця 2.1 демонструє переклад 8-розрядних ВС послідовностей 12-розрядним BDC послідовностям, які вводяться до розроблювального кодоперетворювача, (у діапазоні 000g–119g, де g – символ десяткового формату). Отримані інформаційні послідовності представлені в 16-му вигляді.

Таблиця 2.1 – Переклад BDC в ВС, представлений 16-му вигляді

		Молодша тетрада ДК															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	E
Старша тетрада ДК	0	000	001	002	003	004	005	006	007	008	009	010	011	012	013	014	015
	1	016	017	018	019	020	021	022	023	024	025	026	027	028	029	030	031
	2	032	033	034	035	036	037	038	039	040	041	042	043	044	045	046	047
	3	048	049	050	051	052	053	054	055	056	057	058	059	060	061	062	063
	4	064	065	066	067	068	069	070	071	072	073	074	075	076	077	078	079
	5	080	081	082	083	084	085	086	087	088	089	090	091	092	093	094	095
	6	096	097	098	099	100	101	102	103	104	105	106	107	108	109	110	111
	7	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127
	8	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143
	9	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159
	A	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175
	B	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191
	C	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207
	D	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223
	E	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239
	F	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255

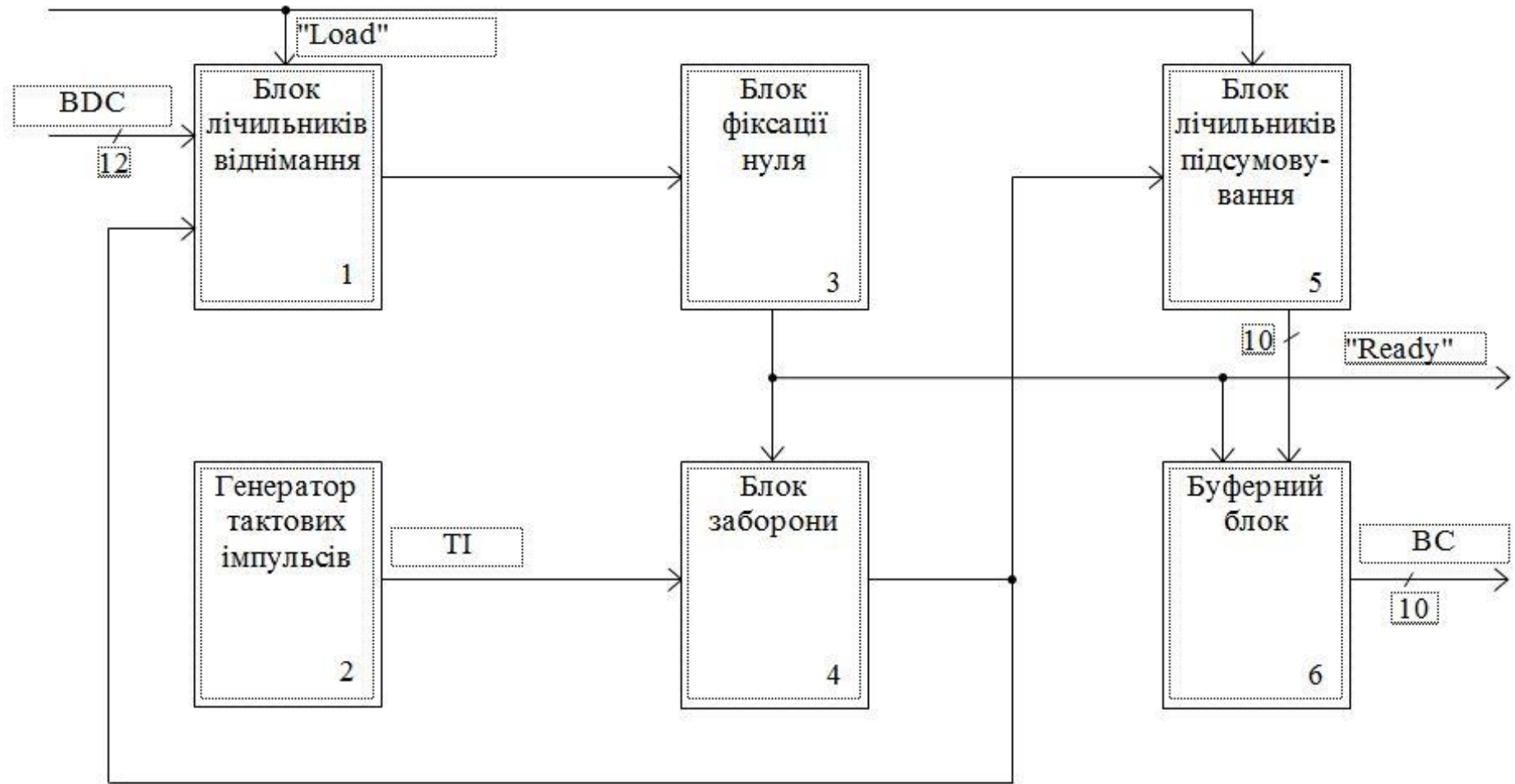


Рисунок 2.1 – Структурна схема проектованого пристрою

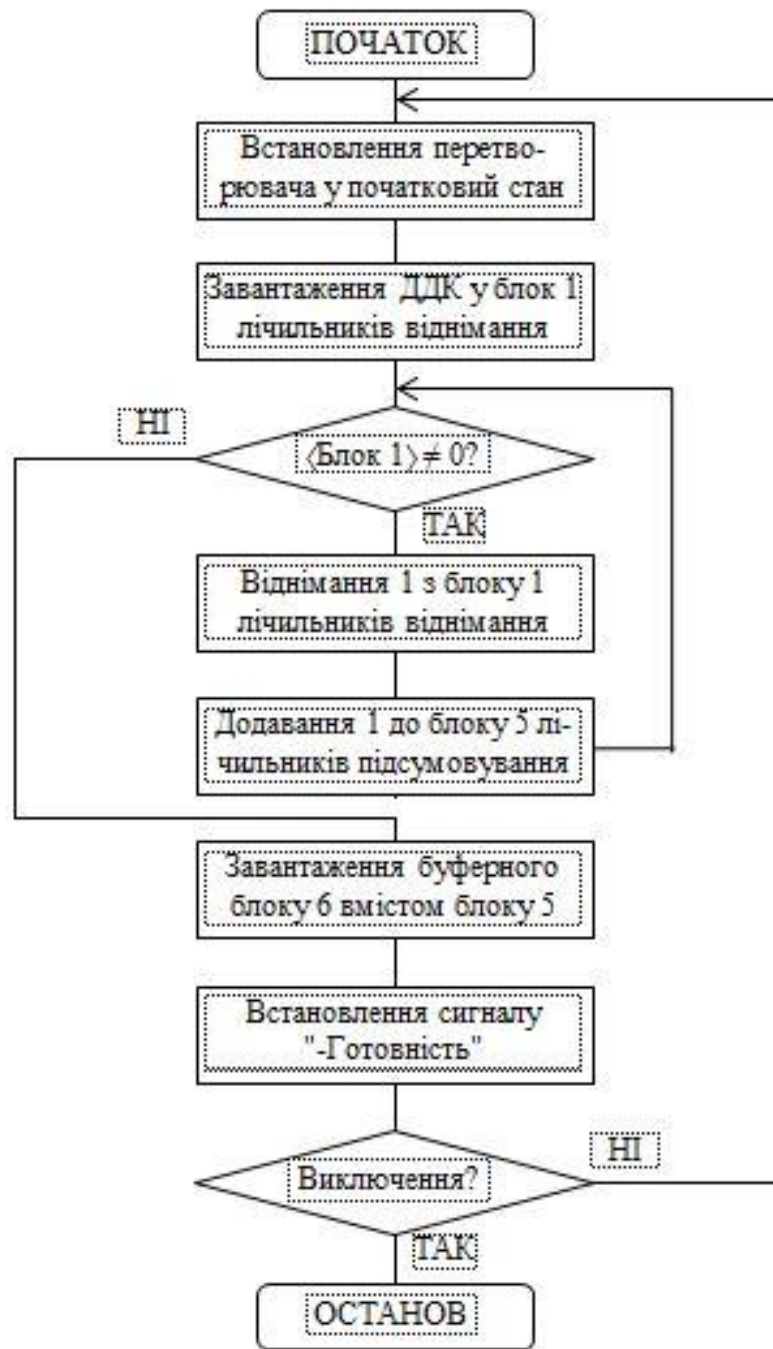


Рисунок 2.2 – Алгоритм функціонування проектованого пристрою

3 РОЗРОБКА ФУНКЦІОНАЛЬНИХ СХЕМ БЛОКІВ ПРОЕКТОВАНОГО ПРИСТРОЮ

Блок 1 повинен здійснити операції по завантаженню та зберіганню початкової та проміжної декрементованої BDC інформаційних послідовностей кількості 12 цифрових розрядів та віднімання зі свого вмісту 1, який має наступні технічні параметри: двійкова розрядність $n_{\text{БЛВ}} = 12$; десяткова розрядність $n'_{\text{БЛВ}} = 3$; коефіцієнт лічби $K_{\text{рх}} = 103 = 1000$.

Блок 3 виконує операції по виявленню 00...0 змісту блоку 1 та генерування сигналу "Ready" для джерела й приймача інформаційних послідовностей, який також служить сигналом, який забороняє поступання ТІ.

З метою розроблення блоків 1 та 3 застосовуються функціональні елементи – віднімаючі рахувальні елементи, які повинні мати режими вирахування та паралельного завантаження послідовностей. Крім того, ці рахувальні елементи повинні бути синхронними з паралельною подачею синхроімпульсів на усі їхні порозрядні тригери й володіти властивістю виявляти 00...0 стан.

У разі використання чотирьохрозрядних лічильників схеми блоків 1 й 3 показані на рисунку 3.1. Елементи DD1, DD2 і DD3 являють собою двійкові синхронні лічильники з коефіцієнтом $K_{\text{рх}} = 10$. Вказані елементи мають паралельні входи даних D0–D3. За допомогою D0–D3 проводиться запис початкової BDC послідовності від джерела по сигналу "Load" на вході –L. ТІ із блоку 3 надходять на віднімаючий синхровход –1. Виходи –PD лічильників DD1 і DD2 подають ТІ перенесення для наступних лічильників DD2 і DD3 відповідно. Виявлення 00...0 вмісту DD1, DD2 і DD3 виконується за допомогою елемента АБО DD4, вихід якого являє собою значення сигналу "Ready" для зовнішніх пристроїв і сигналу заборони для блоку 3.

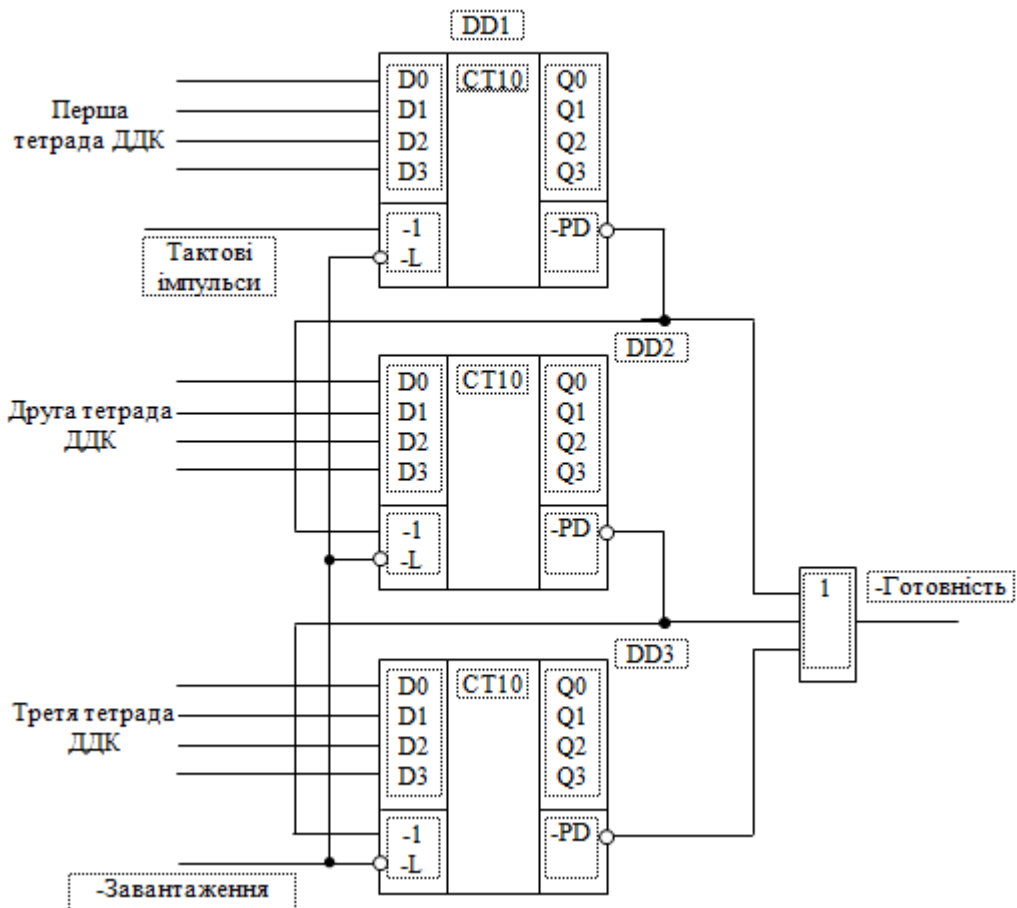


Рисунок 3.1 – Схеми блоків 1 та 3 проектованого пристрою

Переклад ВС послідовності, як відноситься до вихідної ВДС послідовності, та інкрементування свого змісту вионує блок 5, який має основні технічні параметри: розрядність $n_{\text{ВСС}} = 10$; коефіцієнт лічби $K_{\text{рх}} = 2^{10} = 1024$.

З метою розроблення блоку 5 необхідно застосовувати функціональні елементи – підсумовуючі рахункові елементи. Ці рахункові елементи повинні бути синхронними з паралельною подачею синхроімпульсів на всі порозрядні тригери й мати керуючий вхід скидання в $00\dots0$. Функціонально зручно для побудови блоку 5 застосувати чотирьорозрядні лічильники (рисунок 3.2).

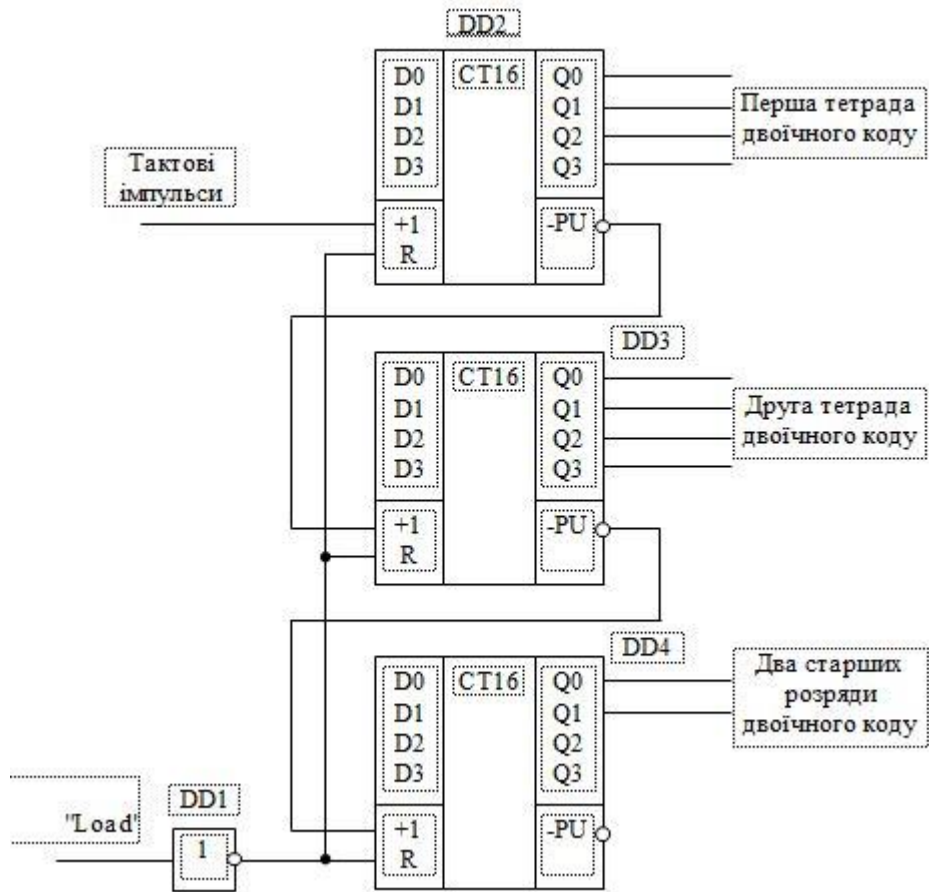


Рисунок 3.2 – Схема блоку 5 проектованого пристрою

Елементи DD2 – DD4 являють собою синхронні лічильники з коефіцієнтом лічби $K_{рх} = 16$ (рисунок 3.2). Виходи лічильників –PU переносять сигнали з молодшої в старшу тетраду ВС послідовності. Сигнали з виходів лічильників DD2 – DD4 надходять на входи блоку 6. При запису нової ВДС інформаційної послідовності для перекладу елементи DD2 – DD4 обнуляються сигналом "Load", який інвертується елементом DD1 для отримання активного одиничного сигналу приведення до нуля на входах R елементів DD2 – DD4.

4 РОЗРОБКА ПРИНЦИПОВИХ СХЕМ БЛОКІВ ПРОЕКТОВАНОГО ПРИСТРОЮ

4.1 Вибір елементної бази

Номенклатура, що випускаються, ІМС досить велика. Ще в 80-х роках для побудови пристроїв автоматики й обчислювальної техніки широке застосування знаходили цифрові мікросхеми серії SN74, які виготовляли за технологією транзисторно-транзисторної логіки (ТТЛ). При всіх своїх позитивних якостях ці ІМС мають велику споживану потужність. На зміну цієї серії була розроблена й випущена нова серія 74LS, принципова відмінність якої – технологія ТТЛ із діодами Шотки (ТТЛШ). У результаті при збереженні швидкодії вдалося суттєво зменшити споживану потужність (в 4-5 раз). Подальший розвиток мікросхемотехніки – розробка ІМС серії 74ALS. Їхня основна експлуатаційна відмінність – в 1,5-2 рази менша споживана потужність, чим в 74LS, при підвищенні швидкодії [5, 6, 7].

Для порівняння різних серій ІМС у таблиці 4.1 наведені середні значення основних параметрів [5, 6, 7].

Таблиця 4.1 – Середні значення параметрів ІМС різних серій [5, 6, 7]

Параметр	Серія		
	SN74	74LS	74ALS
Час затримки поширення, нс	10	9,5	4
Питома споживана потужність, мВт/ле	10	2	1
Коефіцієнт розгалуження по входу	10	20	40
Відхилення напруги живлення, %	±5	±5	±10
Максимальний вихідний струм, мА: "0"/"1"	16/0,4	8/(-0,8)	4/(-0,4)

Швидкодія інтегральних транзисторів зараз наблизилася до межі 6 ГГц. Серії 74F і 74ALS споживають на 1 біт енергії в 20 разів менше, чим у початкових старих серіях [5, 6, 7].

У цих ІМС використані інтегральні транзистори Шотки з дуже малим обсягом колекторної області, чим реалізована практично гранична швидкодія. Щоб зберегти високу навантажувальну здатність при безпечній щільності колекторного струму, вхідний струм низького рівня зменшений в 5-10 разів (0,4 мА для 74F і 0,1-0,2 мА для 74ALS замість 1,6 мА для SN74) [5, 6, 7].

У якості прийнятної по всіх параметрах вибираємо серію 74ALS.

4.2 Принципові схеми блоків проектованого пристрою

4.2.1 Блок лічильників віднімання.

З метою розроблення блоку 1 використовуються двійкові чотирихрозрядні синхронні реверсивні лічильники SN74ALS192 TTLШ технології (рисунок 4.1). Імпульсні тактові входи інкрементування (не використовується) і декрементування (вивід 4) у даних ІМС роздільні. Інтегрально лічильник заснований на двоступінчастих тригерах "майстер-помічник". Стан лічильника міняється по позитивних перепадах ТІ від низького рівня до високого на цих входах [5, 6, 7].

Для спрощення побудови рахункових елементів із кількістю розрядів, що перевищують 4, ІМС мають виходи закінчення лічби на додавання (не використовуються) і на віднімання ($-PD$, вивід 13). Від виводу 13 DD1 береться тактовий сигнал позики для наступного лічильника DD2, а від виводу 13 DD2 береться тактовий сигнал для наступного DD3. По входах дозволу паралельного завантаження $-L$ (вивід 11) дія тактової послідовності забороняється. Тому що для рахунку використовується тільки один тактовий вхід -1 (вивід 4), те на другому $+1$ (вивід 5) повинне бути зафіксована напруга низького рівня. ¶

На виході $-PD$ неактивний рівень – високий. Якщо рахунок досягає нуля, то із приходом наступного перепаду (з високого на низький рівень) на виході $-PD$ з'являється сигнал низького рівня. Після повернення напруги на тактовому вході -1 до високого рівня напруга на виході $-PD$ залишиться низькою ще на час, відповідний до подвійної затримки перемикання логічного елемента TTLШ. ¶

Потужність споживання лічильником SN74ALS192 становить 110 мВт, а час затримки поширення сигналу – 23 нс. Режими роботи двійкового лічильника SN74ALS192 показано в таблиці 4.2 [5, 6, 7].

Логічна диз'юнкція виходів $-PD$ рахункових лічильників DD1, DD2 і DD3 виявляє 00...0 стан блоку 1. Логічні елементи 2АБО DD4.1 і DD4.2

здійснюють диз'юнкцію. Вони реалізуються на ІМС SN74ALS32, які складаються із чотирьох двохходових диз'юнкторів АБО [6, 7].

Таблиця 4.2 – Режими роботи ІМС лічильника SN74ALS192 [6, 7]

Режим	Вхід								Вихід					
	R	'-L	+1	'-1	'D0	'D1	'D2	'D3	Q0	Q1	Q2	Q3	'PU	PD
'Скидання	В	х	х	Н	х	х	х	х	Н	Н	Н	Н	В	Н
	В	х	х	В	х	х	х	х	Н	Н	Н	Н	В	В
Паралельне завантаження	Н	Н	х	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
	Н	Н	х	В	Н	Н	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	х	В	В	В	В	В	В	В	В	Н	В
	Н	Н	В	х	В	В	В	В	В	В	В	В	В	В
Рахунок на збільшення	Н	В	↑	В	х	х	х	х	Рахунок на збільшення			В	В	
'Рахунок на зменшення	Н	В	В	↑	х	х	х	х	Рахунок на зменшення			В	В	

– не використовувані входи/виходи

Потужність споживання SN74ALS32 становить 20 мВт, а середній час затримки поширення сигналу – 12 нс [5, 6].

4.2.2 Блок лічильників підсумовування.

Для побудови блоку 5 необхідно використовувати двійкові чотирьорозрядні синхронні реверсивні лічильники SN74ALS193 (рисунк 4.2) ТТЛШ технології. Імпульсні тактові входи інкрементації (вивід 5) і декрементації (не використовується) у даних ІМС роздільні. Інтегрально лічильник заснований на двоступінчастих тригерах "майстер-помічник". Стан лічильника міняється по позитивних перепадах ТІ від низького рівня до високого на цих входах [5, 6, 7].

Для спрощення побудови лічильників із числом розрядів, що перевищують чотири, ІМС має виводи закінчення рахунку на збільшення (-PU, вивід 12) і на зменшення (не використовуються). Від виводів 12 DD1-DD2 беруться тактові сигнали переносу для наступних лічильників (від DD1 на DD2, від DD2 на DD3). По входу скидання R (вивід 14) дія тактової послідовності забороняється й дається команда скидання лічильників у нуль. Тому що для рахунку використовується тільки один тактовий вхід +1 (вивід 5), те на другому -1 (вивід 4) повинне бути зафіксована напруга низького рівня.

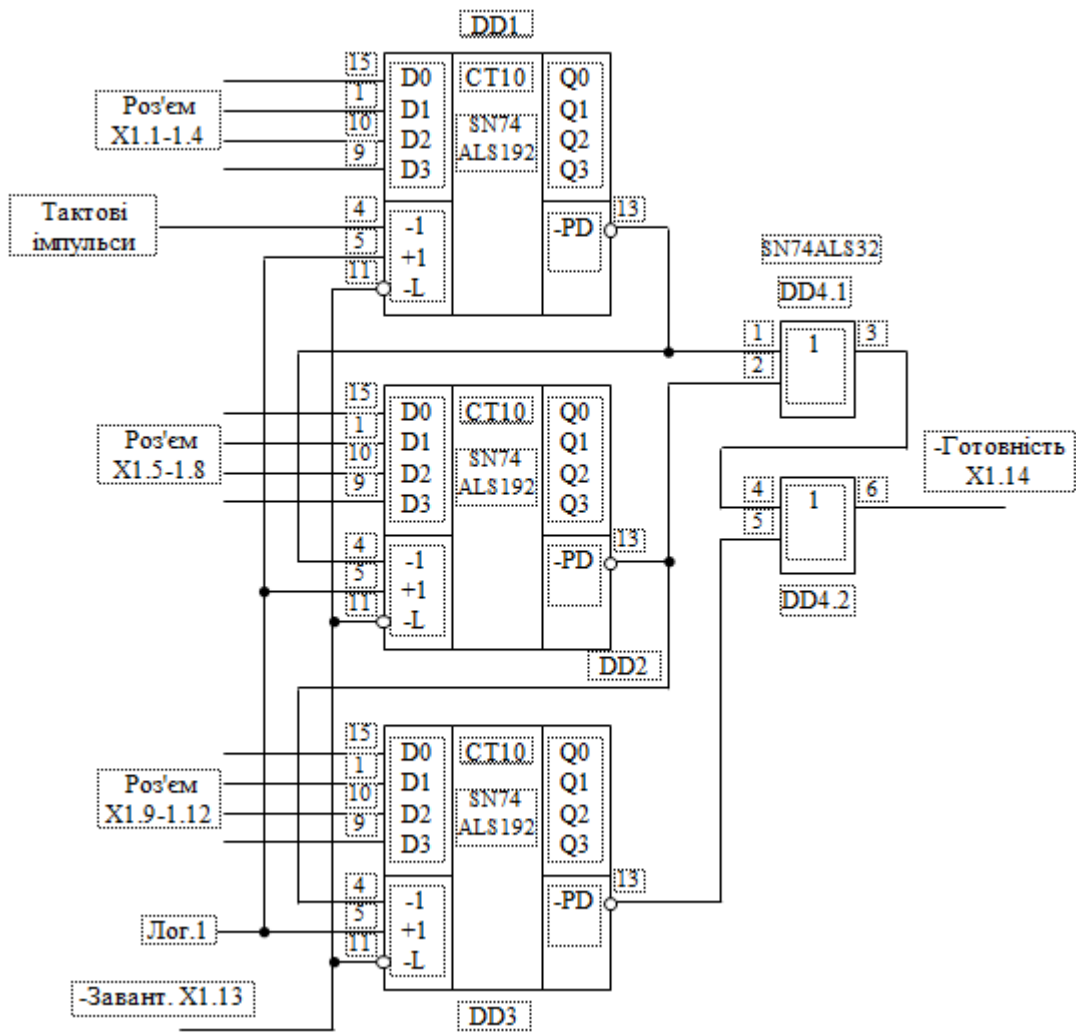


Рисунок 4.1 – Принципова схема блоків 1 та 3 проектованого пристрою

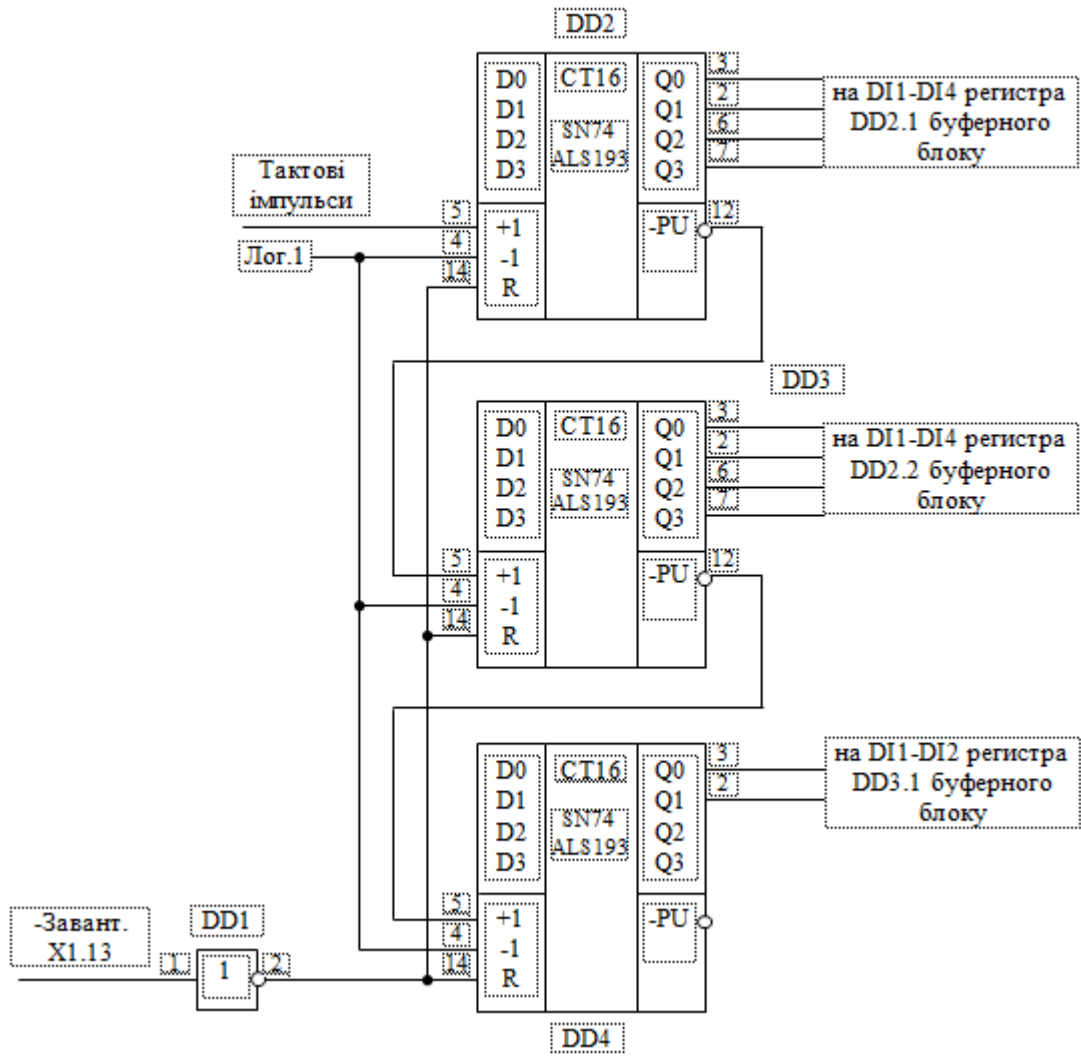


Рисунок 4.2 – Принципова схема блоку 5 проектованого пристрою

На виході -PU неактивний рівень – високий. Якщо рахунок досягає максимуму (число 15), то із приходом наступного перепаду (з високого на низький рівень) на виході -PU з'являється сигнал низького рівня. Після повернення напруги на тактовому вході +1 до високого рівня напруга на виході -PU залишиться низькою ще на час, відповідний до подвійної затримки перемикавання логічного елемента ТТЛШ.

Потужність споживання ІМС SN74ALS193 становить 110 мВт, а час затримки поширення сигналу – 23,5 нс. Режими роботи двійкового лічильника SN74ALS193 показано в таблиці 4.3 [6, 7].

Таблиця 4.3 – Режими роботи ІМС лічильника SN74ALS193 [6, 7]

Режим	Вхід								Вихід					
	'R	-L	'+1	-1	D0	D1	D2	D3	'Q0	'Q1	'Q2	'Q3	'PU	PD
'Скидання	В	х	х	Н	х	х	х	х	Н	Н	Н	Н	В	Н
	В	х	х	В	х	х	х	х	Н	Н	Н	Н	В	В
Паралельне завантаження	Н	Н	х	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
	Н	Н	х	В	Н	Н	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	х	В	В	В	В	В	В	В	В	Н	В
	Н	Н	В	х	В	В	В	В	В	В	В	В	В	В
'Рахунок на збільшення	Н	В	↑	В	х	х	х	х	Рахунок на збільшення				В	В
Рахунок на зменшення	Н	В	В	↑	х	х	х	х	Рахунок на зменшення				В	В

– невикористовувані входи/виходи

Оскільки сигнал на вході скидання R лічильників DD2-DD4 має активний рівень одиничний, а сигнал "-Завантаження", використовуваний як скидний для блоку двійкового підсумовування, – нульовий, то для його інвертування використовується елемент НЕ DD1 – один із шести елементів НЕ мікросхеми SN74ALS04.

Потужність споживання ІМС SN74ALS04 становить 12,25 мВт, а час затримки поширення сигналу – 12 нс [6, 7].

4.2.3 Буферний блок.

Чотирьохрозрядні синхронні здвоєні паралельні регістри зберігання ІМС SN74ALS874 застосовуються для розроблення принципової схеми буферного блоку 6 проєктованого пристрою (рисунок 4.3) [6, 7].

У буферному блоці 6 перетворювача ВДС в ВС регістри DD2–DD3 мають вивід паралельного завантаження даних С (виводи 14 і 23, завантаження здійснюється по високому рівню), вивід –R скидання (виводи 1 і 13) і Z

переведення у високоімпедансний стан (виводи 2 і 11). Тому що переводити регістри до 00...0 стану і також переводити їх у високоімпедансний стан немає потреби (це не впливає на результат перетворення), те на входи –R DD2.1–DD2.2 і DD3.1 подається логічна "1", а на входи Z тих же елементів – логічний "0".

На входи DI1-DI4 регістрів DD2.1-DD2.2 і входи DI1-DI2 DD3.1 подаються двійкові сигнали з виходів Q0-Q3 лічильників DD2-DD3 і виходів Q0-Q1 блоку лічильників підсумовування (рисунок 4.3). Сигнал "-Готовність" надходить на інвертор DD1 від виходу елемента 2АБО DD3.2 блоку фіксації нуля. У якості елемента DD1 блоку вихідних регістрів використовується ІМС SN74ALS04, що включає в себе шість інверторів. Для підвищення вихідної навантажувальної здатності проектованої системи виходи блоку вихідних регістрів приєднаємо до входів логічних елементів – підсилювачів струму (драйверам) DD4.1-DD4.2, DD5.1. У якості елементів DD4.1-DD4.2, DD5.1 застосуємо ІМС SN74ALS244, що включає в себе вісім повторювачів з високоімпедансним станом і роздільними керуючими сигналами -OE для груп із чотирьох повторювачів. Тому що входи -OE переводу у високоімпедансний стан немає необхідності використовувати, то їх слід заземлити [5, 6].

Потужність споживання ІМС SN74ALS874 становить 155 мВт, а час затримки поширення сигналу – 13,5 нс. Потужність споживання ІМС SN74ALS04 становить 12,25 мВт, час затримки поширення сигналу – 12 нс. Потужність споживання ІМС SN74ALS244 становить 135 мВт, час затримки поширення сигналу – 15 нс. Вихідні струми логічних "0" й "1" підсилювачів струму становлять 24 мА й 12 мА відповідно [6, 7].

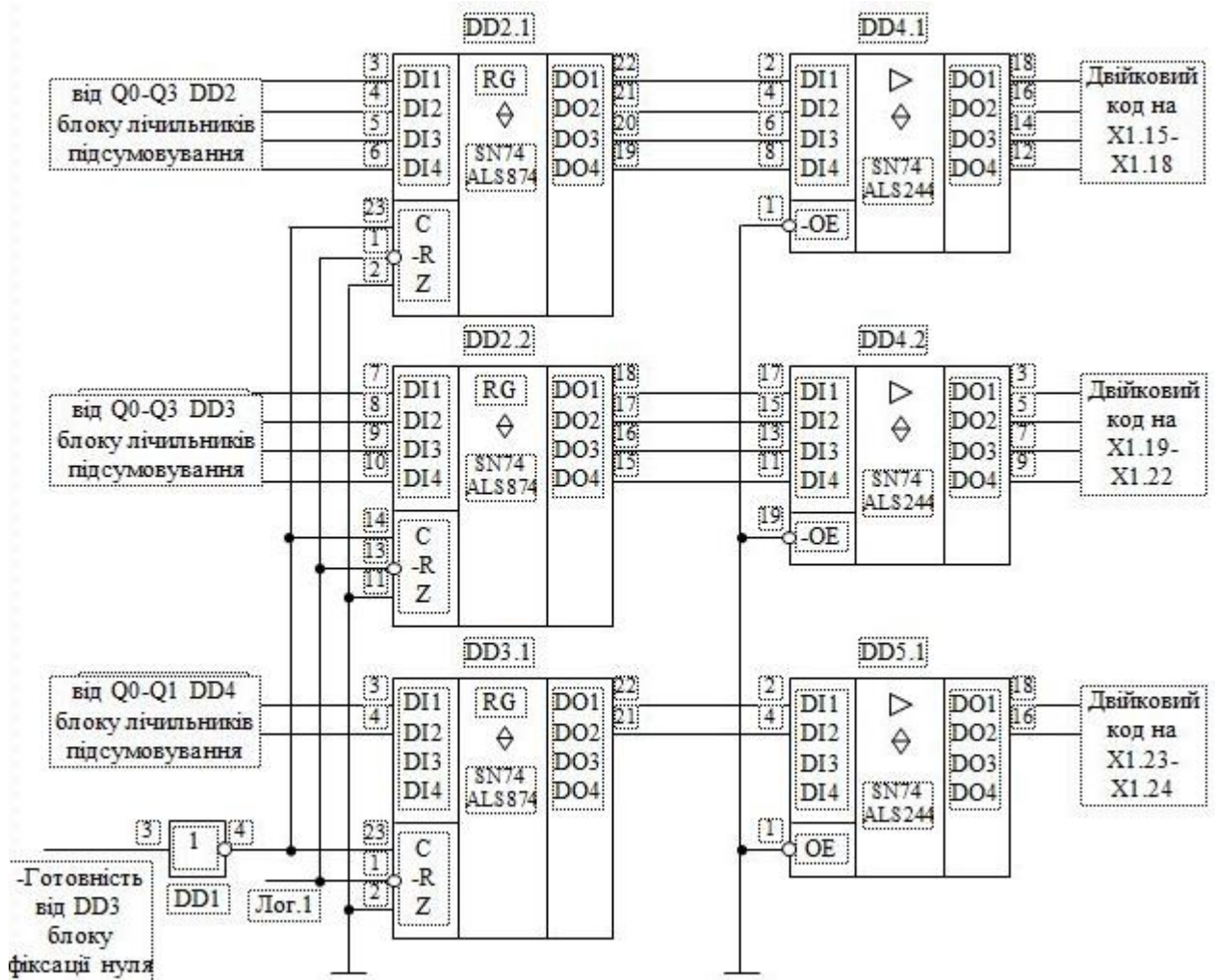


Рисунок 4.3 – Принципова схема буферного блоку 6 проектного пристрою

ВИСНОВОК

Розроблений пристрій реалізує переклад BDC інформаційних послідовностей в BC інформаційні комбінації. Головними структурними компонентами отриманого пристрою є блоки рахувальних елементів, які віднімають і підсумовують одиниці.

У результаті проектування заданого пристрою були досягнуті наступні технічні параметри:

- число двійкових розрядів вхідного BDC – 12;
- число десяткових розрядів вхідного BDC – 3;
- число двійкових розрядів вихідного BC – 8 (10);
- число преутворених комбінацій – 256 (1000);
- максимальна робоча частота перемикання перетворювача кодів – 26,7 МГц;
- потужність споживання – 1,58 Вт;
- струм споживання – 0,32 А.

Достоїнства пристрою – зручна й нескладна модифікація кодової таблиці перекладу, спрощеність будови, незатребованість інструментів налагодження й налаштування.

Застосована для розробки перетворювача кодів серія ІМС SN74ALS TTLШ-логіки, яка має значно меншу потужність споживання при підвищеної швидкодії.

Проектований пристрій – перетворювач двійково-десяткового коду на основі лічильних пристроїв – може бути ефективно використаний в системах відображення інформації на дискретних індикаторах з нарощуваним числом розрядів й при організації надійної передачі даних. ¶

СПИСОК ЛІТЕРАТУРИ

- 1 Tocci J. Ronald. Digital Systems. Principles and Applications / Ronald J. Tocci, Neal S. Widmer. – Upper Sad River, New Jersey, Columbia, 2015. – 1024 p.
- 2 Arun Kumar Singh, Digital Principles Foundation Of Circuit Design And Application New Age International, 2006, 400 p.
- 3 Сапельников В.М. Основы цифровой электроники. – Изд-во Башкирск. гос. ун-та. – Уфа. – 1997. – 152 с.
- 4 Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
- 5 Рябенский В.М. Цифрова схемотехніка: навчальний посібник / В.М. Рябенский, В.Я. Жуйков, В.Д. Гулий. – Львів: "Новий Світ-2000", 2017. – 736 с.
- 6 Платт Чарльз. Энциклопедия электронных компонентов. Том 2. Тиристоры. Аналоговые и цифровые микросхемы. Светодиоды. ЖК-дисплеи. Источники звука / Чарльз Платт, Фредерик Янссон. – СПб: ВHV, 2016. – 368 с.
- 7 <http://www.texnic.ru/data/ims-sprav.htm>. Справочник микросхем. Подборка справочной документации на отечественные и зарубежные, цифровые и аналоговые микросхемам (оновлено 2020 р.).