

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

до кваліфікаційної роботи бакалавра на тему:

«ЗАВАДОСТІЙКИЙ ПРИСТРІЙ МАЖОРИТАРНОГО КОДУВАННЯ»

Завідувач кафедри

електроніки та комп'ютерної техніки

Керівник дипломного проекту

Виконав студент

групи ЕСЗ – 51С

А. С. Опанасюк

Т.О. Протасова

Ю.В. Охоненко

Суми 2020

ВСТУП

Розвиток та впровадження інформаційних технологій є необхідною умовою науково-технічного прогресу суспільства. Україна, як частина світової суспільно-економічної системи також увійшла в процес інформатизації. В інформаційних підсистемах автоматизованих систем керування (АСК) будь-якого призначення, наприклад, в сферах державного керування, банківської діяльності, керування технологічними процесами на підприємствах, керування транспортними засобами та інше, постійно зростають обсяги та цінність інформації, що передається різноманітними каналами зв'язку. Тому найбільше значення мають швидкість та інформаційна надійність передачі даних, які визначають ефективність інформаційних систем. З огляду на це, не зважаючи на значні успіхи в теорії та практиці передачі дискретної інформації, задача підвищення ефективності передачі даних залишається актуальною і на цей момент.

Задач, що стоять перед розробниками нових, ефективних СПД дуже багато. Це й побудова адаптивних систем зв'язку, підвищення ефективності яких забезпечується шляхом зміни швидкості передачі дискретних повідомлень в залежності від рівня завад таким чином, щоб вона була максимально ефективною з дотриманням необхідних обмежень на достовірність інформації, що доставляється одержувачу. Застосування кодів, що здатні виявляти помилки при передачі інформації з забезпеченням максимально можливої швидкості при передачі інформації – ці задачі вирішують розробники СПД з зворотним зв'язком. При цьому виникає ряд складних підзадач – вибір найкращого протоколу передачі даних та вибір оптимального для заданих характеристик каналу зв'язку кодів.

На сьогодні виникла нова проблеми в побудовах систем зв'язку. Це розробка ефективної структури та вибір або навіть створення нових ефективних кодів для систем передачі даних без зворотного зв'язку. В таких системах застосовують коди з можливість не тільки виявлення, але й виправлення помилок, що можуть з'явитися в процесі передачі даних. Одним з таких цікавих кодів є мажоритарні коди, які з одного боку відносять до групи кодів с повторенням, а з іншого боку вважають їх

циклічними кодами. Найголовніше, що ці коди мають дуже високу здатність виявлення , а головне виправлення помилок. Оцінка ефективності такого коду, і, відповідно, побудова кодуєчого-декодуєчого пристрою системи зв'язку – є на сьогодні дуже актуальним.

1 РОЗРОБКА ТА ОБГРУНТУВАННЯ АЛГОРИТМУ ФУНКЦІОНУВАННЯ ТА СТРУКТУРНОЇ СХЕМИ ПРИСТРОЮ, ЩО ПРОЕКТУЄТЬСЯ

1.1 Огляд літератури та постановка задачі проектування

1.1.1 Система передачі даних без зворотного зв'язку являє собою структуру, представлену на рисунку 1.1. Така структура при відповідному виборі коду (надлишковість та довжина кодової комбінації) може забезпечити будь-яку, скільки завгодно малу ймовірність помилки.

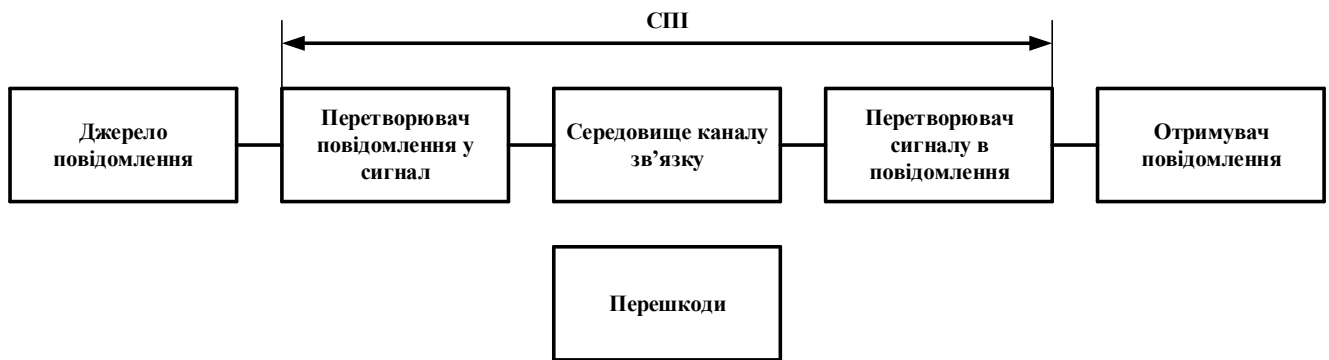


Рисунок 1.1 – Модель СПД

Системи передачі без зворотного використовують симплексний канал зв'язку та їх підрозділяють на:

- Системи передачі простим кодом;
- Системи з кодом, що виправляє помилки;
- Системи з повторенням передачі інформації.

Достовірність в системах з повторенням передачі інформації простим кодом досягається за рахунок багатократної передачі кодової комбінації та порівняння на стороні приймача прийнятих комбінацій за критерієм більшості. Недоліком систем з повторенням є значне зниження швидкості передачі інформації. Раціональним різновидом систем передачі інформації з повторенням можна вважати систему передачі інформації паралельними каналами зв'язку. Час затримки інформації у систем з паралельною передачею та у систем передачі простим кодом без

повторення є однаковим. В цьому випадку для передачі даних використовують два канали, і при виявленні помилок в одному каналі інформація приймається з іншого.

З метою підвищення завадостійкості можуть бути застосовані коди з виявленням або з виявленням та виправленням помилок. В системах передачі інформації без зворотного зв'язку доцільно використовувати коди, які можуть виправляти помилки. Найчастіше використовують циклічні коди, для яких характерна відносна простота технічної реалізації. При передачі інформації в системах без зворотного зв'язку з кодом, що виправляє помилки, має сенс максимально використати ті властивості коду, що дозволяють не тільки виявити, але й виправити помилки без застосування додаткових засобів.

Недоліком є те, що тип коду та його надлишковість, що прийняті в системі передачі, можуть бути розраховані тільки на якісь визначені усереднені умови. Це може призвести до підвищення ймовірності появи помилок при зміні стану каналу (характеру та інтенсивності помилок). З іншого боку, існує можливість зменшення ймовірності появи помилок за рахунок введення надлишковості в кодові слова. Але це обов'язково призведе до значного збільшення кількості елементів в пристроях кодування-декодування, а це в свою чергу може суттєво вплинути на збільшення апаратних витрат.

Але системи передачі інформації без зворотного зв'язку досить широко застосовуються, оскільки мають значно менші апаратні витрати та досить високу швидкість передачі даних від відправника до отримувача інформації.

СПД без зворотного зв'язку доцільно використовувати в тих випадках, коли відсутня можливість побудови каналів зворотного зв'язку, або в системах, де застосування зворотного зв'язку є недоцільним.

1.1.2 Завади та помилки в каналах зв'язку. Фізичне середовище, по якому передаються дані, не може бути абсолютно надійною. Більш того, рівень шуму буває дуже високим, наприклад в бездротових системах зв'язку і телефонних системах. Помилки при передачі - це реальність, яку треба обов'язково враховувати.

У різних середовищах характер перешкод різний. Помилки можуть бути поодинокі, а можуть виникати групами, відразу по кілька. В результаті перешкод можуть зникати біти або навпаки - з'являтися зайві.

Основною характеристикою інтенсивності перешкод в каналі є параметр шуму - p . Це число від 0 до 1, рівне ймовірності інвертування біта, за умови, що він був переданий по каналу і отриманий на іншому кінці.

Наступний параметр - q . Це ймовірність тієї ж події, але за умови, що попередній біт також був інвертований.

Цими двома параметрами цілком можна обмежитися при побудові теорії. Але, в принципі, можна було б враховувати аналогічні ймовірності для зникнення біта, а також використовувати повну інформацію про просторової кореляції помилок, - тобто кореляції сусідніх помилок, розділених одним, двома або більше бітами.

У групових помилок є свої плюси і мінуси. Плюси полягають в наступному. Нехай дані передаються блоками по 1000 біт, а рівень помилки 0,001 на біт. Якщо помилки ізольовані і незалежні, то 63% блоків будуть містити помилки. Якщо ж вони виникають групами по 100 відразу, то помилки будуть містити 1%

Зате, якщо помилки не групуються, то в кожному кадрі вони невеликі, і є можливість їх виправити. Групові помилки псують кадр безповоротно. Потрібно його повторна пересилання, але в деяких системах це в принципі неможливо, - наприклад, в телефонних системах, що використовують цифрове кодування, виникає ефект зникнення слів/складів.

Для надійної передачі кодів було запропоновано два основні методи.

Перший - додати в переданий блок даних декількох «зайвих» біт так, щоб, аналізуючи отриманий блок, можна було б сказати, є в переданому блоці помилки чи ні. Це так звані коди з виявленням помилок.

Другий - внести надмірність настільки, щоб, аналізуючи отримані дані, можна не тільки помічати помилки, але і вказати, де саме виникли спотворення. Це коди, що виправляють помилки.

Такий поділ дуже умовний. Більш загальний варіант - це коди, які виявляють k помилок і виправляють l помилок.

1.1.3 Класифікація коригувальних кодів. У каналах з перешкодами ефективним засобом підвищення достовірності передачі повідомлень є

завадостійке кодування. Воно засноване на застосуванні спеціальних кодів, які коректують помилки, викликані впливом перешкод. Код називається коригувальним, якщо він дозволяє виявляти або виправляти помилки при прийомі повідомлень. Код, за допомогою якого тільки виявляються помилки, носить назву коду, що виявляє помилки. Виправлення помилки при такому кодуванні зазвичай проводиться шляхом повторення спотворених повідомлень. Запит про повторення передається по каналу зворотного зв'язку. Код, що виправляє виявлені помилки, називається виконуючим, кодом. В цьому випадку фіксується не тільки сам факт наявності помилок, але і встановлюється, які кодові символи прийняті помилково, що дозволяє їх виправити без повторної передачі. Відомі також коди, в яких виправляється тільки частина виявлених помилок, а інші помилкові комбінації передаються повторно.

Для того щоб код володів коригуючими здібностями, в кодовій послідовності повинні міститися додаткові (надлишкові) символи, призначені для коригування помилок. Чим більше надмірність коду, тим вище його коригувальна здатність.

Перешкодостійкі коди можуть бути побудовані з будь-якою основою.

В даний час відома велика кількість коригувальних кодів, що відрізняються як принципами побудови, так і основними характеристиками. Розглянемо їх найпростішу класифікацію, що дає уявлення про основні групи, до яких належить велика частина відомих кодів [12]. На рис. 1.2 показана схема, яка пояснює класифікацію, проведenu по способам побудови коригувальних кодів.

На рисунку 1.3 наведені основні характеристики кодів.

Всі відомі в даний час коди можуть бути розділені на дві великі групи: блокові і безперервні. Блокові коди характеризуються тим, що послідовність переданих символів розділена на блоки, операції кодування і декодування в кожному блоці виробляються окремо. Відмінною особливістю безперервних кодів є те, що первинна послідовність символів, що несуть інформацію, безперервно перетворюється за певним законом в іншу послідовність, що містить надмірну кількість символів. Тут процеси кодування і декодування не вимагають поділу кодових символів на блоки.

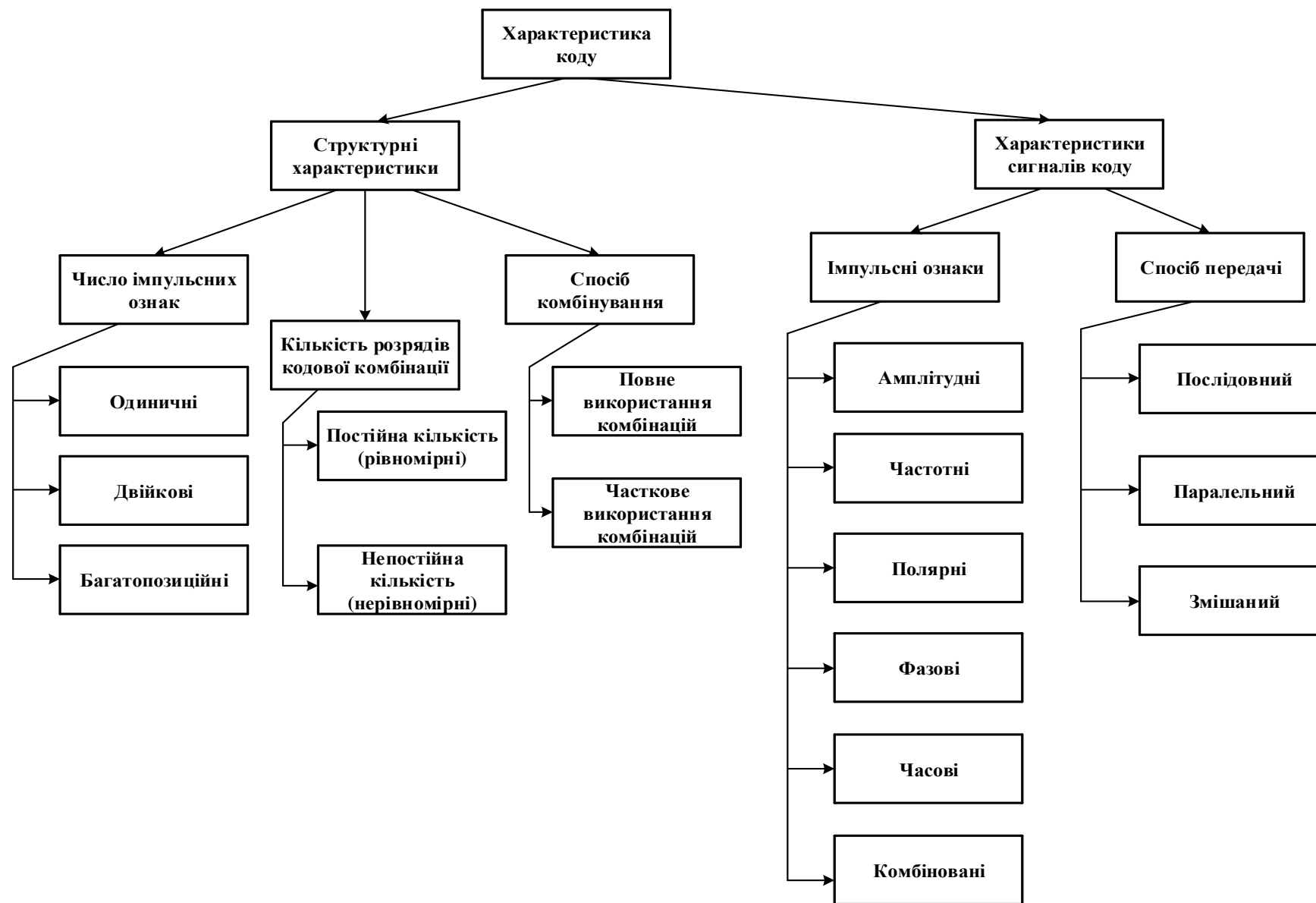


Рисунок 1.3 - Характеристики кодів

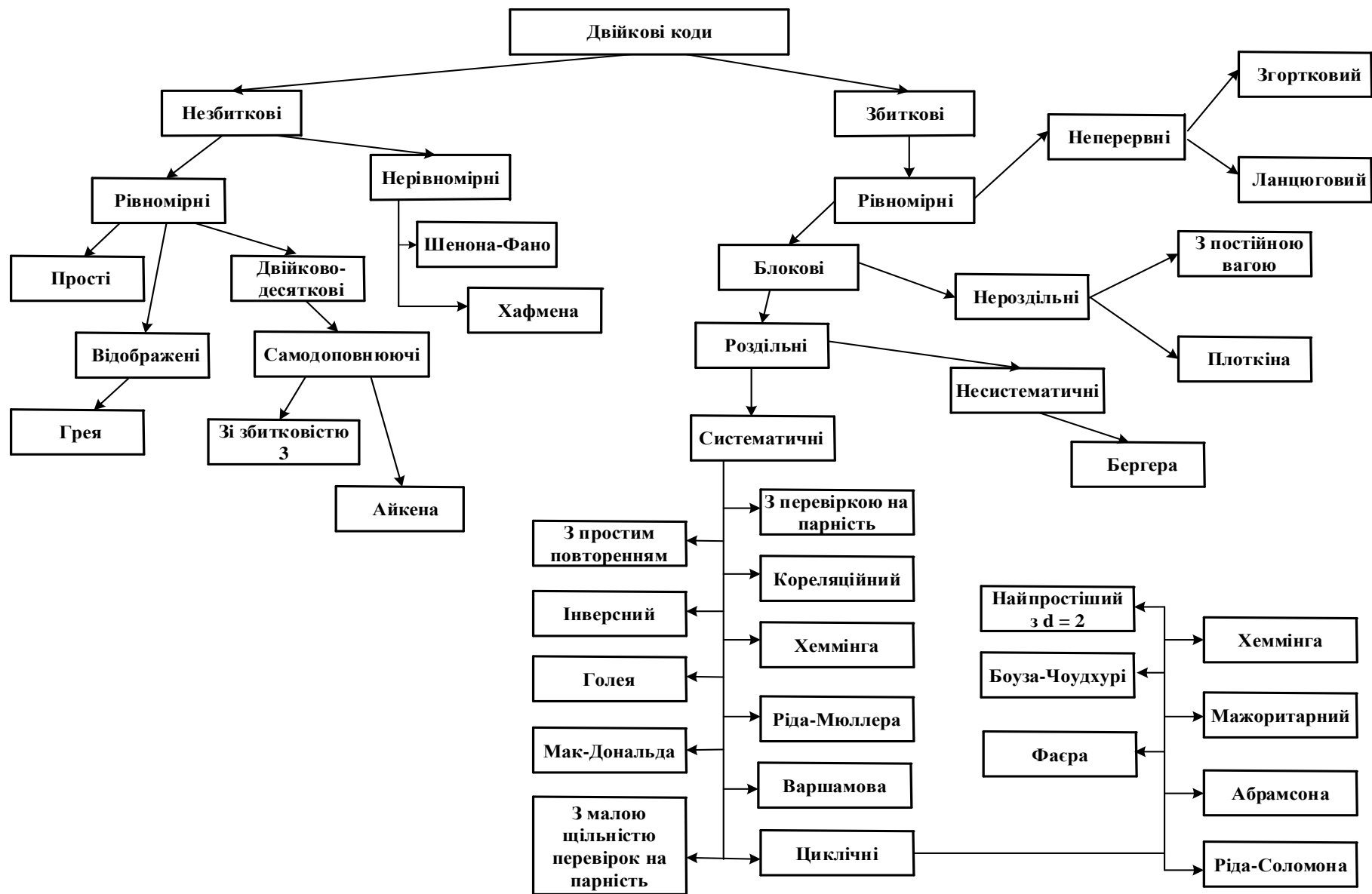


Рисунок 1.2 - Класифікація двійкових кодів

Різновидами як блокових, так і безперервних кодів є роздільні і нероздільні коди. У розділових кодах завжди можна виділити інформаційні символи, що містять інформацію, що передається, і контрольні (перевірочні) символи, які є надлишковими і служать виключно для корекції помилок. У нерозділових кодах такий поділ символів провести неможливо.

Найбільш чисельний клас розділових кодів складають лінійні коди. Основна їх особливість полягає в тому, що контрольні символи утворюються як лінійні комбінації інформаційних символів.

У свою чергу, лінійні коди можуть бути розбиті на два підкласу: систематичні і несистематичні. Всі двійкові систематичні коди є груповими. Останні характеризуються приналежністю кодових комбінацій до групи, що володіє тією властивістю, що сума по модулю два будь-якої пари комбінацій знову дає комбінацію, що належить цій групі. Лінійні коди, які не можуть бути віднесені до підкласу систематичних, називаються несистематичними.

1.1.4 Принципи завадостійкого кодування. Теорія завадостійкого кодування базується на результатах досліджень, проведених Клодом Шенноном. Він сформулював теорему для дискретного каналу з шумом: при будь-якій швидкості передачі двійкових символів, меншою, ніж пропускна здатність каналу, існує такий код, при якому ймовірність помилкового декодування буде як завгодно мала.

Побудова такого коду досягається ціною введення надмірності. Тобто, застосовуючи для передачі інформації код, у якого використовуються не всі можливі комбінації, а тільки деякі з них, можна підвищити стійкість перед перешкодами прийому. Такі коди називають надмірними або коригуючими. Коригувальні властивості надлишкових кодів залежать від правил побудови цих кодів і параметрів коду (тривалості символів, числа розрядів, надмірності і ін.).

В теорії завадостійкого кодування важливим є питання про використання надмірності для коригування помилок, що виникають при передачі. Тут зручно розглянути блокові коди, в яких завжди є можливість виділити окремі кодові

комбінації. Нагадаємо, що для рівномірних кодів, які найчастіше застосовують, число можливих комбінацій дорівнює $M = 2^n$, де n - значність коду.

У звичайному некоригуючому коді без надмірності, наприклад в коді Бодо, число комбінацій M вибирається рівним числу повідомлень алфавіту джерела M_0 і все комбінації використовуються для передачі інформації. Коригувальні коди будуються так, щоб число комбінацій M перевищувала кількість повідомлень джерела M_0 . Однак в цьому випадку лише M_0 комбінацій із загального числа використовується для передачі інформації. Ці комбінації називаються дозволеними, а решта $M - M_0$ комбінацій зветься забороненими. На приймальному кінці в декодері відомо, які комбінації є дозволеними і які забороненими. Тому якщо передана дозволена комбінація в результаті помилки перетворюється в деяку заборонену комбінацію, то така помилка буде виявлена, і за певних умов виправлена. Природно, що помилки, що призводять до утворення іншої дозвальної комбінації, не виявляються.

Різниця між комбінаціями рівномірного коду прийнято характеризувати відстанню, що дорівнює кількості символів, якими відрізняються комбінації одна від одної. Відстань d_{ij} між двома комбінаціями A_i і A_j визначається кількістю одиниць в сумі цих комбінацій по модулю два. Наприклад,

$$\begin{array}{r} 110011A_i \\ 010110A_j \\ \hline 100101d_{ij} = 3 \end{array}$$

Для будь-якого коду $d_{ij} \leq n$. Мінімальна відстань між дозволеними комбінаціями, в даному коді називається кодовою відстанню d .

Відстань між комбінаціями A_i і A_j умовно позначено на рис. 1.4а, де показані проміжні комбінації, що відрізняються одна від одної одним символом. В загальному випадку деяка пара дозволених комбінацій A_{d1} і A_{d2} , розділених кодовою відстанню d , зображується на прямій рис. 1.4б, де точками вказані

заборонені комбінації. Для того щоб в результаті помилки комбінація A_{d1} перетворилася в іншу дозволена комбінацію A_{d2} , має спотворитися d символів.

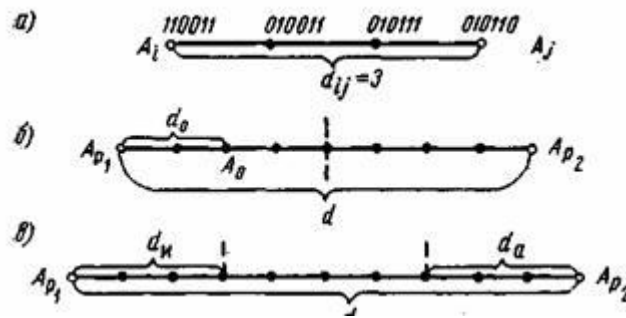


Рисунок 1.4 - Геометричне подання дозволених і заборонених кодових комбінацій

При спотворенні меншого числа символів комбінація A_{d1} перейде в заборонену комбінацію і помилка буде виявлена. Звідси випливає, що помилка завжди виявляється, якщо її кратність, тобто число спотворених символів в кодовій комбінації $g \leq d - 1$.

Якщо $g > d$, то деякі помилки також виявляються. Однак повної гарантії виявлення помилок тут немає, так як помилкова комбінація і в цьому випадку може збігтися з будь-якою дозволеною комбінацією. Мінімальна кодова відстань, при якій виявляються будь-які поодинокі помилки, $d = 2$.

Процедура виправлення помилок в процесі декодування зводиться до визначення переданої комбінації за відомою прийнятою.

Відповідно до загального принципу коригування помилок, заснованому на використанні дозволених і заборонених комбінацій, необхідно порівнювати прийняту комбінацію з усіма комбінаціями даного коду. В результаті M зіставлень і приймається рішення про передану комбінації. Цей спосіб декодування логічно є найбільш простим, однак він вимагає складних пристроїв, оскільки в них повинні запам'ятовуватися усі M комбінацій коду. Тому на практиці частіше за все використовуються коди, які дозволяють за допомогою обмеженого числа

перетворень прийнятих кодових символів витягти з них всю інформацію про корегування помилок.

1.1.5 Оцінка завадостійкості мажоритарного коду. В системі без зворотного зв'язку доцільно застосовувати коди з значною надмірністю. До таких кодів належать мажоритарні коди. Під мажоритарними кодами прийнято розуміти такі циклічні коди, які при передачі інформаційній частини пакета додатково формують і передають перевірочну частину, що складається, як правило з дворазового або, що рідше, чотириразового повторення вихідного пакета. При декодуванні отриманого пакета використовується принцип рішення з більшості (або, так званий, мажоритарний принцип). При цьому здійснюється порівняння значень розрядів з однаковими адресами в інформаційній частині пакета і в подвоєній або повтореній чотири рази перевірочної частини. При збігу значень розрядів правильно прийнятим значенням біта присвоюється це ж значення, якщо ж сталася помилка, то правильним вважається те значення, якому відповідає найбільша кількість збігів. Цей принцип часто дозволяє досить просто вирішувати задачу виправлення багатократних помилок.

Визначимо частку помилок, яку будуть виявляти рівноважні коди. Її можна вирахувати за формулою:

$$P = 1 - \frac{N_{\text{дозв}}}{N_{\text{можл}}} = \frac{N_{\text{можл}} - N_{\text{дозв}}}{N_{\text{можл}}}$$

Де:

$$N_{\text{дозв}} = 2^n$$

$$N_{\text{можл}} = 2^{n_m} = 2^{3*n}$$

Відповідні значення наведені в таблиці 1.1.

Таблиця 1.1 – Частка виявлених помилок мажоритарним кодом

№	Початкова розрядність коду n	Довжина мажоритарної кодової комбінації $n_m = 3 * n$	Кількість дозволених комбінацій $N_{\text{дозв}} = 2^n$	Кількість можливих комбінацій $N_{\text{можл}} = 2^{n_m} = 2^{3*n}$	Доля виправлених помилок P
1	3	9	8	512	0,984375
2	4	12	16	4096	0,996094
3	5	15	32	32768	0,999023
4	6	18	64	262144	0,999756
5	7	21	128	2097152	0,999939
6	8	24	256	16777216	0,999985
7	9	27	512	134217728	0,999996
8	10	30	1024	1073741824	0,999999

За таблицею побудуємо графік.



Рисунок 1.5 – Частка помилок, виявлених мажоритарним кодом

Аналіз графіка дозволяє зробити наступний висновок – мажоритарний код є надзвичайно ефективним при виявленні помилок. Навіть вже при невеликій розрядності в початковій кодовій комбінації 98 відсотків помилок виявляється.

Але мажоритарні коди дуже ефективні саме в виправленні помилок.

Наведемо приклад.

Нехай початкова кодова комбінація має вигляд: 1101.

Відповідна мажоритарна послідовність, що отримується трикратним повторенням буде: 1101 1101 1101.

Наприклад, на стороні приймача була отримана кодова послідовність:
1101 1101 0101.

Ми бачимо, що помилка відбулась в першому розряді третьої декади.

Порівнюємо за правилом мажоритарності однойменні розряди в кожній з декад: перші символи: 1, 1, 0. Оскільки маємо дві одиниці і лише один нуль, то зрозуміло, що значення відповідного розряду було одиничне. Друга позиція в декадах характеризується наявністю трьох одиниць, приймається рішення, що помилки не було, значення вихідного коду 1. В третій позиція порівнюються три нулі, що також свідчить про відсутність помилки, і, відповідно, нульове значення вихідного коду. Четверта позиція також дає нам одиничне значення, оскільки тут співпадають знову три одиниці, і помилки не було.

Але мажоритарний код може виявляти, і також виправляти і більшу кількість помилок, які з'явилися в прийнятій кодовій комбінації.

Наприклад, нехай передавалась та сама кодова комбінація, а на стороні приймача маємо: 1100 1111 0001. Ми бачимо, що помилок в цьому випадку набагато більше, вони є в кожній з декад, більш того, в третій декаді виникло дві помилки. Таким чином, в кодовій комбінації мажоритарного коду довжиною 12 виникло чотири помилки. Але аналіз і порівняння однойменних розрядів в декадах дозволяє не тільки виявити, але й виправити ці помилки.

В першій позиції маємо: 1, 1, 0 – результат – 1, друга позиція: 1, 1, 0 – також результат одиниця, третя позиція: 0, 1, 0 – результат 0, остання, четверта позиція: 0, 1, 1 – результат одиниця. Таким чином маємо наступну кодову комбінацію: 1101. Таким чином, виявлено і виправлено чотири помилки в кодовій комбінації.

Таким чином, сформулювати завдання проектування можна наступним чином: побудувати завадостійкий пристрій мажоритарного кодування. Початкова довжина кодової комбінації звичайного двійкового коду – чотири. Застосувати серію мікросхем K1533.

1.2 Розробка та обґрунтування структурної схеми та алгоритму функціонування пристрою мажоритарного кодування

Розробку структурної схеми необхідно почати з розробки алгоритму функціонування пристрою. Алгоритм функціонування повинен за допомогою символів або словесного опису відображати процес прийому, обробки і формування вхідних, керуючих, інформаційних і вихідних сигналів.

В якості перешкодостійкого коду, що застосовується в розробленій системі передачі даних без зворотного зв'язку використовується мажоритарний код. Під мажоритарними кодами прийнято розуміти такі циклічні коди, які при передачі інформаційної частини пакета додатково формують і передають перевірочну частину, що складається, як правило з дворазового або, що рідше, чотириразового повторення вихідного пакета. При декодуванні отриманого пакета використовується принцип рішення з більшості (або, так званий, мажоритарний принцип). При цьому здійснюється порівняння значень розрядів з однаковими адресами в інформаційній частині пакета і в подвоєній або повтореній чотири рази перевірочної частини. При збігу значень розрядів правильно прийнятим значенням біта присвоюється це ж значення, якщо ж сталася помилка, то правильним вважається те значення, якому відповідає найбільша кількість збігів. Цей принцип часто дозволяє досить просто вирішувати задачу виправлення багатократних помилок.

Перед початком роботи пристрій, що розробляється, необхідно привести в початковий стан. Зазвичай, початковим вважається нульовий стан усіх елементів пам'яті, якщо не зазначені інші умови. Таким чином на входи скидання усіх

елементів з пам'яттю необхідно подати імпульс, що установить усі тригери в нульовий стан.

На наступному етапі до регістру попереднього запису необхідно записати двійкову кодову комбінацію, с цією метою будемо застосовувати паралельний регістр, на вхід якого треба подавати з джерела інформації чотирьохрозрядні кодові комбінації, які необхідно буде передавати в канал зв'язку. Ці кодові комбінації записуємо в паралельному коду, в такому ж вигляді ці кодові комбінації можна зберігати як завгодно довго після запису в паралельному регістрі. Далі необхідно формувати мажоритарний код та передавати його в канал зв'язку. Ці дві операції при схемотехнічній реалізації зручно об'єднати в одну, застосувавши мультиплексор. Для організації трикратного повторення кожного біту двійкової кодової комбінації вміст кожного розряду коду одночасно подається на три входи мультиплексора. На перші три входи – значення першого розряду кодової комбінації, на другу групу з трьох входів будемо подавати значення наступного, другого розряду. Далі аналогічно організуємо зв'язки для двох біт кодової комбінації, що залишились. Оскільки за завданням розробляється формувач мажоритарного коду для чотирьохрозрядних вхідних кодових комбінацій, то розрядність відповідного мажоритарного коду визначається як $3*n$, і відповідно довжина сформованого коду буде дорівнювати дванадцяти. Ця довжина мажоритарного коду формується практично автоматично і дуже просто. Значення дванадцяти розрядного мажоритарного коду будуть знаходитись на входах даних мультиплексора і чекати сигналу дозволу для передавання інформації в канал зв'язку. Цей же мультиплексор будемо застосовувати і для організації передачі інформації в послідовному коді. Додатково необхідно побудувати керуючий лічильник з прямих виходів якого необхідно подавати сигнали на адресні входи мультиплексора. Лічильник повинен працювати в режимі «додавання одиниці» при кожному своєму переключенні, тобто стан лічильника буде збільшуватися на одиницю. На адресних входах мультиплексора будуть перебиратися кодові комбінації, що відповідають десятковим еквівалентам входів даних мультиплексора. Лічильник, змінюючи свій стан буде забезпечувати комутацію

відповідного з входів з єдиним виходом. При цьому інформація з входів даних в послідовному коді буде з'являтися на виході мультиплектора. За дванадцять тактів роботи схеми паралельна кодова комбінація з входів мультиплектора буде виведена в послідовному коді з його виходу.

Оскільки кількість входів даних в мультиплекторах визначається співвідношенням $N = 2^n$, де n – кількість адресних входів мультиплектора, то вибравши мультиплексор з чотирма адресними входами можна організувати не тільки перетворення кодових комбінацій довжиною 12 біт, але й формування додаткових керуючих сигналів. В даному випадку можна досить легко організувати, при необхідності, стартовий імпульс. Для цього на нульовий вхід мультиплектора необхідно постійно подавати значення логічної одиниці. На стороні приймача поява першої одиниці буде свідчити про початок передачі. Наступні дванадцять біт завжди будуть відповідати дванадцяти розрядному мажоритарному коду. При цьому лічильник організуємо з коефіцієнтом перерахунку не дванадцять, а тринадцять.

На прийомній стороні поява першої одиниці свідчить про початок сеансу зв'язку і передачу інформації. Ця одиниця установить в режим «Прийом» керуючий лічильник, перейшовши в одиничний стан, він дозволить прийом мажоритарної послідовності, перетворення в чотирьохрозрядну кодову комбінацію і виявлення та виправлення помилки, яка могла з'явитися в процесі передачі.

Інформація на прийомному боці з'являється в послідовному коді, побітно її необхідно записати в послідовно–паралельний регістр, що складається з дванадцяти послідовно включених тригерів. Інформація з одного тригера переписується в наступний, і так далі. Оскільки в нас дванадцять інформаційних біт, то керуючий лічильник повинен відрахувати ці дванадцять керуючих біт. Сигналом скидання лічильника с заданим коефіцієнтом перерахунку скидається в нульовий стан керуючий лічильник и дозволяється операція перевірки правильності прийнятої інформації. Дванадцяти розрядний код потрапляє на чотири мажоритарні елементи, оскільки кількість мажоритарних елементів визначається розрядністю початкової

кової комбінації. Процес формування кодової комбінації виглядає наступним чином:

- Нехай початкова комбінація мала вигляд: 1011;
- З неї була сформована мажоритарна послідовність: 1011 1011 1011;
- Після прийому отримали три чотирьохрозрядних слова:
- 1011 1011 1011;
- На мажоритарних елементах виконується порівняння трьох однойменних розряди;
- Якщо в однойменних розрядах знаходяться однакові значення, то при передачі помилки не було;
- Якщо ж при порівнянні виявляється розбіжність, то правильним буде вважатися значення, яке співпадає хоча б двічі. Наприклад, отримали наступне: 1011 1010 1011. Восьмий біт прийняли з помилкою, але в двох інших тетрадах на цьому місці знаходяться одиниці. Дві одиниці з трьох говорять, що необхідно вважати правильним варіантом одиничне значення прийнятого біту. Таким чином не тільки виявляється, а й виправляється помилка. Оскільки помилки однієї кратності є найбільш вірогідними, то можна стверджувати, що пристрій виправляє усі помилки. Такий пристрій можна застосовувати в системах передачі інформації, коли організувати зворотний зв'язок неможливо або дуже складно. Отримана кодова комбінація записується в вихідний регістр. Далі цю інформацію можна зберігати, аналізувати і т.і.

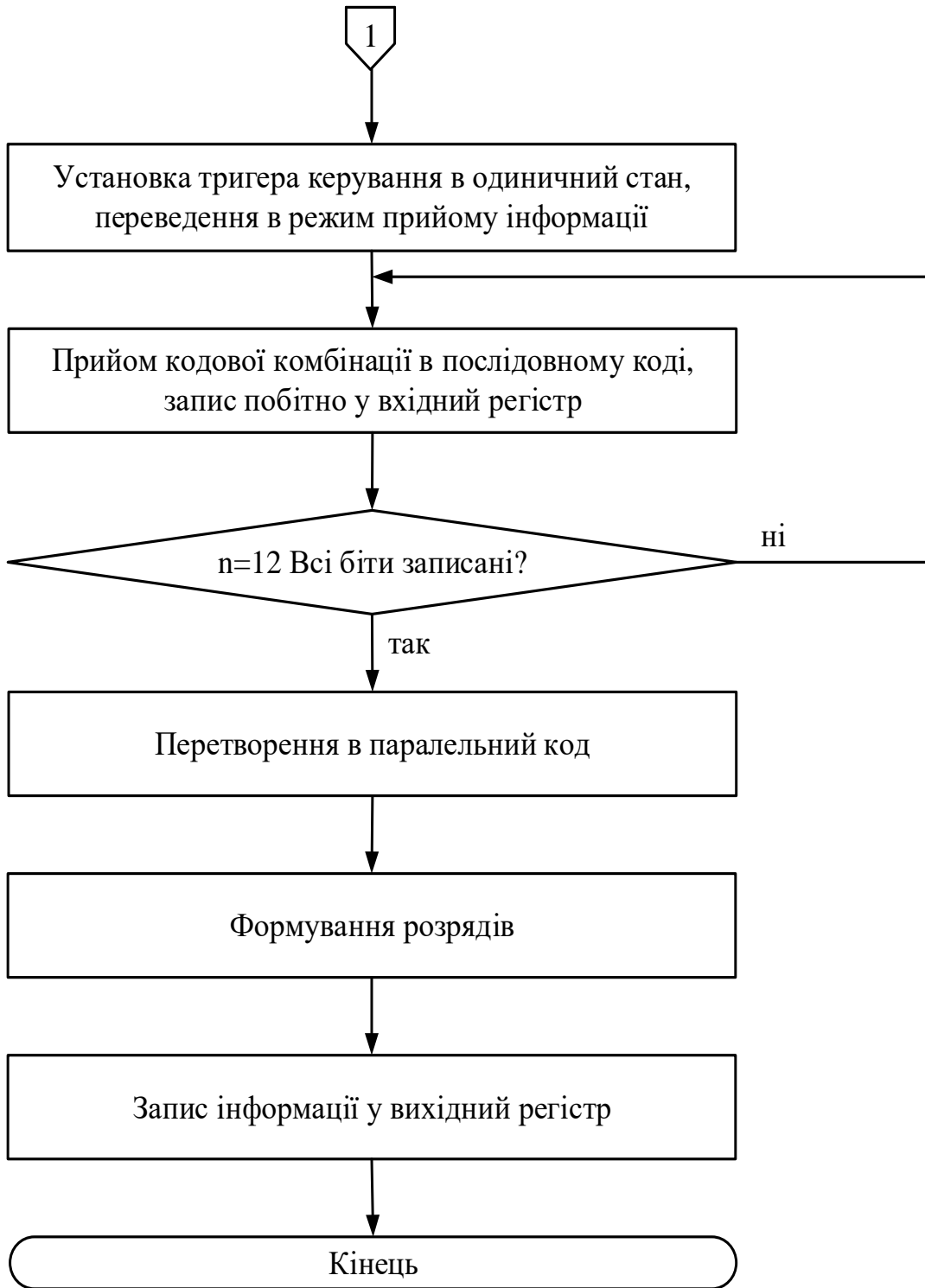
Розглянуту послідовність операцій можна подати у вигляді схеми алгоритму, яка наведена на рисунку 1.6.

Розглянуті операції виконуються в блоках, що представлені на структурній схемі пристрою. Основними блоками є:

- Регістр попереднього запису;
- Формувач мажоритарного коду з подальшим виводом інформації в послідовному вигляді;
- Перетворювач послідовного коду в паралельний;



Рисунок 1.6 – Блок-схема алгоритму функціонування пристрою мажоритарного кодування



Продовження рисунку 1.6

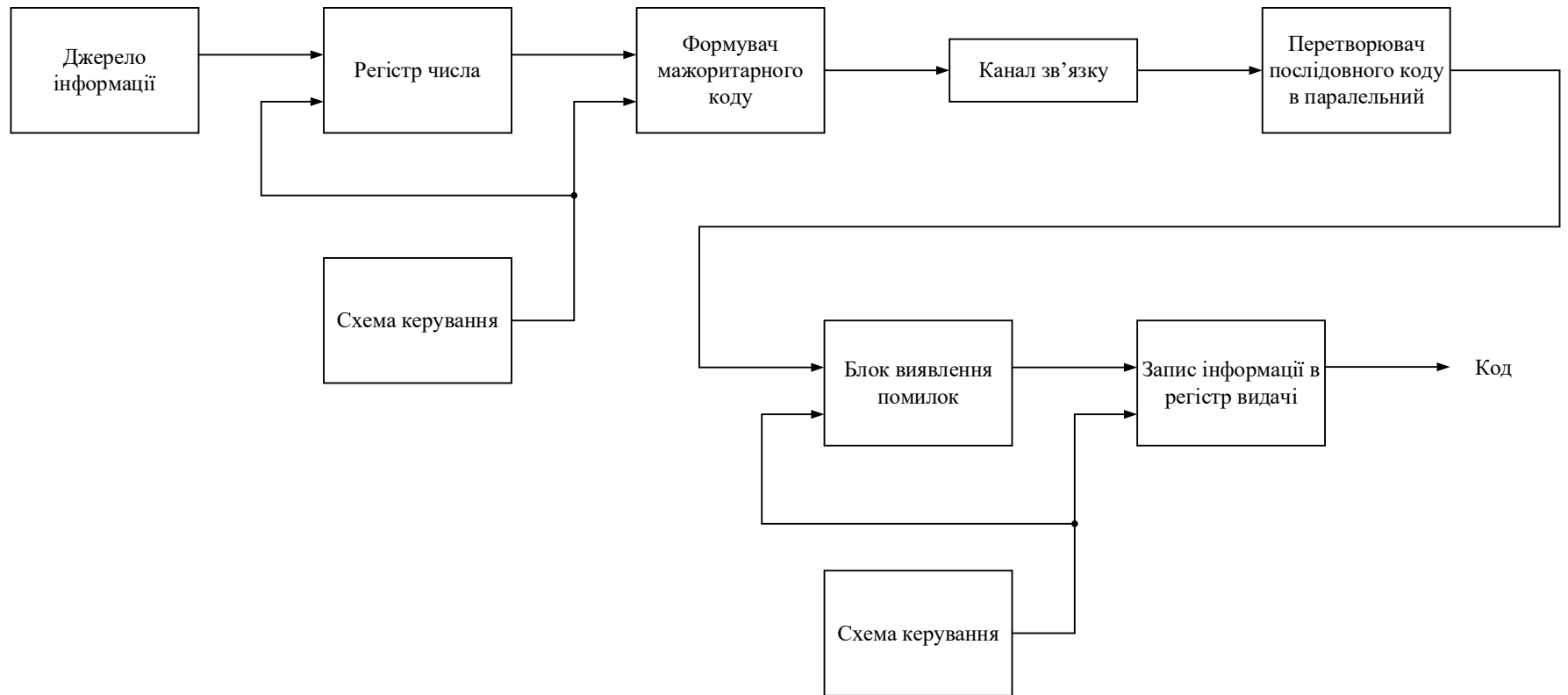


Рисунок 1.7 – Структурна схема формувача мажоритарного коду

- Блок виявлення та виправлення помилок;
- Регістр видачі прийнятої кодової комбінації.;
- Схема керування.

Структурна схема представлена на рисунку 1.7.

Кодова комбінація з джерела інформації потрапляє на вхід регістра попереднього запису і за імпульсом дозволу запису записується в регістр в паралельному коді. З виходів регістру символи двійкової кодової комбінації подаються на входи даних мультиплексора. Мультиплексор виконує функцію формувача мажоритарного коду, і одночасно, перетворює паралельну кодову комбінацію в послідовний код для передачі інформації в канал зв'язку.

На прийомі послідовний код з каналу зв'язку подається на перетворювач послідовного коду в паралельний, далі в паралельні кодові комбінації потрапляють на входи блоку виявлення та виправлення помилок, з виходу якого передається до вихідного регістру для запису прийнятої та, за необхідністю, виправленої комбінації для подальшого зберігання інформації.

1.3 Розробка функціональної схеми пристрою, що проектується

На наступному кроці виконується розробка функціональної схеми, що є деталізацією структурної схеми. Для кожного з блоків структурної схеми необхідно вибрати відповідний функціональний елемент, тобто елемент з зазначенням функції, яку він виконує. Таким чином, схема функціональна електрична відображає структуру пристрою у вигляді функціональних блоків. При розробці функціональної схеми обґрунтовується склад кожного блоку структурної схеми у вигляді функціональних вузлів і пристроїв.

Для зображення функціональних вузлів застосовуються спеціальні елементи (рис.1.8).

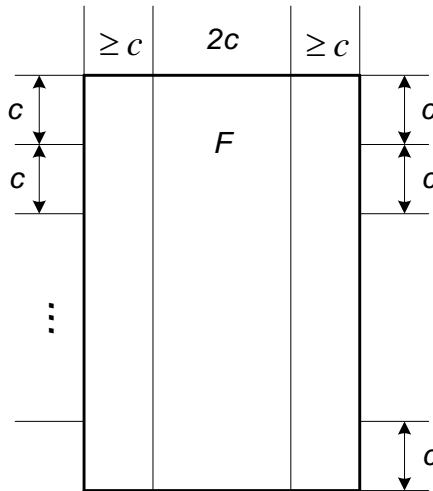


Рисунок 1.8 – Зображення функціонального елемента
(F – функція, що виконується)

Перед побудовою загальної функціональної схеми пристрою, що проектується необхідно обґрунтувати склад кожного блоку структурної схеми окремо у вигляді функціональних вузлів і пристроїв.

Розглянемо докладніше основні функціональні блоки.

Від джерела інформації кодові комбінацію надходять до регістру попереднього запису. В якості регістра вибираємо паралельний чотирьохрозрядний регістр з можливістю попередньої установки всіх елементів регістра в нульовий стан. Далі на входи даних надходить чотирьохрозрядний код і в паралельному вигляді записується з приходом керуючого імпульсу.

В якості формувача мажоритарного коду використовується мультиплексор. Одночасно мультиплексор з керуючим лічильником виконують функцію перетворювача паралельного дванадцятирозрядного коду в послідовний.

Лічильник з коефіцієнтом перерахунку 13 керує процесом формування мажоритарного коду та перетворення його подання з паралельного в послідовний. Схема керування контролює послідовне виконання операцій в кожному з вузлів.

2 РОЗРОБКА ТА РОЗРАХУНОК ПРИНЦИПОВИХ ЕЛЕКТРИЧНИХ СХЕМ, ВУЗЛІВ ТА БЛОКІВ ПРИСТРОЮ

2.1 Вибір елементної бази

2.1.1 Метою вибору елементної бази є обґрунтування серії (або серій) інтегральних мікросхем, а також інших електрорадіоелементів, необхідних для раціональної реалізації пристрою, що проектується.

Критеріями вибору серії (серій) ІМС є:

- наявність необхідних функціональних вузлів у складі серії ІМС;
- мала споживана потужність;
- виконання вимог по швидкодії (граничній робочій частоті) і умовам експлуатації;
- низька вартість;
- можливість керувати необхідними елементами, наприклад, індикаторами без додаткових підсилень і перетворень вихідних сигналів і т.п.

Вибір елементної бази необхідно проводити в наступній послідовності:

- за функціональною схемою пристрою визначаються необхідні функціональні вузли (лічильники, реєстри, шифратори, перетворювачі коду тощо) та їх параметри;
- по довідниках визначаються серії ІМС, що містять всі або частину відповідних функціональних вузлів. При відсутності функціональних вузлів визначається можливість їх побудови за допомогою вхідних до складу серії елементів;
- на основі проведеного аналізу визначається одна або декілька серій, що застосовуються для побудови пристрою.

При виборі дискретних елементів (індикаторів, електромагнітних реле і т.д.), які входять до складу пристрою, що проектується, доцільно використовувати ті, які керуються сигналами з мікросхем або спеціальними мікросхемами сполучення, що входять до складу серій. Інакше проводиться розрахунок схем сполучення на

дискретних елементах.

Вибір елементної бази доцільно ілюструвати таблицями, наприклад:

- таблиця відповідності складу серій потрібним функціональним вузлам і можливість реалізації функціональних елементів на дискретних логічних елементах серії;

- таблиця характеристик обраних серій ІМС;

- таблиця характеристик необхідних дискретних елементів.

На підставі аналізу даних таблиць проводиться вибір елементної бази.

2.1.2 Інтегральні мікросхеми (ІМС) серії КР1533 призначені для організації швидкого обміну та обробки цифрової інформації, часового та електричного проходження сигналів в обчислювальних системах [1,2]. ІМС серії КР1533 дозволяють отримати мінімальне значення добутку швидкодії на потужність розсіяння в порівнянні з відомими серіями ТТЛмікросхем. У наведеній нижче таблиці подані порівняльні характеристики цифрових ІМС різних серій.

Таблиця 2.1 – Порівняльні характеристики цифрових ІМС

Параметр	К155	К134	К531	КР1530	КР1531	КР1533
Час затримки, нс	10	33	3	1,5	2,7	4
Потужність споживання мВт	10	10	20	22	4	1
Фактор якості, пДж	100	33	60	33	10,8	4

ІМС серії КР1533 мають функціональні аналоги в інших серіях і співпадають з ними відносно призначення виводів у корпусі. Це дозволяє виконувати повну заміну мікросхем серії К555, К533, К155, КР1531. Зарубіжний аналог – серія мікросхем SN74ALSxxxx фірми Texas Instruments (TI) США. Конструктивно

мікросхеми серії КР1533 виконані в 14-, 16-, 20- та 24-виводних пластмасових корпусах типу 201, 14-1, 238, 16-1, 2140, 20-8, 2142, 24-2 відповідно. Мікросхеми мають стандартні ТТЛ вхідні/вихідні рівні сигналів. Напрацювання мікросхеми ~50000 годин. Вживані аббревіатури: ТТЛ – транзисторно-транзисторна логіка; Н – високий рівень напруги; L – низький рівень напруги; Z(\bar{N}) - високоомний стан виходу мікросхеми.

2.2 Вибір та розрахунок принципових схем пристрою, що проектується

2.2.1 Мажоритарний елемент. Оскільки в роботі прийнято трикратне повторення інформаційної частини, то доцільно використовувати мажоритарні елементи, для реалізації яких виконаємо синтез.

Мажоритарні елементи реалізують логічну функцію, що приймає одиничне значення на наборах, які відповідають рядкам з номерами 3, 5, 6 та 7 в таблиці істинності. Для цих наборів характерно, що дві або усі три змінні, від яких залежить логічна функція, приймають одиничне значення. На решті наборів або всі змінні приймають нульове значення, або дві трьох. Відповідно функція на цих наборах приймає нульове значення.

Для побудови комбінаційної схеми згідно стандартної методики необхідно скласти таблицю істинності, за якою записуються формули, і в решті-решт будується схема.

Мажоритарний елемент працює у відповідності з наступною таблицею істинності:

Таблиця 2.2 – Таблиця істинності для мажоритарного елемента

№ з/п	x_1	x_2	x_3	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

За таблицею істинності можна записати декілька формул. Синтез починають з запису досконалої диз'юнктивної нормальної форми, запишемо ДДНФ. Вона має вигляд:

$$F = \bar{x}_1 x_2 x_3 \vee x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 x_2 x_3.$$

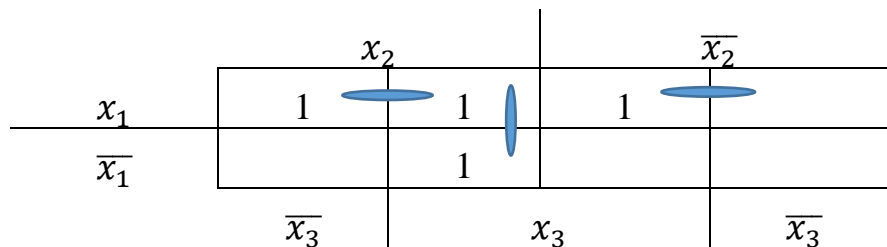
За ДДНФ можна побудувати комбінаційну схему, але оскільки ДДНФ – це найбільш загальна формула, відповідно має максимальну довжину, то і схема, побудована за такою формулою буде мати максимальну кількість логічних елементів. Тому необхідно виконати мінімізацію поданої логічної функції.

Однією з основних задач, що виникають при синтезі комбінаційних схем (КС), є мінімізація переключальних функцій, які ці комбінаційні схеми реалізують. Чим простіше буде записано логічний вираз, що описує цю функцію, тим простішою, дешевшою та надійнішою буде комбінаційна схема, що реалізує цю функцію.

Аналітичні методи мінімізації в загальному випадку надзвичайно трудомісткі, тому найбільшого поширення отримав графічний метод мінімізації за

допомогою діаграм Вейча, безперечною перевагою якого є наочність та простота використання при невеликій кількості змінних ($n \leq 6$). В якості критерія складності логічного виразу, що описує функцію, доцільно прийняти число первинних термів, що в нього входять. Очевидно, що будь-який метод мінімізації може базуватися лише на тотожних перетвореннях логічних виразів.

Оскільки функція залежить від трьох змінних, то застосовуємо наступну діаграму Вейча.



Побудуємо карту карно для отримання мінімальних форм. За діаграмою запишемо мінімальну диз'юнктивну нормальну форму:

$$F = x_2 x_3 \vee x_1 x_3 \vee x_1 x_2.$$

Мінімальні форми одержуємо, застосувавши операції неповного склеювання та поглинання. На наступному вже можна будувати комбінаційну схему, але необхідно вибрати найкращий для даного випадку базис. Базис – це набір елементів, за допомогою яких можна побудувати схему будь-якої складності. Якщо заздалегідь в технічному завданні не заданий необхідний функціональний базис, то необхідно проаналізувати принаймні два найпоширеніших функціональних базиси та вибрати ефективніший в даному випадку. Ефективність при побудові схеми – це найменша кількість елементів в схемі.

Найпоширенішими функціональними базисами на сьогодні є – базис Шефера та базис Пірса. Для реалізації в базисі Шефера необхідно одержувати мінімальну ДНФ, а для – базиса Пірса необхідна мінімальна КНФ.

До одержаних форм необхідно послідовно застосувати закон подвійного заперечення та правило де Моргана. Виконаємо це.

Застосуємо проаналізоване до мінімальної ДНФ:

$$F = \overline{\overline{x_2 x_3} \vee \overline{x_1 x_3} \vee \overline{x_1 x_2}} = \overline{\overline{x_2 x_3} * \overline{x_1 x_3} * \overline{x_1 x_2}}.$$

Побудуємо комбінаційну схему, вона представлена на рисунку 2.1.

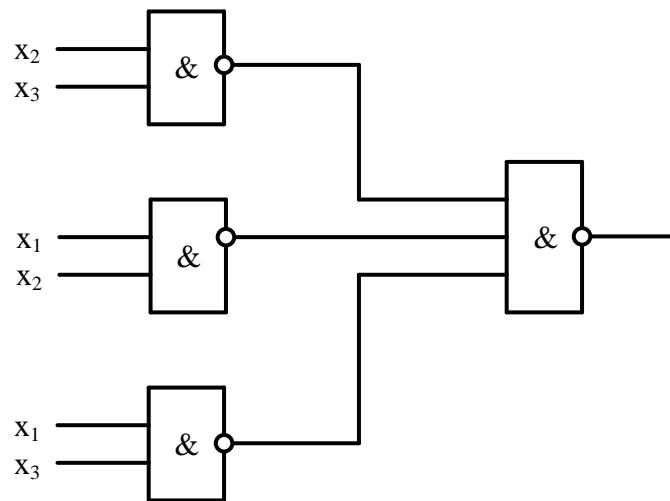


Рисунок 2.1 – Реалізація мажоритарного елемента в базисі Шефера

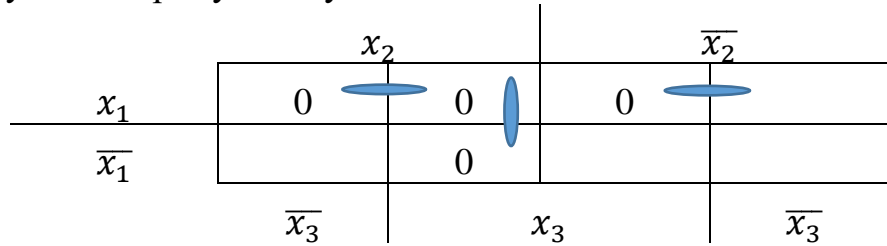
Виконаємо мінімізацію логічної функції за нулями.

Досконала кон'юнктивна форма має вигляд:

$$F = (x_1 \vee x_2 \vee x_3)(x_1 \vee x_2 \vee \overline{x_3})(x_1 \vee \overline{x_2} \vee x_3)(\overline{x_1} \vee x_2 \vee x_3).$$

За записаною ДКНФ можна побудувати комбінаційну схему, але вона, така само як і у випадку з ДНФ буде найбільша, тому виконаємо мінімізацію логічної функції за нулями.

Побудуємо діаграму для нулів та запишемо МКНФ.



Мінімальна КНФ має вигляд:

$$F = (x_1 \vee x_2)(x_1 \vee x_3)(x_2 \vee x_3).$$

Застосуємо до мінімальної КНФ закон подвійного заперечення та правило де Моргана:

$$\begin{aligned} F &= \overline{\overline{(x_1 \vee x_2)(x_1 \vee x_3)(x_2 \vee x_3)}} = \\ &= \overline{(x_1 \vee x_2) \vee (x_1 \vee x_3) \vee (x_2 \vee x_3)}. \end{aligned}$$

Побудуємо комбінаційну схему. Вона представлена на рисунку 2.2.

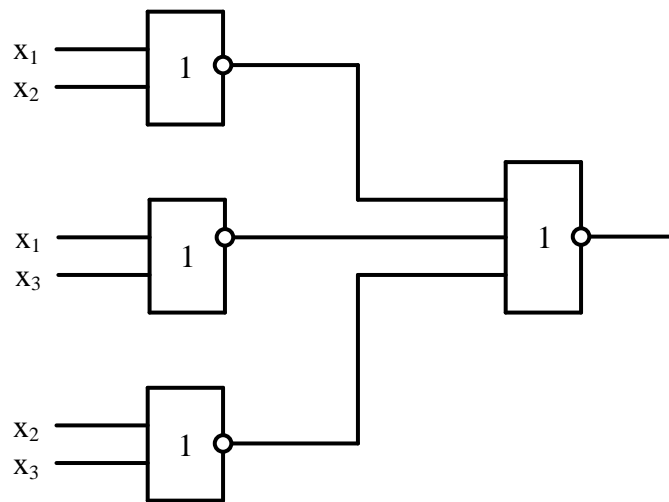


Рисунок 2.2 - Реалізація мажоритарного елемента в базисі Пірса

Проаналізувавши синтезовані схеми можна зробити наступний висновок: обидві схеми складаються з однакової кількості елементів, тому схеми є рівнозначними. Вибираємо в якості основного функціонального базису базис Шефера тому, що він є більш поширеним завдяки своїм функціональним можливостям.

2.2.2 Проектування перетворювача паралельного коду в послідовний.

Сформований мажоритарний код необхідно передати у пристрій обробки та збереження інформації по каналу зв'язку. Пристрій зберігання інформації знаходиться на значній відстані від передавача, тому паралельний мажоритарний код необхідно перетворити у послідовний код.

Для технічної реалізації перетворення паралельної кодової комбінації в послідовний код існує два основних способи. Найчастіше застосування знаходить паралельно-послідовний регістр, тобто регістр, інформація в який записується в паралельному коді, а видається в послідовному. Набагато рідше в якості паралельно-послідовних перетворювачів застосовують мультиплексори. Але в даному випадку навпаки, мультиплексор буде кращим рішенням, оскільки він один буде виконувати функції двох пристроїв – і перетворювача паралельного коду в послідовний, і формувача мажоритарного коду.

Для даного перетворення будемо застосовувати саме мультиплексор.

Призначення мультиплексорів (від англ. Multiplex - багаторазовий) - комутувати у бажаному порядку інформацію, що надходить з декількох вхідних шин на одну вихідну. За допомогою мультиплексора здійснюється часовий поділ інформації, що надходить з різних каналів. Мультиплексор виконує функцію безконтактного багатопозиційного перемикача.

Мультиплексори володіють двома групами входів і одним, рідше двома - взаємодоповнюючими виходами. Одні входи інформаційні, а інші служать для керування. До них відносяться адресні та ті, що дозволяють (стробують) входи. Якщо мультиплексор має n адресних входів, то число інформаційних входів буде 2^n . Набір сигналів на адресних входах визначає конкретний інформаційний вхід, який буде з'єднаний з вихідним виводом.

Вхід дозволу керує одночасно всіма інформаційними входами незалежно від стану адресних входів. Заборонний сигнал на цьому вході блокує дію всього пристрою. Наявність дозволяючого входу розширює функціональні можливості мультиплектора, дозволяючи синхронізувати його роботу з роботою інших вузлів. Дозволяючий вхід використовується також для нарощування розрядності мультиплексорів.

Мультиплексори ТТЛ, виконані у вигляді самостійних мікросхем, розрізняються головним чином числом інформаційних і адресних входів, наявністю або відсутністю дозволяючого входу, а також характером вихідних сигналів (щодо вхідних інформаційних), які можуть бути прямими, інверсними або парними.

Для вирішення нашого завдання - перетворення тринадцятирозрядного коду необхідно вибрати мультиплексор, що має не менше тринадцяти інформаційних входів. Цим вимогам задовольняє мультиплексор К1533 КП1 (рисунок 2.3).

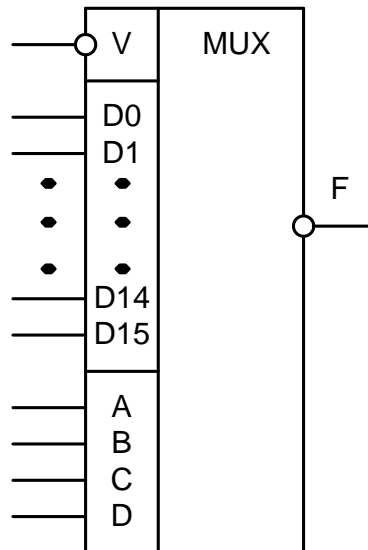


Рисунок 2.3 – Умовне позначення мікросхеми К1533 КП1

Він має 16 інформаційних входів ($D_0 - D_{15}$) і чотири керуючі входи A, B, C, D, вхід дозволу V і один інверсний вихід F. Залежно від цифрової комбінації на керуючих входах сигнали з відповідного інформаційного входу проходять в

інвертованому вигляді на вихід мікросхеми. Передача інформації можлива, якщо на вхід дозволу діє напруга низького рівня. При високому рівні на вході дозволу схема блокується і на виході мікросхеми виникає напруга високого рівня.

Логічна функція, реалізована мікросхемою К1533 КП1, має вигляд:

$$\bar{F} = \bar{V}(\bar{D}\bar{C}\bar{B}\bar{A}x_0 \vee \bar{D}\bar{C}\bar{B}Ax_1 \vee \dots \vee DC\bar{B}Ax_{14} \vee DCBAx_{15})$$

Робота мультиплексора описується таблицею 2.3.

Таблиця 2.3 - Таблиця істинності мікросхеми К1533 КП1

V	D	C	B	A	D0	D1	D2	D13	D14	D15	\bar{F}
0	0	0	0	0	1/0	*	*	*	*	*	0/1
0	0	0	0	1	*	1/0	*	*	*	*	0/1
0	0	0	1	0	*	*	1/0	*	*	*	0/1
...
0	1	1	0	1	*	*	*	1/0	*	*	0/1
0	1	1	1	0	*	*	*	*	1/0	*	0/1
0	1	1	1	1	*	*	*	*	*	1/0	0/1
1	*	*	*	*	*	*	*	*	*	*	1

Тринадцятирозрядний код результату необхідно подати на інформаційні входи, до адресних входів необхідно підключити виходи двійкового лічильника, який буде перебирати в порядку зростання кодові комбінації, відповідні адресами (номерам інформаційних входів). Цю задачу вирішуємо за допомогою лічильника з заданим коефіцієнтом перерахунку. Невикористані входи мультиплексора можна задіяти для організації старт-стопових імпульсів керування передачею інформації. Розглянемо більш докладно роботу перетворювача паралельного коду в послідовний.

Доки пристрій знаходиться в режимі очікування інформації або запису інформації в регістр попереднього запису, перетворювач паралельного коду

повинен знаходитися в режимі очікування. Ця задача виконується завдяки наявності на вході дозволу V рівня логічної одиниці, яка блокує роботу мультиплексора.

Після завершення запису на керуючий вхід мультиплексора необхідно подати логічний нуль, для дозволу перетворення інформації - видачу інформаційних значень в канал зв'язку під впливом керуючих сигналів, що надходять на адресні входи. Керуючий лічильник, перебираючи свої стани, буде послідовно підключати до виходу мультиплексора його інформаційні входи. Як тільки лічильник спробує встановитися у заборонений стан, зворотний зв'язок, що впливає на ланцюг скидання, поверне лічильник у початковий, нульовий стан. До початку передачі лічильник обов'язково повинен знаходитися в нульовому стані, щоб забезпечувати послідовне перебирання кодів адрес, починаючи з нульового.

Після завершення передачі мультиплексор знову повинен повернутися в режим очікування наступного коду наступної інформації. Режим очікування, як і раніше, організується подачею на вхід дозволу мультиплексора рівня логічної одиниці. Формування керуючих сигналів, що надходять на вхід дозволу, здійснюється схемою управління всього пристрою.

2.2.3 Синтез лічильників керування. Цифровий лічильник імпульсів – це цифровий вузол, який здійснює підрахунок імпульсів, що надходять на його вхід. Результат підрахунку формується лічильником у заданому коді і може зберігатися необхідний час. Лічильники будуються на тригерах, при цьому кількість імпульсів, яку може підрахувати лічильник, визначається із виразу

$$N = 2^n - 1,$$

де n – число тригерів, а мінус один, тому що в цифровій техніці за початок відліку береться 0. Крім того, в лічильниках виконуються такі операції, як установка лічильника в початковий стан, зберігання, видача слів і таке інше. Перш за все лічильник характеризується модулем рахунку (ємністю). Лічильник переходить при надходженні вхідних сигналів зі стану в стан, після кожних K сигналів повертаючись до початку циклу, тобто модуль рахунку - це граничне число імпульсів, яке може бути пороховано лічильником. Наприклад, при $K_{сч} = 8$

лічильник має 8 стійких станів і кожен восьмий імпульс, що надходить на його вхід, буде повертати лічильник в початковий стан. При розрядності чотири таких станів в лічильнику буде $K_{сч} = 16$.

Лічильники бувають підсумовуючі, коли рахунок йде на збільшення, та віднімаючи – рахунок на зменшення. Якщо лічильник може переключатися в процесі роботи із підсумовуючого на віднімаючий і навпаки, то він називається реверсивним.

На практиці досить часто необхідно синтезувати лічильник з коефіцієнтом перерахунку, який є відмінним від цілої степені числа 2, наприклад, необхідно рахувати дні тижня, місяці, години і таке інше.

Існує декілька основних методів побудови лічильників з заданим коефіцієнтом перерахунку. Принцип побудови таких лічильників полягає у виключенні зайвих стійких станів у лічильника з $K_{сч} = 2^N$, тобто в організації схем, що забороняють деякі стани.

В залежності від того, які стани лічильника обираються в якості робочих, всі лічильники з довільним коефіцієнтом можна розділити на лічильники з природнім та довільним порядком рахунку. В нашому випадку необхідно зберегти природний порядок рахунку. Будемо застосовувати метод, який отримав назву «з дешифрацією станів». Назва показує основну властивість методу – дешифрація першої зайвої комбінації. Структурна схема, що реалізує цей спосіб, показана на рисунку 2.4.

Особливістю лічильників з природнім порядком рахунку є те, що порядок їх рахунку відповідає порядку рахунку звичайних додаючих чи віднімаючих лічильників. Відмінність полягає у тому, що шляхом введення додаткових зв'язків рахунок закінчується раніше значення 2^N . При побудові лічильника даним способом вибирається двійковий лічильник розрядності N , такий, щоб 2^N було більше K , доповнюється елементом «І», який за станами виходів Q_i виявляє код кінця рахунку, після чого по ланцюгу R скидає лічильник в нуль.

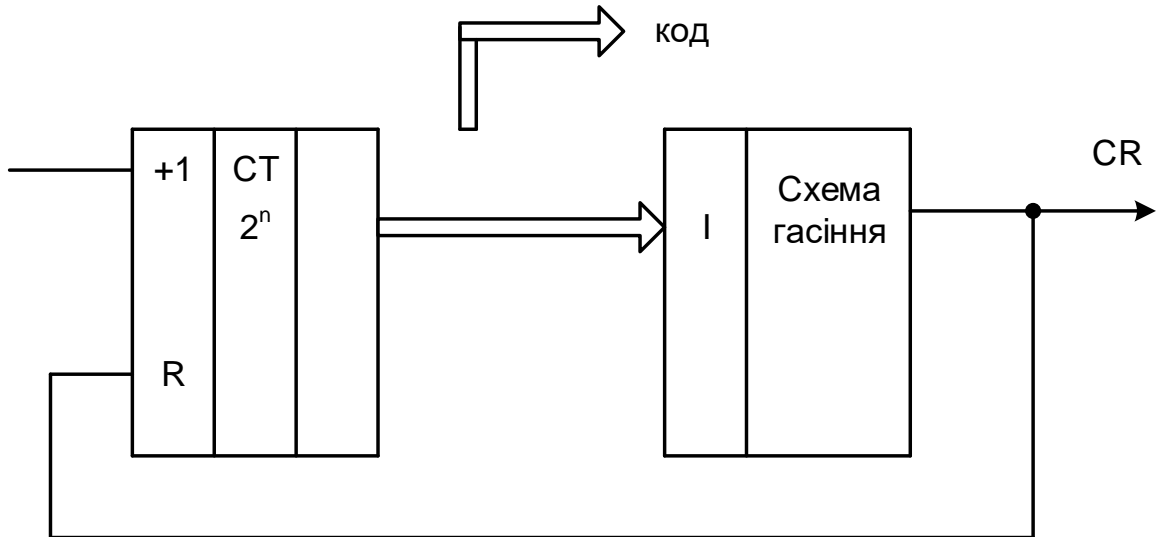


Рисунок 2.4 – Структурна схема лічильника з заданим коефіцієнтом та природнім порядком рахунку

Переваги даного способу:

1. Природна двійкова послідовність кодів від 0 до $K-1$;
2. Використання зазвичай в лічильнику входу R .

У випадку лічильника, що додає, достатньо зібрати на елементі «I» лише прямі виходи тих тригерів, які при коді кінця рахунку дорівнюють 1. Число входів елемента «I», таким чином, залежить від коду кінця рахунку.

В інтегральному виконанні лічильники можна будувати на мікросхемах, наприклад: лічильник, на якому можна реалізувати будь-який коефіцієнт перерахунку, що не перевищує шістнадцяти.

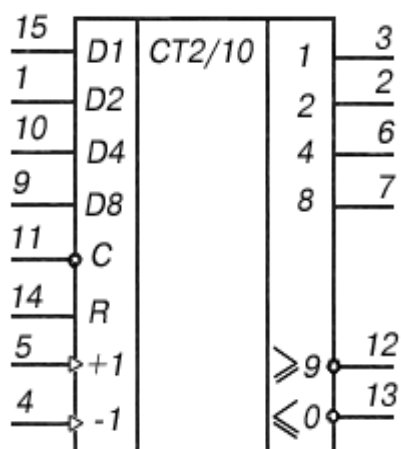


Рисунок 2.5 - Условное графическое обозначение микросхемы К1533ИЕ6

2.2.4 Регістр попереднього запису. Як в якості регістру попереднього запису, так і в якості вихідного регістру видачі вибираємо тригерну збірку К 1533 ТМ8, що містить чотири *D* - тригера з паралельним керуванням. Цоколювка мікросхеми наведена на рисунку 2.6.

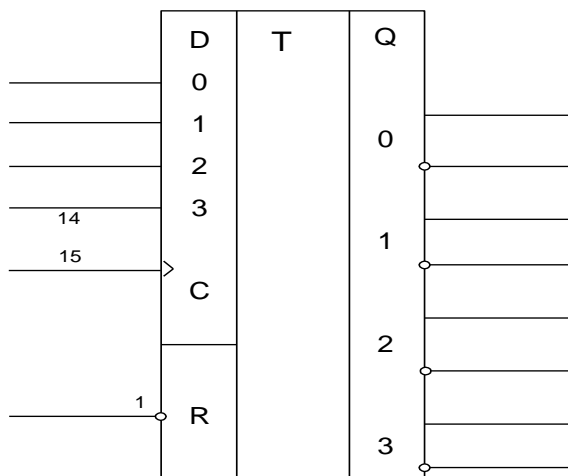


Рисунок 2.6 – Цоколювка мікросхеми К 1533 ТМ8

У реєстрі попереднього запису вхідне 4-ми розрядне двійкове число записується в паралельному коді, потім зберігається і обробляється також в паралельному коді, тому доцільно керувати всіма тригерами збірки одночасно. На рисунку 2.7 наведемо функціональну схему паралельного реєстра попереднього запису. Для зберігання 4-ри розрядного двійкового числа необхідно об'єднати чотири тригери.

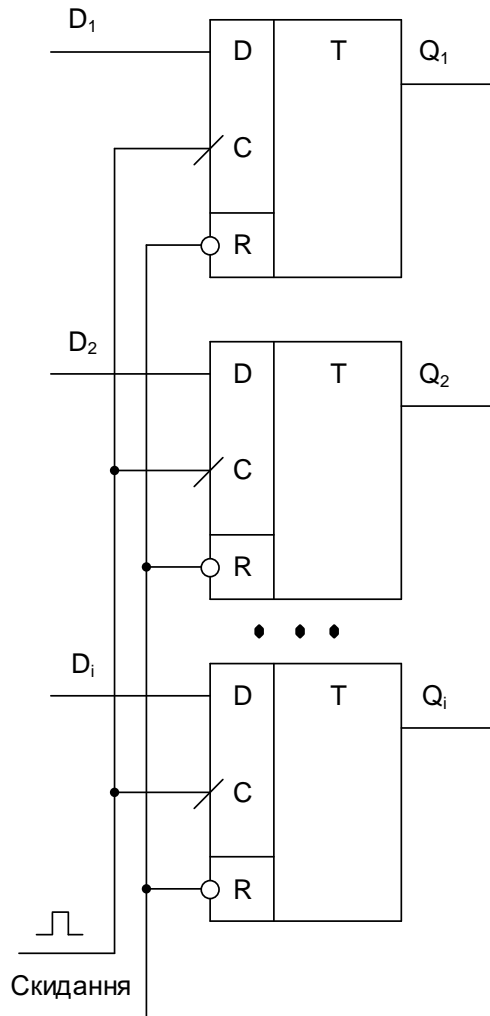


Рисунок 2.7 – Організація реєстра попереднього запису

Перед початком роботи всього пристрою усі елементи пам'яті встановлюються в нульовий стан. Тому і реєстр попереднього запису обнуляється подачею на вхід скидання керуючого сигналу. Потім на входах даних виставляється

інформація, призначена для перетворення і з надходженням імпульсу «пуск» на тактовий вхід регістра ця інформація записується в регістр. Записане слово зберігається у регістрі, поки на наступному кроці не треба буде записати нову двійкову послідовність.

Аналогічно організовано і вихідний регістр, в який записується вихідна кодова комбінація, яка одержана після виявлення та виправлення помилок передачі.

2.2.5 Перетворювач послідовного коду в паралельний. На стороні приймача при прийомі кодова послідовність надходить в послідовному коді. Цю інформацію записуємо в послідовно-паралельний регістр, який побудовано на базі зсувного регістру. Функціональна схема такого регістру може мати вигляд, представлений на рисунку 2.8.

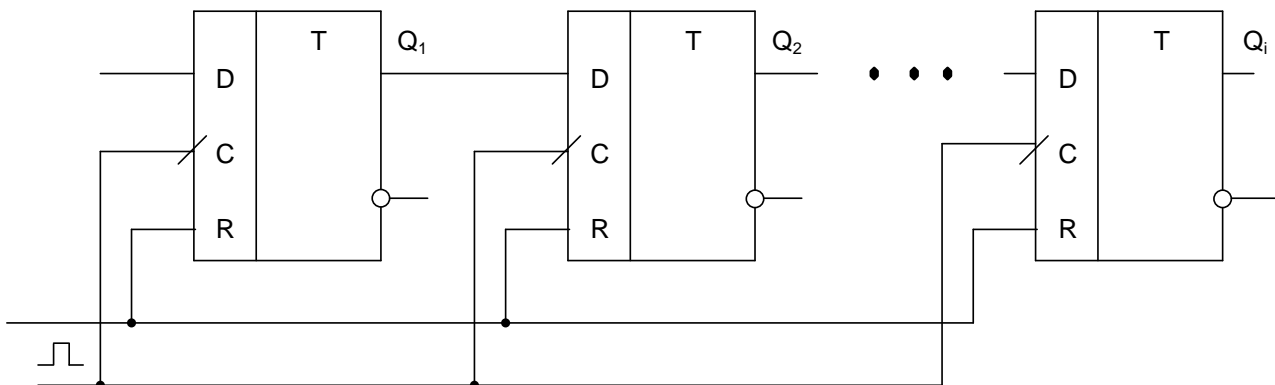


Рисунок 2.8 - Функціональна схема зсувного регістру

Перед початком роботи усі тригери цього регістру «обнуляються» імпульсом «скидання», що надходить на всі входи скидання. В процесі запису вхідної комбінації значення розрядів надходять на послідовний вхід D і з появою кожного наступного тактового імпульсу просуваються в регістр. Тактові імпульси надходять одночасно на всі тригери, а вихід попередньої ступені підключається до входу наступного тригера.

2.2.6 Розроблення блока керування. Схема керування необхідна для керування роботою пристрою мажоритарного кодування і узгодження окремих вузлів пристрою між собою.

В першу чергу блок керування повинен при вмиканні пристрою встановити всі елементи пам'яті в початковий стан. Це здійснюється за допомогою кнопки К1 (див. рис. 2.9).

Тепер пристрій готовий до прийому і перетворенню інформації.

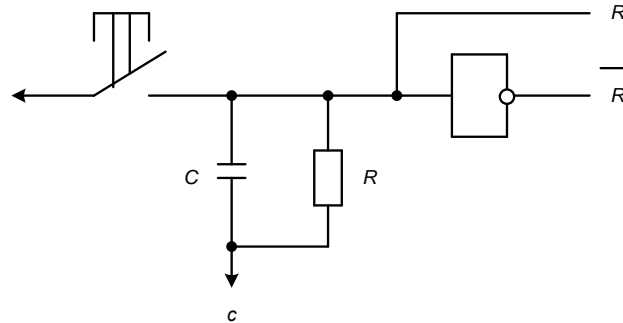


Рисунок 2.9 – Схема формування сигналів установки в нульовий стан

Таким чином, в даній роботі проведено розробку пристрою, що здійснює перетворення двійкових кодових комбінацій в мажоритарний код. Проведено розробка алгоритму роботи пристрою, запропонована структурна, розроблена функціональна схеми, проведений синтез принципової схеми.

ВИСНОВКИ

Зрозуміло, що розвиток та впровадження інформаційних технологій є необхідною умовою науково-технічного прогресу суспільства. В теперішній час ще більше зростають обсяги та цінність інформації, що передається різноманітними каналами зв'язку. Тому найбільше значення мають швидкість та інформаційна надійність передачі даних, які визначають ефективність інформаційних систем.

На сьогодні виникла нова проблеми в побудовах систем зв'язку. Це розробка ефективної структури та вибір або навіть створення нових ефективних кодів для систем передачі даних без зворотного зв'язку. В таких системах застосовують коди з можливістю не тільки виявлення, але й виправлення помилок, що можуть з'явитися в процесі передачі даних. Одним з таких цікавих кодів є мажоритарні коди, які з одного боку відносять до групи кодів з повторенням, а з іншого боку їх вважають циклічними кодами. Найголовніше, що ці коди мають дуже високу здатність виявлення, а головне виправлення помилок. Оцінка ефективності такого коду, і, відповідно, побудова кодуючого-декодуючого пристрою системи зв'язку – є на сьогодні дуже актуальним.

В цій роботі було виконане наступне:

- Проаналізовано сучасні завади та помилки;
- Була проаналізована завадостійкість мажоритарного коду;
- Було виявлено, що здатність мажоритарних кодів виявляти, а тим більше виправляти помилки є надзвичайно високою;
- Було розроблено пристрій завадостійкого кодування цифрової інформації;
- Було розроблено мажоритарний елемент в найбільш важливих функціональних базисах – базисах Шефера та базису Пірса;
- Були розроблені основні вузли кодуючого-декодуючого пристроїв формувача мажоритарного коду.

- Для побудови схеми була застосована серія 1533, для якої характерна досить висока швидкість перемикання, невелика споживана потужність, широке різноманіття функціонального складу.

Таким чином завдання виконане успішно.

РЕФЕРАТ

Пояснювальна записка до кваліфікаційної роботи бакалавра на тему: «Завадостійкий пристрій мажоритарного кодування» містить 48 сторінок, 17 рисунків, 4 таблиці, 20 джерел. Графічна частина представлена структурною схемою, блок-схемою алгоритму функціонування, принциповою схемою формувача мажоритарного коду.

Дана робота присвячена розробці кодуючого-декодуючого пристрою для формувача мажоритарного коду.

Розроблений пристрій характеризується незначним споживанням потужності і достатньою швидкістю в результаті застосування інтегральних схем ТТЛ логіки останнього покоління - серії К 1533.

ЛІТЕРАТУРА

- 1 Розробка уніфікованого пристрою завадостійкої передачі інформації у високошвидкісних каналах радіорелейного та супутникового зв'язку: звіт про науково-дослідну роботу (заключний): в 2 ч. / Міністерство освіти і науки України, Національний технічний університет України «Київський політехнічний інститут імені Ігоря Сікорського»; науковий керівник роботи Л.О. Уривський. – Київ, 2016. – 2 т.
- 2 Кушнір О.І. Аналіз методів завадостійкого кодування у цифрових системах зв'язку [Електронний ресурс] / О.І. Кушнір, О.І. Тимочко, О.В. Северінов // Системи обробки інформації. – 2007. – Вип. 9. – С. :63-65.
- 3 Пятін І.С. Моделювання цифрової системи зв'язку з завадостійким кодуванням [Електронний ресурс] / І.С. Пятін, В.В. Сергеев // Вісник Хмельницького національного університету. Технічні науки. – 2017. - № 6. – С. 89-91.
- 4 Гребенюк О. П. Застосування завадостійкого кодування в системах зв'язку і передачі даних комплексів радіомоніторингу для забезпечення достовірності інформаційного обміну / О.П. Гребенюк, В.Д. Меленський, В.І. Коріненко // Проблеми створення, випробування, застосування та експлуатації складних інформаційних систем. - 2015. - Вип. 11. - С. 44-50.
- 5 V. M. Deundyak, Yu. V. Kosolapov, “On the Berger–Loidreau cryptosystem on the tensor product of codes”, J. Comp. Eng. Math., **5:2** (2018), 16–33
- 6 Цифрова схемотехніка: Підручник у двох томах, том 2. Жуйков В.Я., Бойко В.І., Зорі А.А. та ін. –К.: Аверс, 2002.- 408 с.
- 7 В.М. Рябенський, В.Я. Жуйков, Ю.С. Ямненко, А.В. Заграничний. Схемотехніка: Пристрої цифрової електроніки: Електронний підручник. – НТУУ «КПІ», Київ 2016. – 399 с.
- 8 Новгородцев А.І., Бережна О.В., Гриненко В.В., Арбузов В.В., Лопатченко Б.К., Протасова Т.О. Методичні вказівки до виконання комплексного курсового проекту, м. Суми 2013 р. СумДУ.

- 9 Протасова Т.О., Д'яченко К.О., Кулик І.А. Методичні вказівки до виконання курсової роботи з дисципліни «Пристрої цифрової електроніки» на тему «Проектування цифрового пристрою» - Суми : СумДУ, 2017. – 65 с.
- 10 О. М. Воробйова, В. Д. Іванченко. Основи схемотехніки: підручник. – [2-е вид.]. – Одеса: Фенікс, 2009. – 388 с.
- 11 Теоретичні основи завадостійкого кодування: підручник для вищ. навч. закл. / П.Ф. Олексенко [та ін.]; за ред. В.Ф. Мачуліна; НАН України, Інститут фізики напівпровідників ім. В.Є Лашкарьова, Мін-во освіти та науки України, НТУУ «КПІ» [та ін.]. – Київ: Наукова думка, 2010-2012. Ч.1.- 2010.- 192 с. Ч.2.- 2012.- 210 с.
- 12 Теоретичні основи завадостійкого кодування: у трьох частинах / П.Ф. Олексенко [та ін.]; за редакцією В.Ф. Мачуліна; Національна академія наук України, Інститут фізики напівпровідників ім. В.Є Лашкарьова, Національний університет біоресурсів і природокористування України. – Київ: НУБіП України, 2013. Ч.3.- 360 с.
- 13 Clark, George C., Jr., and J. Bibb Cain. *Error-Correction Coding for Digital Communications*. New York: Plenum Press, 1981.
- 14 Lin, Shu, and Daniel J. Costello, Jr. «Error Control Coding: Fundamentals and Applications». Englewood Cliffs, N.J.: Prentice-Hall, 1983.
- 15 Mackenzie, Dana. «Communication speed nears terminal velocity». *New Scientist* 187.2507 (9 июля 2005): 38-41.
- 16 Multinomial representation of majority logic coding Conference: Information Theory, 2005. ISIT 2005. Proceedings. International Symposium on J.B. Moore, K.T. Tan
- 17 Yang Ya Ting, Houshou Chen, Chen-Han Chuang Modified Majority Logic Decoding of Reed-Muller Codes for Channel Coding. Conference Paper · January 2020. Conference: International Conference on Industrial Application Engineering 2020

- 18 Cornelis Blauwendraat, PhD,¹ Jose M. Bras, PhD,² Mike A. Nalls, PhD,^{2,3} Patrick A. Lewis, PhD,^{4,5} Dena G. Hernandez, PhD,¹ Andrew B. Singleton, PhD,^{1,*} and International Parkinson's Disease Genomics Consortium: Coding Variation in *GBA* Explains the Majority of the SYT11-*GBA* Parkinson's Disease GWAS Locus
Mov Disord. Author manuscript; available in PMC 2019 Feb 19.
- 19 Crnković, D., Tonchev, V. Information Security, Coding Theory and Related Combinatorics, January 2011, Pages 460, of NATO Science for Peace and Security Series - D: Information and Communication Security, Subject Computer & Communication Sciences, Security & Terrorism
- 20 Natasa Zivic Coding and Cryptography: Synergy for a Robust Communication Paperback – 26 Sept. 2013