

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ  
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних  
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДНО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ ЕЛЕМЕНТІВ  
ІНТЕГРАЛЬНИХ МІКРОСХЕМ**

Студент гр. ЕП-61<sub>к</sub>

А.О.Головня

Науковий керівник,  
к.ф.-м.н., ст. викладач

І.П. Бурик

Нормоконтроль,  
к.т.н., ст. викладач

О.Д. Динник

Конотоп 2020

## ЗМІСТ

<b>ВСТУП</b> .....	4
<b>РОЗДІЛ 1. ОГЛЯД ХАРАКТЕРИСТИК ТА СУЧАСНИХ ТЕХНОЛОГІЙ ПРОЕКТУВАННЯ ЕЛЕМЕНТІВ ІМС</b> .....	5
1.1 Транзисторні структури FinFET.....	5
1.2 Транзисторні структури Nanowire FET.....	8
<b>РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ</b> .....	10
2.1 Методика проектування в Silvaco TCAD .....	10
2.1.1 Створення та аналіз структур в ATLAS.....	13
2.1.2 Симулятор технологічних процесів ATHENA.....	13
2.2 Проектування структурних моделей транзисторів .....	14
2.3 Особливості проектування інших електронних структур .....	17
<b>РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ</b> .....	20
3.1 Структурні моделі SOI TG FinFET's .....	20
3.2 Структурні моделі SOI GAA Nanowire FET's .....	24
3.2.1 Одно- та двоканальні транзистори.....	24
3.2.2 Багатоканальні транзистори.....	28
<b>ВИСНОВКИ</b> .....	32
<b>СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ</b> .....	33
<b>ДОДАТОК А. ІНСТРУКЦІЯ ДО ЛАБОРАТОРНОЇ РОБОТИ "ТЕХНОЛОГІЧНЕ ТА ЕЛЕКТРОФІЗИЧНЕ МОДЕЛЮВАННЯ SOI GAA NANOWIRE FET СТРУКТУРИ В САПР SILVACO TCAD"</b> .....	37
<b>ДОДАТОК Б. ІНСТРУКЦІЯ ДО ЛАБОРАТОРНОЇ РОБОТИ " ТЕХНОЛОГІЧНЕ ТА ЕЛЕКТРОФІЗИЧНЕ МОДЕЛЮВАННЯ СТРУКТУР МОН-ТРАНЗИСТОРУ В САПР SILVACO TCAD"</b> .....	38
<b>ДОДАТОК В. СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ</b> .....	39

## РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є структурні моделі кремнієвих 3D транзисторів типу FinFET та Nanowire FET та електронні процеси в них.

Мета роботи полягає у дослідженні впливу масштабування, температури та нанорозмірних ефектів у каналах кремнієвих 3D транзисторів типу FinFET із затвором Tri-Gate та Nanowire FET із затвором Gate-All-Around на їх робочі характеристики.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд характеристик та сучасних технологій 3D проектування елементів інтегральних мікросхем. У другому розділі розглядаються методи побудови структур польових транзисторів в рамках технології SOI (Silicon-On-Insulator) та їх вольт-амперних характеристик за допомогою програмного пакету Silvaco TCAD. У третьому розділі були успішно спроєктовані структурні моделі SOI TG FinFET та SOI GAA Nanowire FET та досліджені на вплив масштабування, температури та нанорозмірних ефектів у каналах на їх робочі характеристики

Робота викладена на 39 сторінках, у тому числі включає 14 рисунків, 5 таблиць, список цитованої літератури із 38 джерел.

**КЛЮЧОВІ СЛОВА:** СТРУКТУРНІ МОДЕЛІ, КРЕМНІЄВІ 3D ТРАНЗИСТОРИ, TRI-GATE FINFET, GATE-ALL-AROUND NANOWIREFET, КОРОТКОКАНАЛЬНІ ЕФЕКТИ

## ВСТУП

Польові Fin-транзистори відносяться до тривимірних структур і на даний момент є основою для сучасної комплементарної технології метал-оксид-напівпровідник (CMOS). Масштабування елементів інтегральних мікросхем (ІМС) забезпечується удосконаленням CMOS-структур, що насамперед пов'язано з розвитком технологій проектування та виробництва 3D транзисторів. Головними перевагами застосування технологічних систем автоматизованого проектування (Silvaco TCAD, Sentaurus TCAD, GTS Framework та ін.) є наочність усіх етапів формування наноструктур, можливість дослідження електричних характеристик елементів на основі чисельних моделей. Останні дозволяють кількісно описати розподіл носіїв заряду в мікро- або наноструктурі, дослідити властивості елементів, які недоступні для проведення прямого вимірювання, отримати залежності вихідних характеристик від розкиду технологічних параметрів [1-6].

Реалізація мультизатворних електродів – одна з кількох стратегій, розроблених для подальшої мініатюризації мікроелектронних компонентів та має важливе значення для цифрового проектування, very large scale integration (VLSI). За допомогою інструментів Silvaco TCAD отримано результати електричних характеристик 3D-транзисторів з електродами затвору на основі n- та p- плівкових систем з відповідними ефективними роботами виходу 4,4 eV і 4,85 eV [1]. Представлено результати числового моделювання робочих характеристик польових транзисторів TG FinFET та GAA Nanowire FET в рамках технології SOI (Silicon-On-Insulator) залежно від їх масштабування, зміни зовнішньої температури та нанорозмірних ефектів у кремнієвих каналах.

# РОЗДІЛ 1

## ОГЛЯД ХАРАКТЕРИСТИК ТА СУЧАСНИХ ТЕХНОЛОГІЙ ПРОЕКТУВАННЯ ЕЛЕМЕНТІВ ІМС

### 1.1. Транзисторні структури FinFET

Fin-транзистори з польовим ефектом (FinFET) є основою для сучасної комплементарної технології метал-оксид-напівпровідник (CMOS). Мініатюризація компонентів та низьке енергоспоживання робить останніх базовими компонентами електроніки, включно з логікою, додатками пам'яті, тощо. На сьогодні як компоненти CMOS, зовнішній вигляд яких представлено на рис.1.1а [3], найчастіше використовуються транзисторні структури SOI TG FinFET's. Розвинуті методи 3D-числового моделювання транзисторних структур [4-6] дозволяють отримати необхідні дані з проектування технологій та електрофізичних властивостей. Як приклад на рис.1.1б [4] наведено тривимірну конічну модель SOI TG FinFET, розроблену за допомогою Silvaco TCAD, із зазначенням матеріалів та профіля легування Fin-каналу.

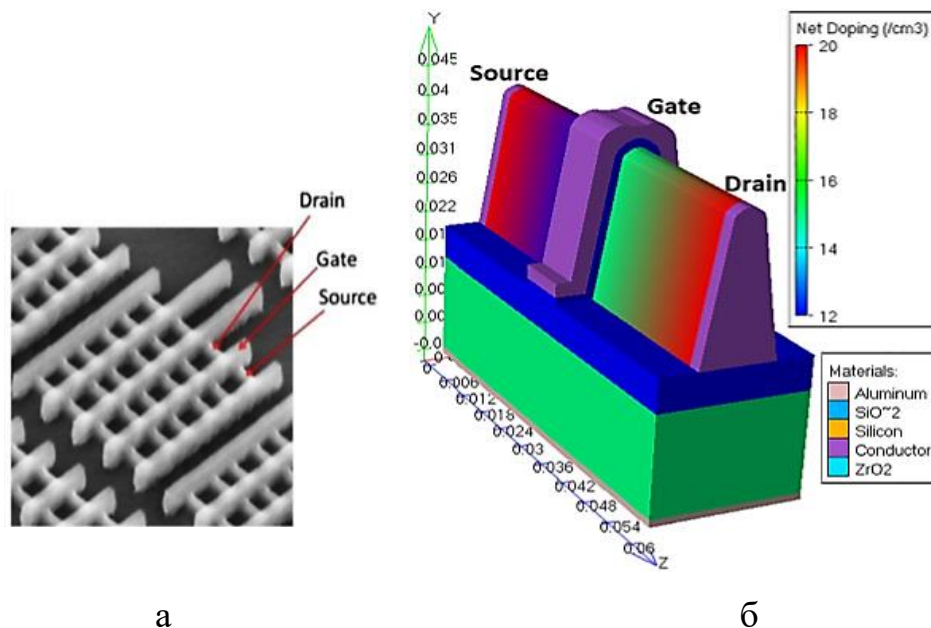


Рис.1.1. 3D комплементарна комірка (Intel 22nm) (а) та конічна структура SOI TG FinFET (б) [3-4]

Зі зменшенням розмірів FinFETs з'являються ефекти короткого каналу, short-channel effects (SCEs). Зокрема, зі зменшенням довжини затвору змінюються такі показники як допороговий розкид (subthreshold swing,  $SS$ ), зниження бар'єру, що індукується стоком (drain induced barrier lowering,  $DIBL$ ) та відбувається зниження (roll-off) порогової напруги  $V_t$ , тощо. Концентрація легуючих домішок фіну також є ключовим параметром, що впливає на величину  $SS$ ,  $DIBL$  та рухливість носіїв струму. Для високої рухливості концентрація домішок повинна бути якомога нижчою. Однак зменшення концентрації домішки викликає збільшення  $DIBL$  та зменшення  $SS$ . Відомо, що для технології FinFET бажаний Fin-канал без домішок. Однак для покращення контролю струму витoku допускається невелике легування Fin-каналу з концентрацією домішок  $10^{15} - 10^{17} \text{ cm}^{-3}$ , для приконттактних зон витoku та стоку потрібна більш висока концентрація домішок  $10^{19} - 10^{21} \text{ cm}^{-3}$  [4-6]. В результаті зростає опір Fin-каналу або порушується його геометрія. Щоб вирішувати подібні завдання застосовуються сучасні технології йонної імплантації, епітаксiального легування біля витoku та стоку, тощо.

Порогова напруга  $V_t$  зберігає майже однакові значення для різних концентрацій легування каналу, проте його величина суттєво залежить від роботи виходу електрона для електрода затвору (рис.1.2а), або т.зв. ефективної роботи виходу, effective work function, EWF ( $W_{eff}$ ) [1].

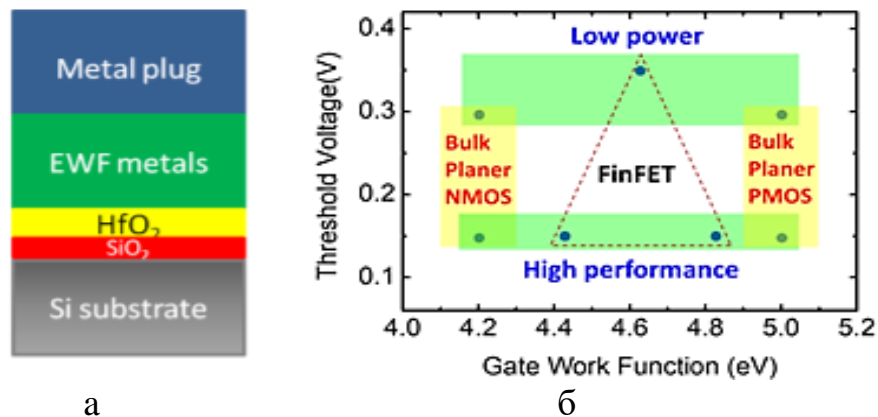


Рис.1.2. Типова структура електрода затвору (а) та залежність порогової напруги від роботи виходу матеріалу затвору для різних пристроїв [1]

В роботі [1] величина  $W_{eff}$  для FinFETs визначена як 4,4 eV і 4,85 eV для металевих електродів пристроїв n-типу та p-типу відповідно (рис.1.2б). Величини  $W_{eff}$  електродів для планарних n- та p-MOS транзисторів становлять 4,2 eV і 5,0 eV відповідно, залежно від режиму їх роботи.

Як відзначалось вище величина  $W_{eff}$  для електроду затвора визначає тип провідності пристрою. Для проектування CMOS структур необхідно мати дані про відповідні величини  $W_{eff}$  металевих електродів. Проте остання залежить від багатьох факторів, зокрема товщини металевих шарів та порядку їх розташування, матеріалу підкладки (ізолятора), тощо. Отже при виборі матеріалів для відповідних структур бажано мати експериментальні дані про їх величини  $EW_{eff}$  [7-9].

При конструюванні транзисторів сформовані затвори підлягають термообробці при високих температурах. Це неодмінно активізує дифузійні процеси між сусідніми шарами. В роботі [8] досліджено вплив конденсаційно та термічно стимульованої дифузії в різних плівкових системах для електродів затворів. Як приклад розглянемо типовий  $EW_{eff}$ -метал TiN додатково легований хімічно стійкими до окиснення металами Ta і Ni. Вони мають стандартні величини визначені для вакууму робіт виходу (WF)  $W_f(\text{Ta}) = 4,25 \text{ eV}$  та  $W_f(\text{Ni}) = 5,05 \text{ eV}$ . Автором роботи [8] експериментально доведено, що поєднання матеріалів з низькою та високою величиною  $W_f$  відображається на загальних електрофізичних властивостях електроду. Структура TiN(10)/Ta(10) (n-type) характеризується низькою величиною  $W_{eff}$  4,35 і 4,40 eV до і після відпалу 500°C відповідно, тоді як у системі TiN(5)/Ni(10)/Ta(2) (p-type) зафіксовано збільшення  $W_{eff}$  на 0,4 eV перед відпалом, тобто 4,75 eV, і майже таким же значенням після відпалу при 500°C, тобто 4,74 eV. Розрахунок проведений на основі співвідношення (1) дозволив нам визначити, що для вище зазначених зразків n- та p-  $EW_{eff}$ -металів величина  $W_{eff}$  складатиме 4,39 та 4,77 eV відповідно. На рис. 1.3 наведено плівкову структуру, яка складається з контакту W,  $EW_{eff}$ -металевої системи TiN/Ni/Ni<sub>x</sub>Ta<sub>y</sub>/Ta, high-k ізоляційного прошарку HfO<sub>2</sub> та ізолятора SiO<sub>x</sub> на підкладці Si.

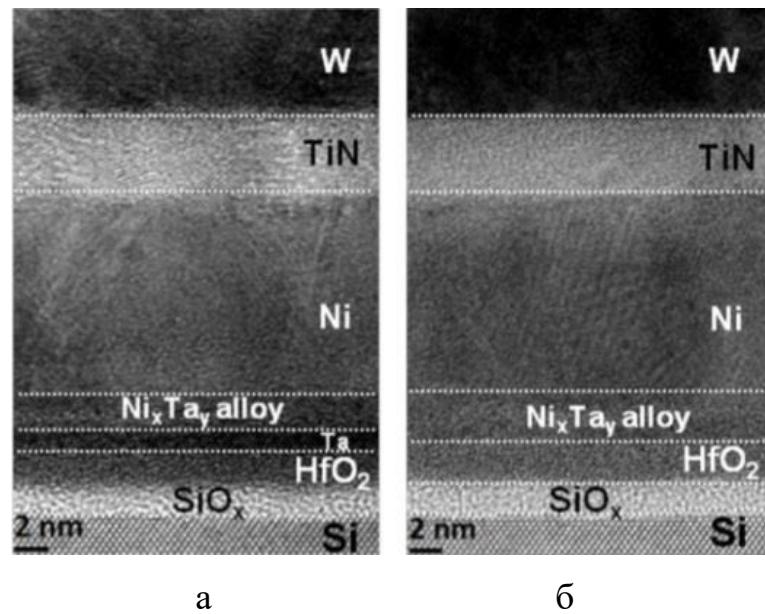


Рис.1.3. Структура затвору на основі плівкової системи TiN(5)/Ni(10)/Ta(2)/HfO<sub>2</sub> після конденсації (а) та термовідпалювання при 500°C (б) [8]

Слід відмітити, що для конструювання електродів затворів дослідників останнім часом також цікавлять складні сполуки нітридів, карбідів металів та їх сплавів, зокрема залежності величина  $W_{eff}$  від концентрації компонент [1].

## 1.2. Транзисторні структури Nanowire FET

Постійно зростаючі вимоги щодо подальшого зростання масштабування та продуктивності, зменшення енергоспоживання, подолання короткональних ефектів, тощо призвели до необхідності застосування нанодротів (nanowires) Si, GaAs, ZnO та ін. як каналів між витоком та стоком. Таким чином Fin-канальні FET-транзистори поступово витісняються NW-канальними. В останньому випадку використовується затвор GAA (Gate-All-Around).

В роботі [10] спроектовано структури SOI TG FinFET та SOI GAA NWFET (рис.1.4), порівняно їх робочі характеристики залежно від експлуатації в умовах радіаційного впливу. Авторами показано, що NW-канальні транзистори мають кращі характеристики в радіаційному середовищі, ніж Fin-канальні, проаналізовано концентраційні та інші залежності.



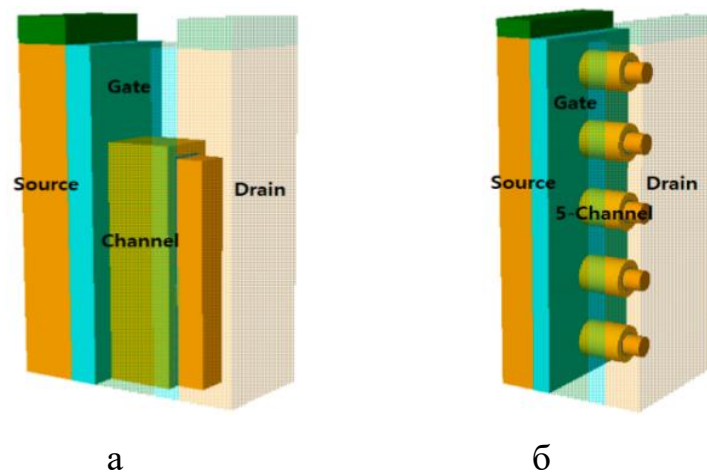


Рис. 1.4. Транзисторні структури SOI TG FinFET (а) та SOI GAA NWFET (б) спроектовані за допомогою Silvaco TCAD [10]

В роботі [11] було проведено моделювання створення і аналізу GAA NWFET структур, що зачіпає багато аспектів моделювання – від створення за допомогою технологічних процесів до таких специфічних тем, як погіршення показника електростатичного саморозряду та випадкова флуктуація (коливання концентрації) домішок. Результати показують що дані структури є багатообіцяючими кандидатами для наступного покоління наномасштабних напівпровідникових пристроїв. Новітні дослідження показують що окрім можливості подальшого зменшення розмірів, кремнієві GAA NWFET також мають кращу керованість затвором та стійкість до ефекту короткого каналу.

Авторами роботи [12] було представлено уніфіковану компактну модель для GAA FET структур – нанолістів, нанодротів та МОН-транзисторів з декількома містками. Остання добре узгоджується з результатами моделювання отриманими в центрі моделювання пристроїв м.Берклі (BDMC), що дозволяє її використання в подальших дослідженнях цього напрямку.

В роботі [13] описано моделювання виготовлення і аналіз напружених і ненапружених структур  $\Omega$ -NWFET транзисторів за допомогою Sentaurus TCAD та порівняння їх характеристик. В ній спроектовано тривимірні структури за допомогою Sentaurus Process, застосовано моделі SPICE-моделювання, досліджено ВАХ та вивчено низькочастотні шуми пристроїв.

## РОЗДІЛ 2 МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

### 2.1. Методика проєктування в Silvaco TCAD

Транзисторні структури можуть бути спроектовані за допомогою програмного пакету Silvaco TCAD. Він являє собою набір спеціальних програм, які пов'язані між собою. Базовою є DeckBuild [14], оскільки в ній створюються і виконуються командні файли, задається порядок виконання дій, запуск інших програм та їх координування. Наступними по важливості є симулятор пристроїв ATLAS [15] та засіб візуалізації TonyPlot. Разом з ними ATHENA [16] дозволяє моделювати стандартні технологічні процеси.

Процес створення структури досліджуваного пристрою чи схеми можна реалізувати різними шляхами. Для відносно простих структур зазвичай використовують DevBuild, але дана програма в операційній системі Windows може бути запущена лише у режимі командного рядку.

Задати структуру можна командами в ATLAS, але цей спосіб несе ряд обмежень і незручностей, зокрема складність(всі параметри записуються текстом в командний файл) створення областей складної форми, завдання профілів легування, переходів між областями провідності, завдання сітки тощо. Для задання більш складних структур використовуються засоби ATHENA та VICTORY(тривимірний симулятор технологічних процесів, наявний в версії TCAD для Unix-подібних ОС).

Більшість моделей симулятора пристроїв ATLAS використовують два вхідні файли. Перший вхідний файл - це текстовий ASCII файл, який містить команди для виконання, а другий - це файл структури, яка визначає структуру, її області та профілі легування, яка буде моделюватися. Також ATLAS створює три типи вихідних файлів. Першим типом вихідних даних є звіт ходу роботи, який дає інформацію про етапи виконання коду і повідомлення про помилки та попередження під час моделювання. Візуально це область вікна (т.зв. "фрейм"),

де відображаються вищевказані дані, що також зберігаються в тимчасовий файл звіту. Другий тип вихідного файлу - це файл журналу, який зберігає всі термінальні напруги та сили струмів від аналізу пристрою. Він створюється за допомогою команд SOLVE або EXTRACT і зазвичай має закінчення “.log” або “.dat”, кожен з них являє собою ASCII текст записаний особливим чином у таблицю даних. Третій тип вихідного файлу - файл рішення, який зберігає графічні дані у форматі 1D, 2D або 3D, які пов'язані зі значеннями змінних у визначеній точці. По замовчуванню це файл структури “.str”, яка була завантажена чи створена для розрахунків, але до неї додані дані моделювання – фізичні поля, профілі, силові лінії і т.д.

На рис.2.1 показано алгоритм проектування 3D транзисторів в TCAD. На основі експериментальних даних можуть бути спроектовані окремі пристрої та їх робочі характеристики.

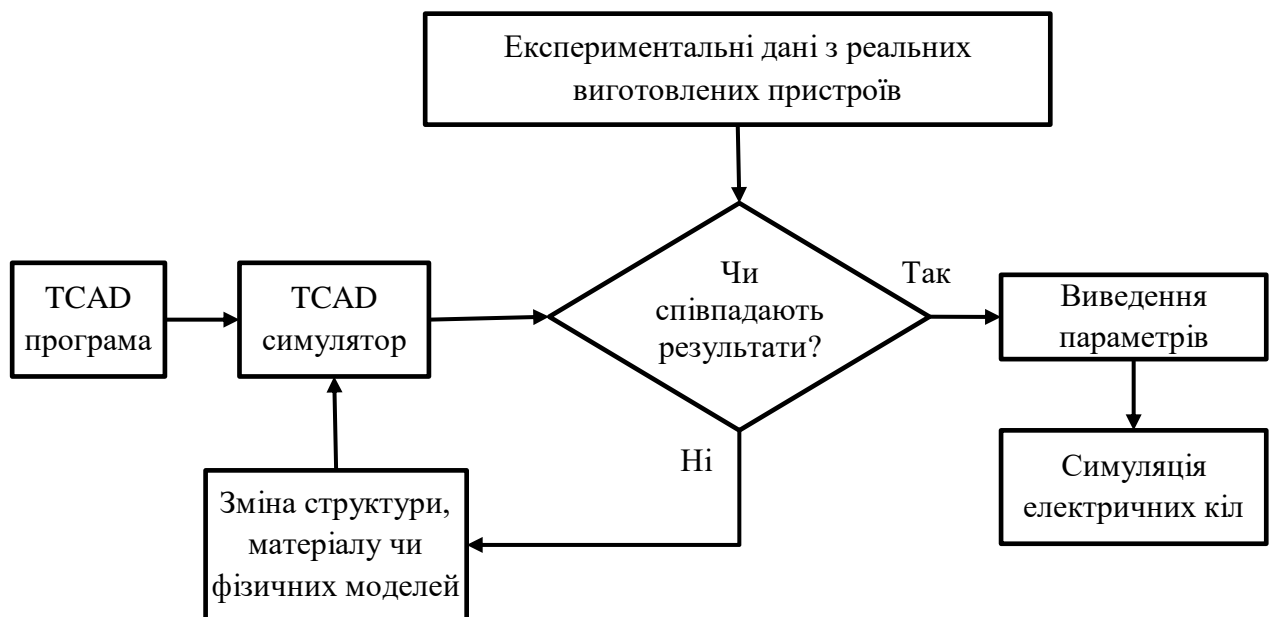


Рис. 2.1. Алгоритм проектування в TCAD програмах

Структура бібліотек моделей Silvaco TCAD універсальна, один і той самий модуль може бути використаний у всіх її програмах. В Silvaco використовується власний інтерпретатор C-Interpreter. Його створено спеціально для отримання оптимізованих машинних кодів виходячи з вхідного описання моделі.

Вбудований в C-Interpreter інтерфейс відлагодження кодів дозволяє користувачу зосередитись на розробці моделі та одночасно бачити результат зроблених вимірювань, не витрачаючи час на етап компіляції. Код отриманий за допомогою C-Interpreter, виконується набагато швидше коду, отриманого стандартними компіляторами [14-18].

Silvaco TCAD являє собою набір програм які пов'язані між собою, взаємозв'язок яких можна зобразити у вигляді блок-діаграми (рис.2.2). Основною є DeckBuild, оскільки в ній створюються і виконуються командні файли, задається порядок виконання дій, запуск інших програм та їх координування.

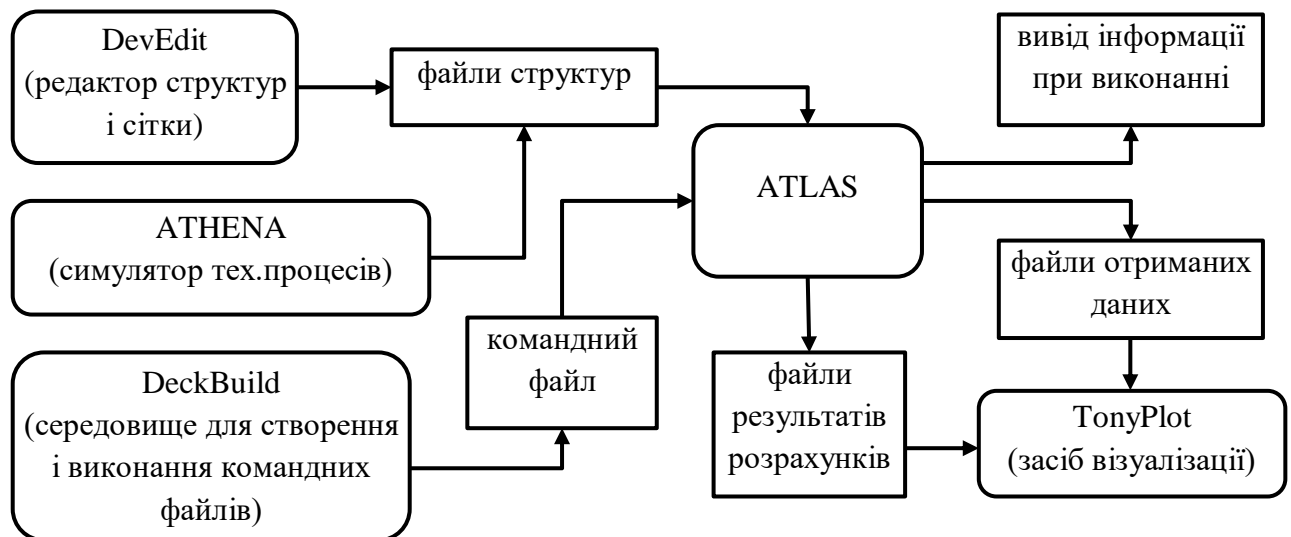


Рис. 2.2. Блок-схема основних складових набору засобів Silvaco TCAD

Наступними по важливості є симулятор пристроїв ATLAS та засіб візуалізації TonyPlot. ATHENA дозволяє моделювати стандартні технологічні процеси, але створення структури пристрою можливе і іншими засобами – за допомогою DevBuild(має користувацький інтерфейс лише в Unix-подібних ОС), за допомогою команд симулятора ATLAS та сторонніми засобами, які підтримують формат файлів структур.

### 2.1.1 Створення та аналіз структур в ATLAS

При створенні командного файлу для виконання слід дотримуватися синтаксису коду середовища DeckBuild (синтаксис та команди детально описані у керівництві користувача [14]) та наступної послідовності команд ATLAS:

- 1) специфікація структури (MESH, REGION, ELECTRODE, DOPING);
- 2) специфікація матеріалів та моделей (MATERIAL, MODELS, CONTACT, INTERFACE);
- 3) вибір числового методу для обчислень (METHOD);
- 4) специфікація розрахунку (LOG, SOLVE, LOAD, SAVE);
- 5) аналіз результатів (EXTRACT, TONYPLOT).

Опис і застосування основних команд детальніше описано в додатку А.

### 2.1.2 Симулятор технологічних процесів ATHENA

Симулятор технологічних процесів ATHENA дозволяє створювати одно- та двовимірні структури пристрою за допомогою моделювання процесів напилення, дифузії, окислення, травлення і т.п. Даний симулятор має ряд використовуваних моделей та модулів для процесів різної точності та складності, методика роботи з якими описана в керівництві користувача ATHENA [16]. Для літографії використовується модуль Optolith в парі з редактором масок MaskViews.

Набір команд ATHENA частково повторює набір ATLAS та також має вимоги для порядку задання команд: спершу структуру потрібно ініціалізувати, а вже потім проводяться необхідні технологічні процеси. Деякі з процесів мають два методи проведення: простий і за допомогою задання так званої “машини”. Задання та налаштування технологічних процесів зручно виконувати за допомогою генератора команд DeckBuild.

Задання сітки аналогічне заданню в ATLAS, але замість X.MESH та Y.MESH використовуються параметри LINE X та LINE Y. В ATHENA

підтримуються лише одномірні та двовимірні структури, тому налаштувань сітки для осі Z немає. Після задання сітки за допомогою команди INITIALIZE задаються параметри початкової підкладки. По замовчуванню це кремнієва пластина без домішок з кристалографічною орієнтацією 100.

Опис основних команд для моделювання технологічних процесів і їх використання в ATHENA наведено в додатку Б.

## 2.2. Проектування структурних моделей транзисторів

На даний момент головним аспектом є прогнозування поведінки експериментальних зразків транзисторів та оптимізація вже наявних технологічних рішень. Прикладами таких досліджень є [19-23]. В [19] описано про важливість ролі TCAD для сучасних розробок транзисторів та інших електронних пристроїв. Мініатюризація та покращення параметрів КМОН-чипів, в головним чином пов'язаний з феноменальним ростом напівпровідникової індустрії. Спочатку це досягалось завдяки масштабуванню геометричних розмірів та напруги живлення, пізніше – завдяки ускладненню архітектури та використанню нових матеріалів. Якщо раніше польові транзистори представляли собою просту планарну структуру, то нині це складні об'ємні нанометрові структури, принцип роботи яких ґрунтується на різних явищах та ефектах.

Саме моделювання умовно можна поділити на двовимірне (рис. 2.2а) та тривимірне (рис. 2.2б), в [24] приводиться приклад роботи з ними.

Більшість звичних пристроїв моделюють двовимірною [25-28], по суті при цьому за ширину береться деяка умовна одиниця виміру (дуже мале значення), але її можна задати і вручну (методику описано у керівництві користувача до симулятора ATLAS [15]), в подальшому це значення буде впливати на результати розрахунків. Таке моделювання дозволяє економити обчислювальні ресурси, при цьому не сильно впливаючи на результати.

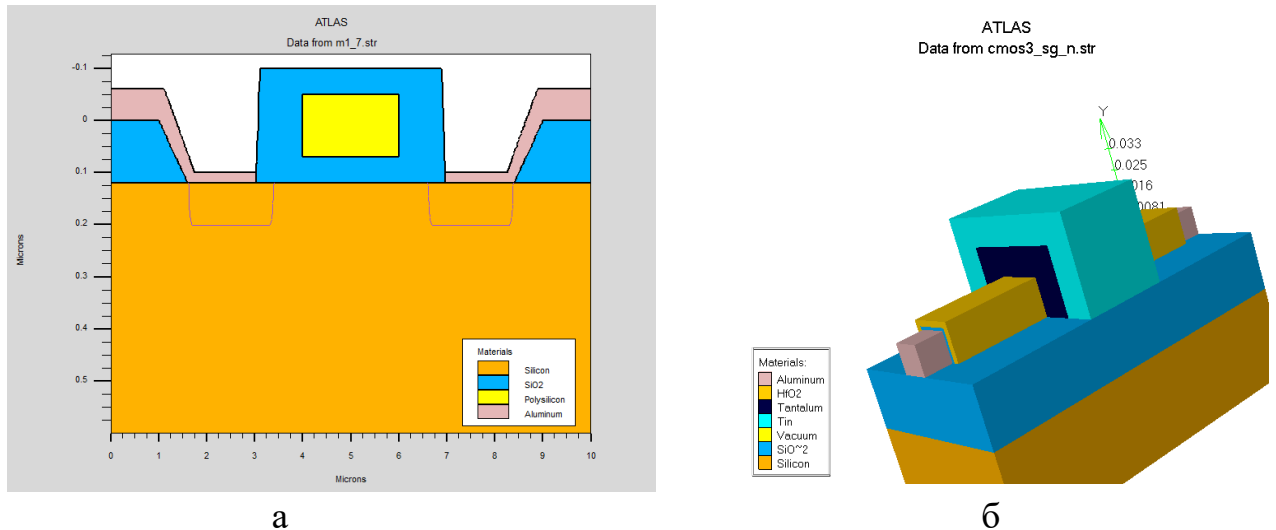


Рис. 2.2. Структурні моделі планарного (а) та 3D польового транзистора (б)

Одновимірне моделювання також може підтримуватися симулятором, але зазвичай це застосовується для отримання профілів легування (рис.2.4), отримання деяких сумарних характеристик шаруватої області, що складається із різних матеріалів, тощо.

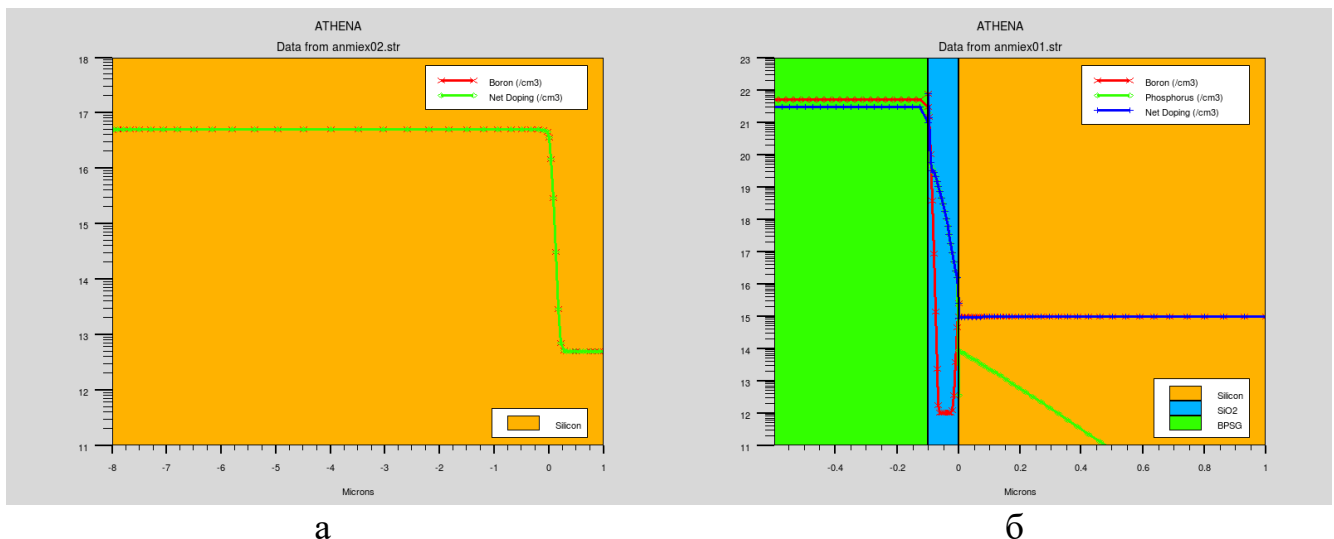


Рис. 2.4. Однокомпонентна (а) та шарувата (б) планарні структури. Переріз 2D-структур з накладеними поверх залежностями

Тривимірне моделювання застосовують там, де неможливо використати двовимірне – в тривимірних складних структурах та об'єднанні пристроїв.

Яскравим прикладом є FinFET – польовий транзистор на основі “ребра”, в цій структурі транзистору затвор може оточувати канал з усіх сторін [29] і моделювати цю структуру в двовимірному вигляді неможливо. Іншими прикладами є використання областей у вигляді сферичних капель чи зон, з нерівномірним профілем легування по декільком осям, структури з багатьма електродами, що можуть бути розміщені лише об’ємно, структури неправильної форми і т.д.

Окрім аналізу структур транзисторів постійним струмом також й проводять моделювання зі змінним струмом [30] та дослідження частотних характеристик [31], тому в TCAD повноцінно можна моделювати як цифрові, так і аналогові та гібридні пристрої. Одним із прикладів сучасних напрямів досліджень аналогових та гібридних пристроїв є напрям нейромереж, а точніше чіпів для їх створення у апаратному вигляді (абсолютна більшість існуючих нейромереж реалізовано програмно). Наприклад в [32] проводять моделювання структур елемента такого чіпу, який частково являє собою польовий МОН-транзистор.

До явних переваг відразу можна віднести можливість для моделювання ідеалізованих структур та широкі можливості для експериментування з новими матеріалами. Наприклад в [33] досліджували спосіб моделювання графену шляхом зміни електрофізичних параметрів іншого матеріалу, оскільки графен відсутній у базі матеріалів TCAD. При моделюванні технологічних процесів такі дані можна проаналізувати, скорегувати і т.д. Надалі це можна використати в технологічних процесах при створенні електронних компонентів, або врахувати на початкових етапах досліджень.

Саме моделювання можна проводити вибірково для певної поставленої задачі [34-39]: знаття певних ВАХ, дослідження частотних характеристик [31], оптичні [33] чи температурні властивості [34-35] і т.д. Причому для кожного моделювання можна вказати свої параметри окремо, що також дає простір для експериментування.



### 2.3. Особливості проектування інших електронних структур

Розглянемо декілька способів проектування та дослідження структурних моделей. Як було вказано раніше, спочатку створюється структура, а потім задається послідовність команд для розрахунків. При використанні ATHENA або VICTORY порядок проектування дещо інший, ніж для ATLAS.

В ATHENA спершу задається сітка початкової структури, зазвичай це поверхня підкладки, яка може мати різну кристалографічну орієнтацію та концентрацію домішок. Потім на цій поверхні, або в об'ємі кристалу, створюють структуру за допомогою моделювання технологічних процесів. Деякі з них можуть бути спрощені, в залежності від того яка мета дослідження: отримати дані з структури, яка створена подібно реальним технологічним процесам, чи наближені характеристики для ідеалізованих пристроїв, тобто тих, які можна отримати за допомогою реальних технологічних процесів. Прикладом такого спрощення є заміна фотолітографії на фігурне травлення (довільної форми) оксидної маски, або фігурне травлення фоторезисту, який потім слугує маскою для оксидного шару.

Розглянемо приклад створення структур діоду та біполярного транзистору за допомогою ATHENA [16]. Для діоду необхідно створити дві зони з різною провідністю, це можна реалізувати декількома способами. Наприклад, на леговану підкладку наноситься шар кремнію з іншим типом провідності. Другим прикладом є дифузійно-планарна технологія, яка в попередньо легованій підкладці створює зону з іншою провідністю. Також можна імплантувати домішки, а потім провести її дифузію, або напилити метал і вийде діод Шотткі.

Біполярний транзистор складається вже з двох переходів і для його створення потребується багато операцій. В залежності від технології (дифузійно-планарна, V-канална, з прихованим шаром і т.д.) будуть відрізнятися попередні технологічні процеси, але всі ці технології мають спільні операції. Після підготовки підкладки спочатку створюють область колектора, потім в ній створюють область бази, а вже поверх неї – область емітера. Для покращення

характеристик в деяких технологіях включають прихований шар та підконтактні області, що мають більшу концентрацію домішок і відповідно основних носіїв заряду.

Після створення структури необхідно задати електроди, які мають бути провідниками, для цього вказують координати точки в об'ємі матеріалу контакту. Електроди можуть мати довільну назву, але для типових структур можна використовувати типові стандартні назви: anode, cathode, substrate, base, emitter, collector, gate, drain, source та інші. При заданні цих назв підписи графіків та даних буде задано відповідно обраній назві (“Gate Voltage”, “Drain Current” і т.п.), а не просто як назву електроду для якого виконувався розрахунок, що є зручнішим для сприйняття.

Після задання електродів структура передається в ATLAS, де вже виконується безпосередньо розрахунок характеристик.

Створення структури в ATLAS, як вказувалося раніше, потребує чіткої послідовності, деякі етапи якої можна порівняти з технічними процесами – вони носять накопичувальний характер змін і кожна наступна впливає на отримувану структуру. В ATLAS можна задати як 2D, так і 3D структури, а також особливий різновид 3D – циліндричну.

На відміну від ATHENA, в ATLAS необхідно задати сітку не лише для вихідної підкладки, а для всього об'єму структури, в якому вже будуть виділятися області. Задавати крок сітки бажано так, щоб майбутні крайові координати областей співпадали з вузлами сітки. Зайві вузли в об'ємі, для оптимізації часу розрахунку, можна видалити командою ELIMINATE або більш детальним заданням ліній сітки.

Задання областей виконується шляхом накладання. Розглянемо це на прикладі простого МОН-транзистора: спочатку задається початкова структура, наприклад це підкладка, поверхня якої покрита оксидом, а область вище цього шару являє собою вакуум, подібно до лабораторних досліджень для структур прямо в робочій вакуумній камері. В поверхневому шарі оксиду виділяємо область кремнію, яка слугуватиме каналом транзистору, але таким чином, щоб

над нею залишався шар ізоляції. Далі додаємо області виводів таким чином, щоб електроди стоку і витоку контактували з краями каналу, а під затвором була необхідна товщина ізоляції. Оскільки вони задані після задання оксиду і області каналу, то матеріал електродів замінює їх. Якщо задати область каналу після областей електроду, і вони будуть мати спільний об'єм, то пріоритет буде у області каналу і він замінити матеріал електродів на свій.

Тому при створенні структур таким чином необхідно продумувати порядок команд для задання областей і йти “від більшого до меншого”. Після задання областей, як і в ATHENA, йде визначення електродів, їх можна задати за допомогою крайових координат ( $x.min$ ,  $x.max$ ,  $y.min$ ,  $y.max$  і т.д.) або номером області (параметр `region`). Далі можна задати профілі легування командами DOPING. Слід зазначити що ці профілі можуть бути 1D або 2D, тому для 3D структур треба задавати профіль для кожної площини у обраному напрямку ( $X$ ,  $Y$  або  $Z$ ). Зручніше за все це робити коли сітка має однакову кратність чи закономірність розміщення вузлів, тоді можна блок коду для задання профілю помістити у цикл (див. документацію DeckBuild [14]), індекс якого буде визначати координати площини в об'ємі області або деяка формула для закономірності їх розташування.

## РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

### 3.1. Структурні моделі SOI TG FinFET's

Результати 3D-числового проектування структур SOI TG FinFET's за допомогою інструментів Silvaco TCAD представлені в даній частині роботи.

Користуючись експериментальними даними про величину  $W_{eff}$  окремих компонент можна провести розрахунок даної величини для плівкових структур згідно т.зв. концентраційної залежності:

$$W_{eff} = \sum_i^n c_i \cdot W_{effi}, \quad (3.1)$$

де  $W_{effi}$  and  $c_i$  - ефективна робота виходу та концентрація окремих компонент

Концентрація індивідуальних компонент визначається як:

$$c_i = \frac{\rho_i d_i \mu_i^{-1}}{\sum_{i=1}^n \rho_i d_i \mu_i^{-1}}, \quad (3.2)$$

де  $\rho_i$ ,  $d_i$  та  $\mu_i$  - густина, товщина та молярна маса окремих компонент.

Електроди затворів мали відповідні величини  $W_{eff} = 4,40$  eV для n-FinFET та  $W_{eff} = 4,85$  eV для p-FinFET [1], які можуть бути відповідно створені на основі плівкових систем TiN(10)/Ni(10) та TiN(6)/Ni(12)/Ta(2).

Отже величина  $W_{eff}$  плівкових систем може бути підібрана за допомогою варіативної складової концентрації відповідних компонент. Однак інструментами Silvaco TCAD при виборі матеріалу електроду враховується лише його величина  $W_{eff}$ . Тому в наших моделях як EWF-електрод затвору було використано один провідник із вказаними вище величинами  $W_{eff}$ . Як High-k діелектрик було взято HfO<sub>2</sub> ( $k = 22$ ) товщиною 2 нм.

Для розрахунку електричних характеристик SOI TG n- та p-FinFETs, враховуючи залежність останніх від геометричних розмірів, було використано наступні моделі. Перша відповідно до розглянутого в роботі [6] випадку мала

довжину затвору  $L_G = 30$  нм, товщину та висоту Fin-каналу  $T_{FIN} = 20$  нм та  $H_{FIN} = 50$  нм. Друга модель (рис.3.1а) мала такі параметри:  $L_G = 14$  нм,  $T_{FIN} = 8$  нм та  $H_{FIN} = 20$  нм. Співвідношення між геометричними розмірами згідно [4]:  $L_G : T_{FIN}$  та  $H_{FIN} : T_{FIN}$  складало 3:2 та 5:2 відповідно.

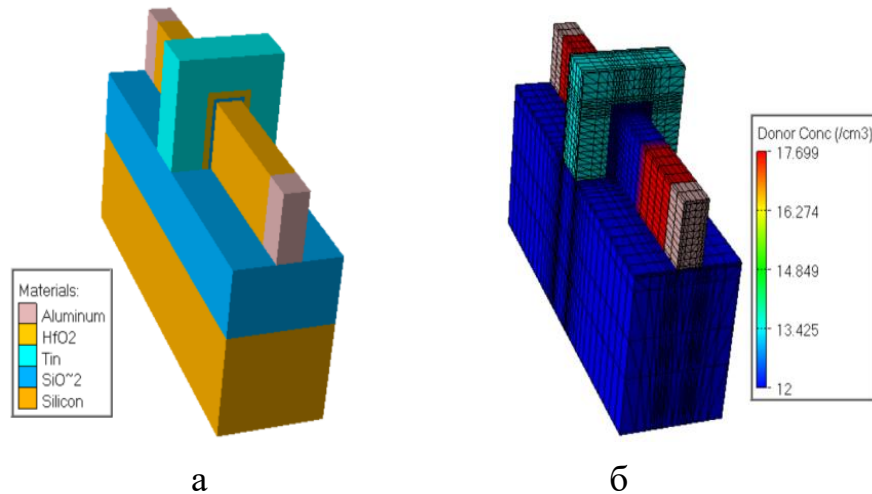


Рис. 3.1. Структура SOI TG n-FinFET (а) та концентраційний розподіл домішки в каналі (б)

Вхідні параметри плівкових структур для пристроїв n- та p-типу представлені в таблиці 3.1. Робочі характеристики пристроїв були змодельовані за допомогою програмного забезпечення Atlas Silvaco.

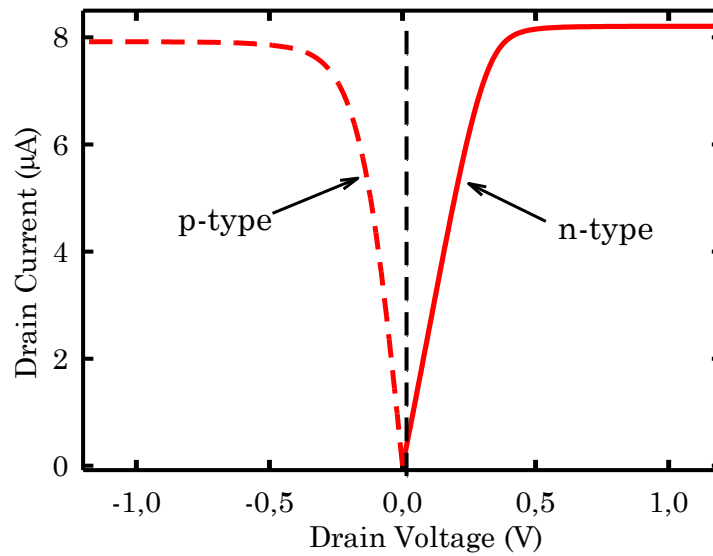
Таблиця 3.1

### Параметри структур SOI TRI-GATE FinFET's

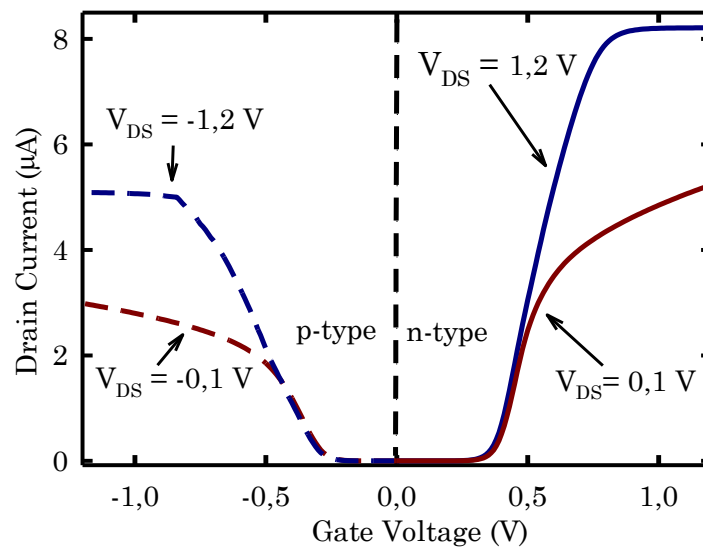
Параметри пристрою	n-тип пристрою	p-тип пристрою
Концентрація домішок каналу, $\text{см}^{-3}$	$5 \cdot 10^{15}$	$5 \cdot 10^{15}$
Концентрація домішок біля стоку/витоку, $\text{см}^{-3}$	$5 \cdot 10^{17}$	$5 \cdot 10^{17}$
Довжина каналу(загальна/підзатворна), нм	30 / 14	30 / 14
Еквівалент товщини оксиду(EOT [6])	1,2	1,2
Ширина ребра, нм	20 / 8	20 / 8
Висота ребра, нм	50 / 20	50 / 20
Товщина шару відпаленого оксиду, нм	20	20
Товщина кремнієвої підкладки, нм	30	30
Значення ефективної роботи виходу (EWF), еВ	4,40	4,85

Для проектування пристроїв n- та p-типу було використано відповідне легування домішками p- та n-типів з малою концентрацією  $5 \cdot 10^{15} \text{ см}^{-3}$  в об'ємі Fin-каналу та відповідною до типів провідності більш високою концентрацією  $5 \cdot 10^{17} \text{ см}^{-3}$  в приконтактних областях витоку та стоку. Концентраційний розподіл домішок в каналі SOI TG n-FinFET можна бачити на рис.3.1б.

Як приклад на рис.3.2а наведено типові  $I_{DS}-V_{DS}$  характеристики для 3D моделей SOI TG n- та p-FinFET's із довжиною затвору  $L_G = 14 \text{ нм}$ , товщиною та висотою Fin-каналу  $T_{FIN} = 8 \text{ нм}$  та  $H_{FIN} = 20 \text{ нм}$ .



а



б

Рис. 3.2.  $I_{DS}-V_{DS}$  (а) та  $I_{DS}-V_{GS}$  (б) характеристики для SOI TG n- та p-FinFET's структур

Порогова напруга була визначена для зміщення стоку 0,1 В, при цьому на затворі напруга змінювалася від 0 В до 1,2 В для n-FinFET та від 0 В до -1,2 В для p-FinFET (рис. 3.2б).

Результати моделювання показують наступні значення порогових напруг  $V_t$  для пристроїв з довжинами затвору 30 нм та 14 нм відповідно 0,327В та 0,318 В для n-FinFET's та 0,329 В та 0,326 В для p-FinFET's. Такі дані добре узгоджуються з відомими значеннями порогових напруг [4-6].

Також результати моделювання показують, що спостерігається близький один до одного підпороговий нахил (SS) для p-FinFET's та для n-FinFET's. Величини SS для транзисторів з довжинами затворів 30 нм та 14 нм становлять 63,9 мВ/декаду та 62,7 мВ/декаду (для n-FinFET's) або 64 мВ/декаду та 62,9 мВ/декаду (для p-FinFET's). Останні дані мають добре узгодження з відомими величинами SS для SOI TG FinFET's [4-6].

Сила струму у вимкненому стані ( $I_{off}$ ) була визначена за напруги стоку  $V_{DS} = 1,2$  В і напруги затвору  $V_{GS} = 0$  В для n-FinFET's, для p-FinFET's величину  $V_{DS} = -1,2$  В. Для транзисторів з довжиною затвору 30 нм та 14 нм величина  $I_{off}$  становила  $7,85 \cdot 10^{-13}$  А та  $8,75 \cdot 10^{-13}$  А (для n-FinFET's) або  $4,72 \cdot 10^{-13}$  А та  $5,78 \cdot 10^{-13}$  А (для p-FinFET's), що узгоджується з [4-6].

Сила струму в увімкненому стані ( $I_{on}$ ) визначалась за напруги стоку  $V_{DS} = 1,2$  В і напруги затвору  $V_{GS} = 1,2$  В для n-FinFET's або для напруги стоку  $V_{DS} = -1,2$  В і напруги затвору  $V_{GS} = -1,2$  В для p-FinFET. Для транзисторів з довжиною затвору 30 нм та 14 нм величина величина  $I_{on}$  становила  $7,58 \cdot 10^{-6}$  А та  $8,21 \cdot 10^{-6}$  А (для n-FinFET's) та  $4,42 \cdot 10^{-6}$  А та  $5,25 \cdot 10^{-6}$  А (для p-FinFET's), яка є типовою таких для польових транзисторів [4-6].

Коефіцієнт відношення сил струмів  $I_{on}/I_{off}$  має важливе значення для цифрового проектування. Він визначає параметр швидкості та потужності окремого елемента чи схеми. Чим вище коефіцієнт, тим краща продуктивність елемента [6]. Коефіцієнт було розраховано для напруги на стоці ( $V_{DS} = 1,2$  В) та напруги на затворі від 0 В до 1,2 В для n-FinFET's, для p-FinFET's дані величини взяті з від'ємним знаком. Для транзисторів з довжиною затвору 30 нм та 14 нм

коефіцієнт  $I_{on}/I_{off}$  складатиме  $9,6 \cdot 10^6$  та  $9,4 \cdot 10^6$  (для n-FinFET's) або  $9,3 \cdot 10^6$  та  $9,1 \cdot 10^6$  (для p-FinFET's). Результати моделювання дозволяють зробити висновок про високу ефективність спроектованих нами транзисторів.

Поряд з цим для VLSI бажано мати більш низькі величини параметра DIBL. Цей параметр визначається як відношення різниці порогових напруг при фіксованих напругах на стоці до відповідної різниці стокових напруг. Перша - низька напруга стоку  $V_{DS1} = 0,1$  В, друга - висока напруга стоку  $V_{DS2} = 1,2$  В. Для транзисторів з довжиною затвору 30 нм та 14 нм величини параметрів DIBL відповідно становлять 51 мВ/В та 71 мВ/В (для n-FinFET's) або 58 мВ/В та 77 мВ/В (для p-FinFET's). Такі величини DIBL є більш високими порівняно з даними робіт [4-6], що можливо пов'язано з геометрією структур. Зменшення величини DIBL можна реалізувати за рахунок додаткового контакту областей витоку та стоку з окремою екрануючою площиною [10].

## 3.2. Структурні моделі SOI GAA Nanowire FET's

### 3.2.1 Одно- та двоканальні транзистори

Для порівняння електричних характеристик Nanowire FET's та FinFET's було спроектовано дві структури n-типу із довжинами каналів 30 нм. При цьому було використано відповідне легування акцепторною домішкою з концентрацією  $5 \cdot 10^{15}$  см<sup>-3</sup> в об'ємі каналу та відповідною донорною домішкою більш високої концентрації  $5 \cdot 10^{18}$  см<sup>-3</sup> в приконтактних областях витоку та стоку. Ефективна робота виходу електрода затвору згідно [2] становила 4,40 еВ. Як high-k діелектрик було взято HfO<sub>2</sub> ( $k = 22$ ) товщиною 2 нм, бар'єрний шар SiO<sub>2</sub> під high-k діелектриком мав товщину 1 нм.

Структура SOI TG FinFET (Рис.3.3а) мала такі параметри:  $L_G = 14$  нм,  $T_{FIN} = 8$  нм та  $H_{FIN} = 20$  нм. Співвідношення між геометричними розмірами другої структури згідно [4]:  $L_G : T_{FIN}$  та  $H_{FIN} : T_{FIN}$  становило 3:2 та 5:2 відповідно. Концентраційний розподіл домішок в каналі SOI TG n-FinFET можна бачити на рис.3.3б.



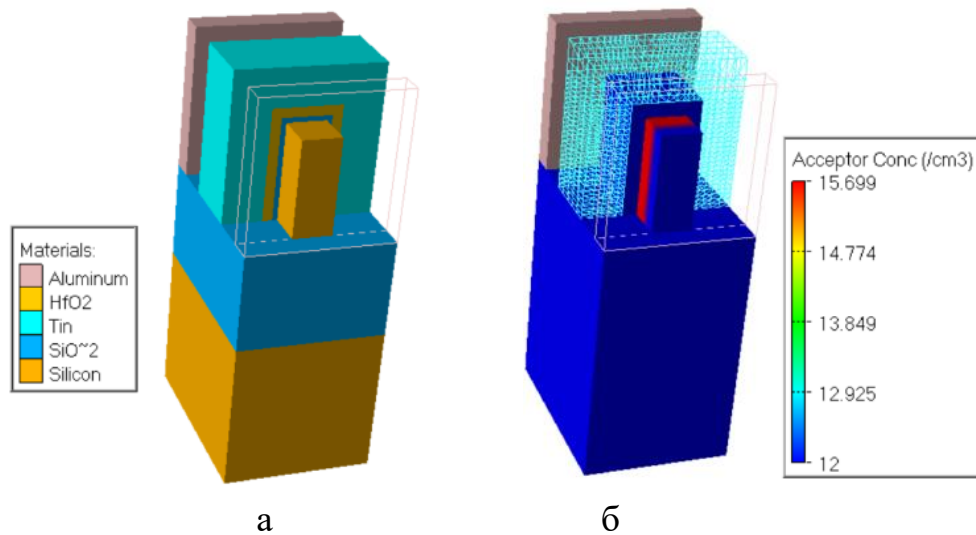


Рис. 3.3. Структура SOI TG FinFET (а) та відображення розподілу концентрації домішки в Si-каналі (б)

Структура SOI GAA Nanowire FET з двома кремнієвими каналами мала довжину затвору  $L_G = 14$  нм, товщину та висоту NW  $T_{FIN} = 8$  нм та  $H_{FIN} = 8$  нм (Рис.3.4а). Концентраційний розподіл домішок в каналі SOI GAA NWFET можна бачити на рис.3.4б.

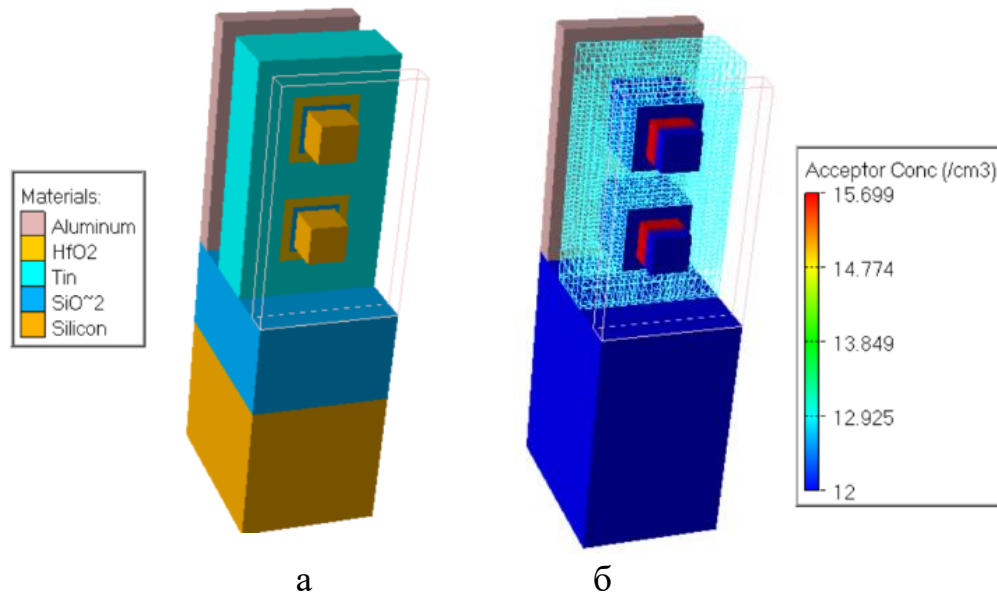


Рис. 3.4. Двоканальна структурна модель SOI GAA Nanowire FET (а) та відображення розподілу концентрації домішки в Si-каналі (б)

Робочі характеристики пристроїв SOI TG FinFET наведені в таблиці 3.2. При

температурі 300К величини  $V_t$  та SS відповідно становили 0,380В та 72,1 мВ/декаду, величини сил струмів  $I_{on}$ ,  $I_{of}$  та коефіцієнту  $I_{on}/I_{of}$  відповідно становили  $1,32 \cdot 10^{-5}$  А,  $0,31 \cdot 10^{-10}$  А та  $4,3 \cdot 10^5$  А. Отримані результати моделювання добре узгоджуються з [4-6,10]. Показано, що при збільшенні температури від 300 К до 360 К порогова напруга  $V_t$  зменшується на 10.8 %, допороговий розкид SS зростає на 20.1 %, сила струму витоку закритого каналу “switch-off” зростає в 13,9 разів, поряд з цим сила струму відкритого каналу “switch-on” спадає лише на 5,3 %, а відношення  $I_{on}/I_{of}$  зменшується у 13,3 разів.

Робочі характеристики пристроїв SOI GAA NW FET наведені в таблиці 3.3. При температурі 300 К величини  $V_t$  та SS відповідно становили 0,394 В та 63,7 мВ/декаду, величини сил струмів  $I_{on}$ ,  $I_{of}$  та коефіцієнту  $I_{on}/I_{of}$  відповідно становили  $1,06 \cdot 10^{-5}$  А,  $0,33 \cdot 10^{-12}$  А та  $32,1 \cdot 10^6$ . Отримані результати моделювання добре узгоджуються з відомими даними моделювання [4-6,10].

Таблиця 3.2

### Параметри структурної моделі SOI TG FinFET

Параметри	300К	320К	340К	360К
Порогова напруга $V_t$ , В	0,380	0,397	0,355	0,339
Крутість прохідної характеристики(SS), мВ/декаду	72,1	76,9	81,7	86,6
Струм закритої структури $I_{off} \cdot 10^{10}$ , А	0,31	0,84	2,06	4,61
Струм відкритої структури $I_{on} \cdot 10^5$ , А	1,32	1,30	1,27	1,25
Коефіцієнт відношення струмів $(I_{on}/I_{of}) \cdot 10^{-5}$	4,3	1,6	0,6	0,3

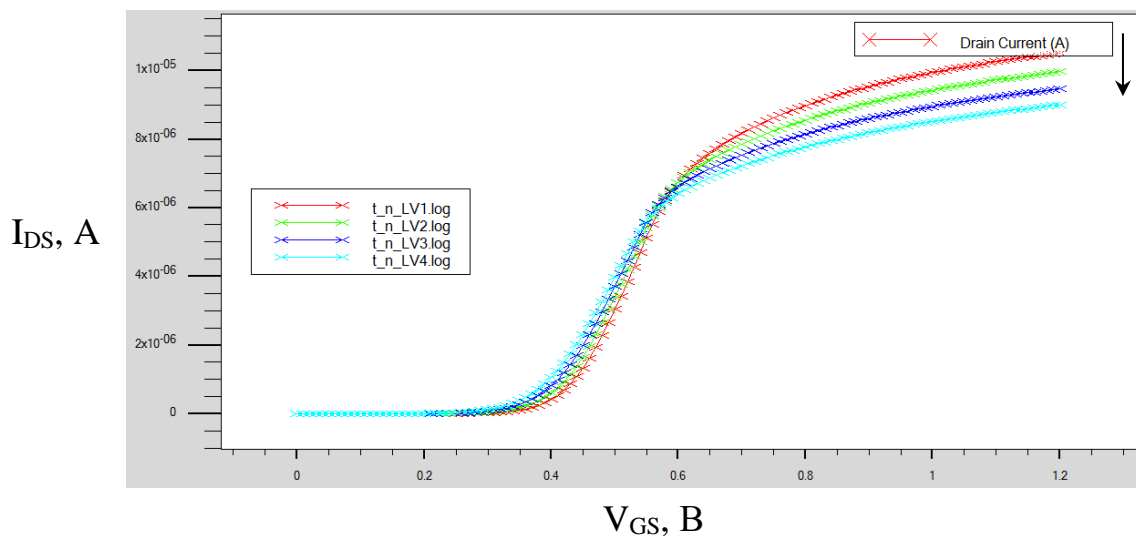
При збільшенні температури від 300 К до 360 К порогова напруга  $V_t$  зменшуються на 10,4 %, допороговий розкид SS зростає на 19,8 %, сила струму витоку “switch-off” зростає в 37,8 разів, поряд з цим сила струму “switch-on” спадає лише на 5,7 %, а відношення  $I_{on}/I_{of}$  зменшується у 40,1 рази.

Залежності сили струму витік-стік  $I_{DS}$  від напруги на затворі  $V_{GS}$  при фіксованій напрузі витік-стік  $V_{DS} = 0.1$  В при температурах 300К, 320К, 340К та 360К для структур SOI TG FinFET's та SOI GAA NW FET's приведені на рис.3.5. При зростанні температури сила струму вмикання  $I_{on}$  зменшується.

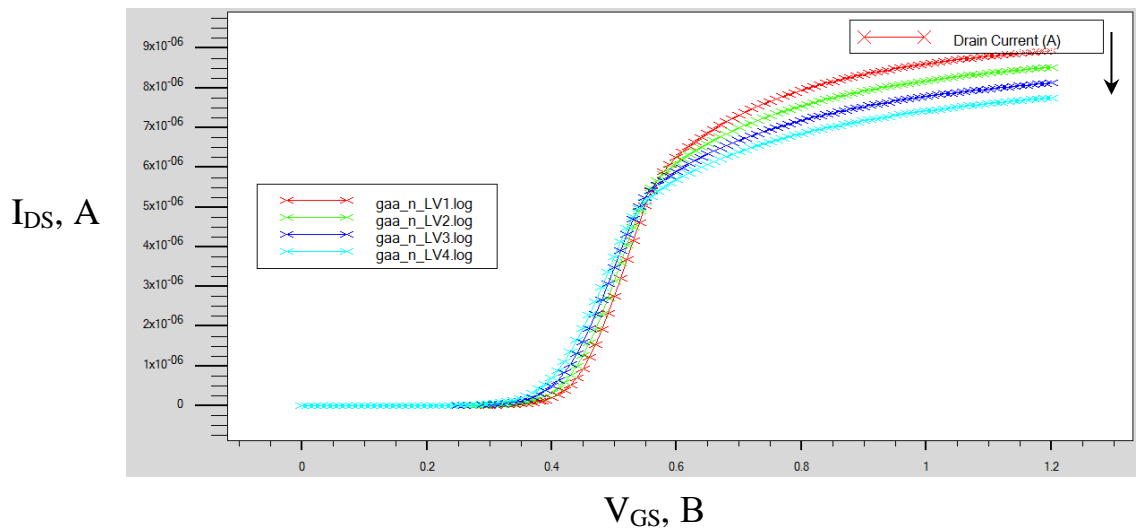
Таблиця 3.3

### Параметри двоканальної структурної моделі SOI GAA NanowireFET

Параметри	300K	320K	340K	360K
Порогова напруга $V_t$ , В	0,394	0,382	0,368	0,353
Крутість прохідної характеристики(SS), мВ/декаду	63,7	67,9	72,1	76,3
Струм закритої структури $I_{off} \cdot 10^{12}$ , А	0,33	1,27	4,24	12,49
Струм відкритої структури $I_{on} \cdot 10^5$ , А	1,06	1,04	1,02	1,00
Коефіцієнт відношення струмів $(I_{on}/I_{of}) \cdot 10^{-6}$	32,1	8,2	2,4	0,8



а



б

Рис.3.5.  $I_{DS}$ - $V_{GS}$  характеристики структур SOI TG FinFET (а) та SOI GAA Nanowire FET (б). Стрілкою вказано напрям збільшення температури

Величини DIBL спроектованих структур в інтервалі температур від 300 до 360 К, в межах точності їх визначення, залишаються незмінними відповідно становлять 55 мВ/В для SOI TG FinFET та 52 мВ/В для SOI GAA NWFET.

Разом з тим, запропоновані нами структурні моделі 3D транзисторів демонструють допустимі величини робочих характеристик та узгоджуються з відомими даними робіт, цитованих в даній роботі.

### 3.2.2 Багатоканальні транзистори

Для розрахунку електричних характеристик багатоканальних SOI GAA Nanowire FET's було розроблено дві 5-канальні структури із довжинами каналів 30 нм, одна з квадратним перерізом нанодротів, інша – з круглим.

При проектуванні пристроїв було використано дві конфігурації профілів легування акцепторною домішкою. Перша конфігурація була з концентрацією  $5 \cdot 10^{15} \text{ см}^{-3}$  в об'ємі каналу та відповідною донорною домішкою більш високої концентрації  $5 \cdot 10^{18} \text{ см}^{-3}$  в приконтактних областях витоку та стоку. Ефективна робота виходу електрода затвору згідно [2] становила 4,40 еВ. Як high-k діелектрик було взято  $\text{HfO}_2$  ( $k = 22$ ) товщиною 2 нм, бар'єрний шар  $\text{SiO}_2$  під high-k діелектриком мав товщину 1 нм.

5-канальні структури SOI GAA NanowireFET з квадратним перетином нанодротів мала такі параметри:  $L_G = 14$  нм,  $T_{NW} = 8$  нм та  $H_{NW} = 8$  нм. Концентраційний розподіл домішок в каналі SOI NWFET для обох конфігурацій профілів легування.

Структура SOI GAA NanowireFET з п'ятьма круглими кремнієвими каналами мала довжину затвору  $L_G = 14$  нм та діаметр  $D_{NW} = 8$  нм (Рис.3.6а). Концентраційний розподіл домішок в каналі такої структури SOI GAA NWFET можна бачити на рис.3.6б.

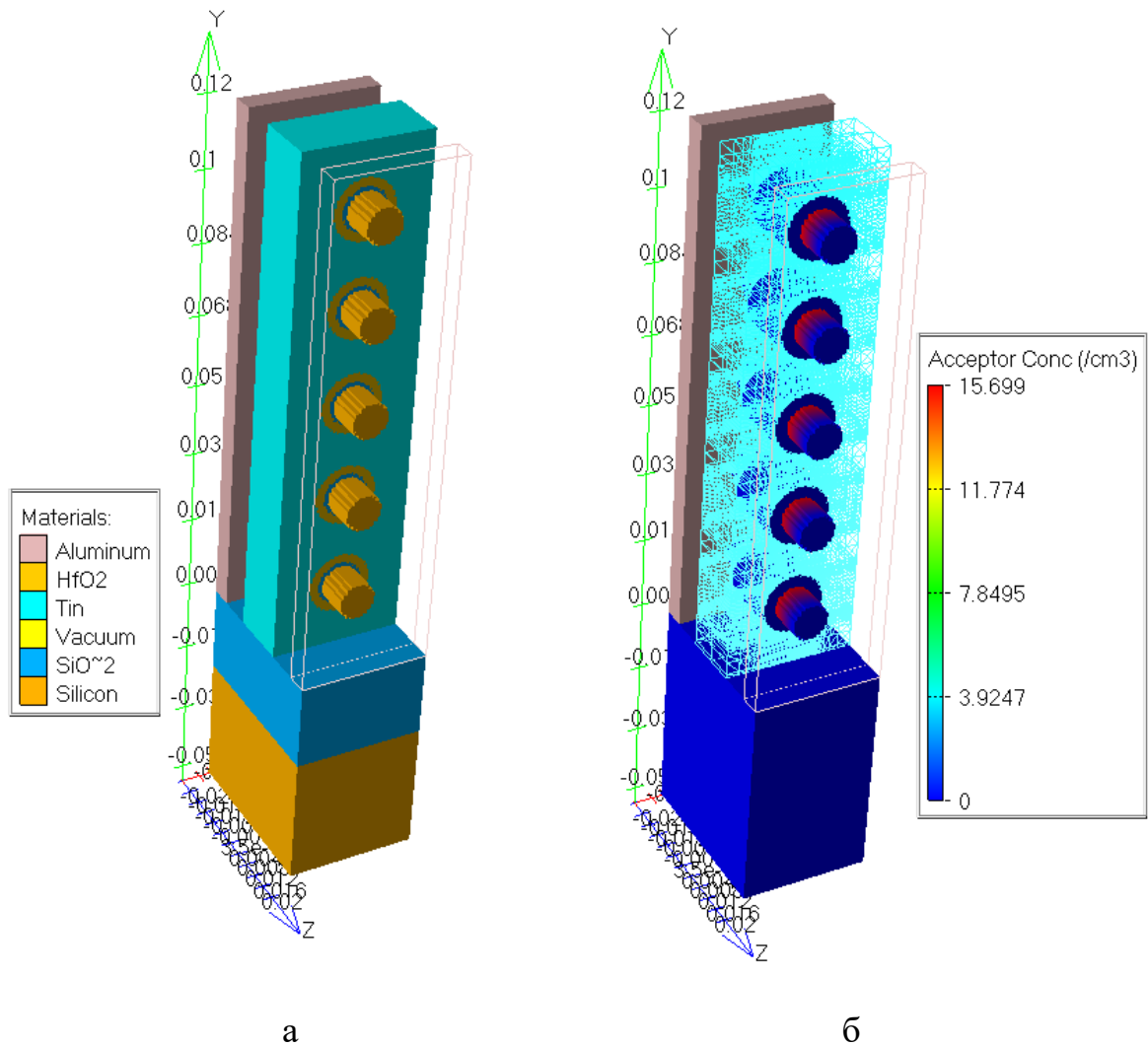


Рис. 3.6. Структурна модель SOI GAA Nanowire FET (а) та відображення розподілу концентрації домішки в Si-каналі (б)

Робочі характеристики структури SOI NanowireFET наведені в таблицях 3.4-3.5. Робочі характеристики пристроїв SOI GAA 5-NW FET з квадратним перетином нанодротів наведені в таблиці 3.4. При температурі 280 К величини  $V_t$  та  $SS$  відповідно становили 0,404 В та 59,7 мВ/декаду.

Зі збільшенням температури від 280 К до 400 К величина  $V_t$  зменшилася на 21%, а величина допорогового розкиду  $SS$  збільшилася на 43,55%. Для структур з іншою конфігурацією легування (табл. 3.5) ці значення змінилися відповідно на 24,26% та 40,8%.

Для структури Nanowire FET з круглим перетином каналів (табл. 3.5) при температурі 280 К величини  $V_t$  та  $SS$  відповідно становили 0,400 В та 57,7 мВ/декаду, величини сил струмів  $I_{on}$ ,  $I_{of}$  і відношення  $I_{on}/I_{of}$  відповідно

становили  $2,15 \cdot 10^{-5}$  А,  $1085,92 \cdot 10^{-10}$  А та  $198,3 \cdot 10^5$ . Показано, що при збільшенні температури від 280 К до 400 К порогова напруга  $V_t$  зменшується на 22,75 %, допороговий розкид  $SS$  зростає на 56,27 %, сила струму витoku закритого каналу “switch-off” зростає в 748,91 разів, поряд з цим сила струму відкритого каналу “switch-on” спадає лише на 10,7 %, а відношення  $I_{on}/I_{of}$  зменшується у 1983 разів.

Таблиця 3.4

**Параметри 5-канальної SOI GAA NanowireFET структури з квадратним перерізом каналів**

Параметри	280К	300К	320К	340К	360К	380К	400К
Порогова напруга $V_t$ , В	0,404	0,004	0,382	0,368	0,353	0,336	0,319
Допороговий розкид ( $SS$ ), мВ/декаду	59,7	65,3	68,3	72,6	76,9	81,3	85,7
Струм закритої структури $I_{off} \cdot 10^{12}$ , А	0,08	0,40	1,61	5,54	16,73	45,34	111,97
Струм відкритої структури $I_{on} \cdot 10^6$ , А	0,00	10,61	10,41	10,21	10,01	9,86	9,62
Коефіцієнт відношення струмів $(I_{on}/I_{of}) \cdot 10^{-3}$	0,3	26268	6452	1843,8	598,48	216,5	85,9

Таблиця 3.5

**Параметри 5-канальної SOI GAA NanowireFET структури з круглим перерізом каналів**

Параметри	280К	300К	320К	340К	360К	380К	400К
Порогова напруга $V_t$ , В	0,400	0,389	0,372	0,360	0,342	0,326	0,309
Допороговий розкид ( $SS$ ), мВ/декаду	57,7	62,0	66,1	70,2	74,3	78,4	82,5
Струм закритої структури $I_{off} \cdot 10^{10}$ , А	1085,9	5250,0	210,5	722,6	21,789	58,9	1,5
Струм відкритої структури $I_{on} \cdot 10^5$ , А	2,15	2,11	2,07	2,03	1,99	1,96	1,92
Коефіцієнт відношення струмів $(I_{on}/I_{of}) \cdot 10^{-5}$	198,3	40,3	9,9	2,8	0,9	0,3	0,1

Таким чином засоби TCAD можуть надавати змогу аналізувати не просто конкретної структури, а й проміжні етапи. Це дає змогу контролювати протікання технологічних процесів, їх параметри та результати. Причому це можна реалізовувати за допомогою програмних алгоритмів – спочатку проводиться деякий технологічний процес, потім серед серії даних обирається бажаний результат та виводяться дані для його отримання.

До недоліків відноситься насамперед сильна залежність швидкості і точності моделювання від потужності обчислювальної машини. Також більшість TCAD є доволі специфічними програмними засобами, вивчення роботи яких займає багато часу і сил, при цьому результати не завжди можна вивести у бажаному вигляді та форматі. Деякі функціональні можливості можуть реалізовуватися у досить незручному чи незрозумілому вигляді, що також ускладнює роботу для виконання поставленої задачі.

Оскільки TCAD орієнтовані в першу чергу на моделювання, то інші аспекти програмних засобів зазвичай залишаються незмінними на протязі років або піддаються лише незначним правкам, тому зовнішній вигляд програм TCAD сильно відрізняється від програм з сучасним оформленням. Насамперед це користувацький інтерфейс, засоби спрощення роботи (підказки, автодоповнення коду, підсвічення синтаксису, корекція чи повідомлення про помилки і т.д.), засоби для аналізу результатів, можливості і способи задання користувацьких даних та інше.

Але не зважаючи на недоліки, все ж засоби TCAD грають критичну роль в сучасній сфері електроніки та її виробництві, без них буде досить складно проводити нові експерименти, дослідження та розрахунки. Особливо важливо це в наш час – коли традиційні пристрої електроніки вже не можуть справлятися зі зростаючими вимогами до параметрів пристроїв і необхідно шукати нові рішення шукаючи нові матеріали, архітектури пристроїв, функціональні рішення і т.д.

## ВИСНОВКИ

1. За допомогою засобів технологічних систем автоматизованого проектування (TCAD) можна проводити моделювання електронних структур, результати якого добре узгоджуються з експериментальними даними, що були отримані при дослідженнях реальних створених пристроїв;

2. Структури SOI TG FinFET спроектовані та досліджені на вплив зміни величини EWF матеріалу затвора та геометрії моделі на їх робочі характеристики; більш кращі показники мають моделі із довжиною затвора 14 нм, ніж моделі із довжиною затвора 30 нм; проте в обох випадках фіксуються відносно високі величини DIBL, що пов'язано з обраними геометріями

3. Структури SOI GAA NW FET's спроектовані та досліджені на вплив зовнішньої температури на їх робочі характеристики; більш кращі показники отримано для NW-каналних структур, ніж Fin-каналних структур; проте для структури SOI TG FinFET фіксуються менші зміни сили струму витoku  $I_{off}$  та коефіцієнта  $I_{on}/I_{off}$  при температурі 360 К відносно їх початкових значень при 300 К.

4. Запропоновані нами структури транзисторів демонструють допустимі величини підпорогового розкиду (SS), зниження бар'єру, що індукується стоком (DIBL), сили струму витoku  $I_{off}$  та коефіцієнта  $I_{on}/I_{off}$  та ін., з цієї причини отримані результати можуть бути застосовані для подальшого проектування 3D CMOS транзисторів та у навчальному процесі при вивченні сучасних технологій виготовлення елементів ІМС .



## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Atomic layer deposition (ALD) of metal gates for CMOS/ Zhao C., Xiang J. // *Appl. Sci.* – 2019. – V. 9. – P. 2388-2411.
2. Приладова-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / [І.П. Бурик, А.О. Головня, М.М. Іващенко] // *Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р.* – Суми: СумДУ, 2020. – С. 39-41.
3. Soft error susceptibilities of 22 nm tri-gate devices / Seifert N., Gill B., Jahinuzzaman S. et al. // *IEEE Trans. Nucl. Sci.* – 2012. – V.59, No 6. – P. 2666-2673.
4. 3D investigation of 8-nm tapered n-FinFET model / Boukortt N., Patanè S., Crupi G. // *Silicon.* – 2019. – V.11. – P.00253-1–00253-7.
5. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / Boukortt N., Hadri B., Patanè S. et al. // *Silicon.* – 2017. – V. 9. – P. 885-894.
6. Effects of high-k dielectrics with metal gate for electrical characteristics of SOI TRI-GATE FinFET transistor / F.Z. Rahou, A.G. Bouazza, B. Bouazza // *J. Nano Electron. Phys.* – 2016. – V. 8. – P. 04037-1 – 04037-4.
7. Dual metal gate FinFET integration by Ta/Mo diffusion technology for  $V_t$  reduction and multi- $V_t$  CMOS application / Matsukawa T., Endo K., Liu Y. // *Sol. State Electron.* – 2009. – V. 53. – P. 701-705.
8. Metal gate work function modulation mechanisms for 20-14 nm CMOS low thermal budget integration / B. Saidi // *Materials Science. Universite Toulouse III – Paul Sabatier*, 2014. – 158 p.
9. Investigation of short channel effects (SCEs) and Analog/RF figure of merits (FOMs) of Dual-Material Bottom-Spacer Ground-Plane (DMBSGP) FinFET / Narendar V., Narware P., Bheemudu V. et al. // *Silicon.* – 2019. <https://doi.org/10.1007/s12633-019-00322-2>

10. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // Appl. Sci. – 2019. – V. 9. – P.3163-3172.
11. Gate-All-Around silicon Nanowire FET modeling / Chen X. // School of Electrical & Electronic Engineering.- Nanyang: Nanyang Technological University.- 2014. – 149 p.
12. Unified compact model for Gate All Around FETs- nanosheets, nanowires, multi bridge channel MOSFETs / Kushwaha P., Duarte J., Lin Y.-K. et al. // Informatics, Electronics and Microsystems: TechConnect Briefs 2018.- Kanpur: department of EE, Indian Institute of Technology Kanpur. – 2018. – P. 249-252.
13. Technology CAD of Nanowire FinFETs / Maiti T.K., Maiti C.K. // Nanowires, Book edited by: Paola Prete.- Croatia: INTECH. – 2010. – P. 395-414.
14. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018. – 241 p.
15. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.
16. Silvaco, ATHENA User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.
17. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев, Е.Ю. Плотникова.- Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.
18. Денисенко В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. – М.: ФИЗМАТЛИТ, 2010. – 408 с.
19. Expanding role of predictive TCAD in advanced technology development / Wu J., Diaz C. H. // 2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD).- Glasgow: IEEE. – 2013. – P. 167-171.
20. TCAD-based methodology for reliability assessment of nanoscaled MOSFETs / Hussin R. et al. // 2015 11th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME).- Glasgow: IEEE. – 2015. – P. 270-273.

21. Mechanical Stress Simulation of Thin Film Transistor on Flexible Substrate / Kong S., Lim H., Hoessinger A. et al. // 2018 International Flexible Electronics Technology Conference (IFETC).- Ottawa: IEEE. – 2018. – P. 1-4.

22. The use of TCAD in technology simulation for increasing the efficiency of semiconductor manufacturing / Lysenko I., Zykov D., Ishutkin S. et al. // AIP Conference Proceedings. – 2016.- V. 1772, No 1. – P. 60012.

23. TCAD analysis of transparent gate thin film transistor (TFT) for high performance applications / Ajay K. et al. // AIP Conference Proceedings. – 2019. – V. 2136, No 1. – P. 40003.

24. <https://www.silvaco.com/examples/tcad/section36/example11/index.html> - Comparison Between 2D and 3D BV Simulation, дата доступа: 23.03.2020p.

25. Design and simulation of 1800V 40A 4H-SiC SBD using TCAD / Yuan M. et al. // 2018 15th China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS).- Shenzhen: IEEE . – 2018. – P. 1-4.

26. Threshold voltage and 2D potential modeling within short-channel junctionless DG MOSFETs in subthreshold region / Holtij T. et al. // Solid-state electronics. – 2013. – V. 90. – P. 107-115.

27. A two-dimensional gate threshold voltage model for a heterojunction SOI-tunnel FET with oxide/source overlap / Chander S., Baishya S. // IEEE Electron Device Letters. – 2015. – V. 36, No 7. – P. 714-716.

28. 2D and 3D TCAD simulation of III-V channel FETs at the end of scaling / Aguirre P., Rau M., Schenk A. // 2018 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS).- Granada: IEEE. – 2018. – P. 1-4.

29. TCAD AC analysis of Gate Electrode Workfunction Engineering Silicon Nanowire MOSFET for High Frequency Applications / Neha G., Ajay K., Rishu C. // Advanced Manufacturing, Electronics and Microsystems: TechConnect Briefs.- 2015. – V. 4. – P. 181-184.

30. A TCAD approach to the physics-based modeling of frequency conversion and noise in semiconductor devices under large-signal forced operation / Bonani F. et al. // IEEE Transactions on Electron Devices. – 2001. – V.48, No 5. – P. 966-977.

31. A split-gate positive feedback device with an integrate-and-fire capability for a high-density low-power neuron circuit / Choi K.-B. et al. // Frontiers in neuroscience. – 2018. – V. 12. – 704 p.

32. TCAD Simulations of Nano-scale Functional Neuron MOSFETs with Splitted Gate Bias on Floating Gate / Kong H., Wang G., Sun L, // 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT).- Qingdao: IEEE. – 2018. – P. 1-3.

33. Modeling and design of graphene GaAs junction solar cell / Yawei K. et al. // Advances in Condensed Matter Physics. – 2015. – V. 2015. – P. 1-7.

34. Thermal analysis of AlN/GaN/AlGaN HEMTs grown on Si and SiC substrate through TCAD simulations and measurements / Sahoo A. K. et al. // 2016 11th European Microwave Integrated Circuits Conference (EuMIC).- London: EuMA. – 2016. – P. 145-148.

35. Hardware validated TCAD simulation of polysilicon resistor including trap physics and self-heating / Adari R., Satya S., Prabhu R. D. // 2012 IEEE International Conference on Electron Devices and Solid State Circuit (EDSSC).- Bangkok: IEEE. – 2012. – P. 1-4.

36. Characteristics and mechanism of tunable work function gate electrodes using a bilayer metal structure on SiO<sub>2</sub> and HfO<sub>2</sub> / Lu C.-H., Wong G.M.T., Deal M.D. et al. // IEEE Electron. Dev. – 2005. – V. 26, No 7. – P. 445-447.

37. Metal-dielectric band alignment and its implications for metal gate complementary metal-oxide-semiconductor technology / Yeo Y.-C., King T.-J., Hu C. // J. Appl. Phys. – 2002. – V. 92, No 12. – P. 7266-7271.

38. Design and analysis of high-k silicon nanotube tunnel FET device / A. Singh Chaudhury S.; Pandey C. et al. // IET Circuits Devices Syst. – 2019. – V. 13. – P. 1305-1310.

**ДОДАТОК А****ІСТРУКЦІЯ ДО ЛАБОРАТОРНОЇ РОБОТИ "ТЕХНОЛОГІЧНЕ ТА  
ЕЛЕКТРОФІЗИЧНЕ МОДЕЛЮВАННЯ SOI GAA NANOWIRE FET  
СТРУКТУРИ В САПР SILVACO TCAD"****МЕТА РОБОТИ**

Отримання практичних навичок створення та аналізу структур польових транзисторів типу SOI GAA NW FET за допомогою САПР Silvaco TCAD з використанням командних файлів.

**ТЕОРЕТИЧНІ ВІДОМОСТІ**

Створити структуру в Silvaco TCAD можна декількома шляхами – за допомогою DevEdit(в Windows працює лише в режимі командного рядку), командами ATLAS, ATHENA(двовимірний симулятор технологічних процесів) та VICTORY(тривимірний симулятор технологічних процесів, в Windows версії не наявний). Для кожної з програм, окрім DevEdit з графічним інтерфейсом, для виконання тієї чи іншої дії потрібно виконувати так званий командний файл, який створюється та виконується в середовищі розробки DeckBuild.

У кожної з програм Silvaco TCAD свій список команд і порядок їх задання, але функціональна структура командного файлу при створенні структур ідентична. Нижче наведено основні команди в DeckBuild та до симуляторів ATLAS та ATHENA.

**Основні команди DeckBuild**

В DeckBuild коментарі позначаються після символу #.

SET – просте задання значення змінній, містить лише один тип даних. При вказанні параметру CLEAR очищує всі створені змінні. Її більш функціональним аналогом є команда ASSIGN, що може містити декілька типів даних під однією назвою змінної. Окрім простого значення може виконувати задані підтримувані

функції та вирази. Для виклику в коді перед назвою змінної вказується символ \$ або @.

DEFINE – дозволяє використовувати деякий ідентифікатор в коді замість повного значення, наприклад замістити повний шлях до своєї робочої директорії на диску словом "mypath". Для відміни чи перезадання відповідно використовується %UNDEFINE та %DEFINE.

GO – інтерфейс між симуляторами – дана команда закриває поточний симулятор та запускає вказаний в параметрах команди. По замовчуванню використовується автоінтерфейс(передача наявної в пам'яті структури наступному симулятору), але його можна відключити вказавши відповідний параметр NOAUTO.

IF, ELSE та IF.END – використовуються для розгалужень за умовою, є аналогом If-Then-Else в типових мовах програмування. Дані команди дозволяють створити більш універсальні командні файли.

LOOP, L.END та L.MODIFY – використовуються для організації циклів. Для зміни значення деяких змінних всередині циклу може бути використано як перезапис змінних за допомогою ASSIGN чи SET, так і спеціальною командою STMT.

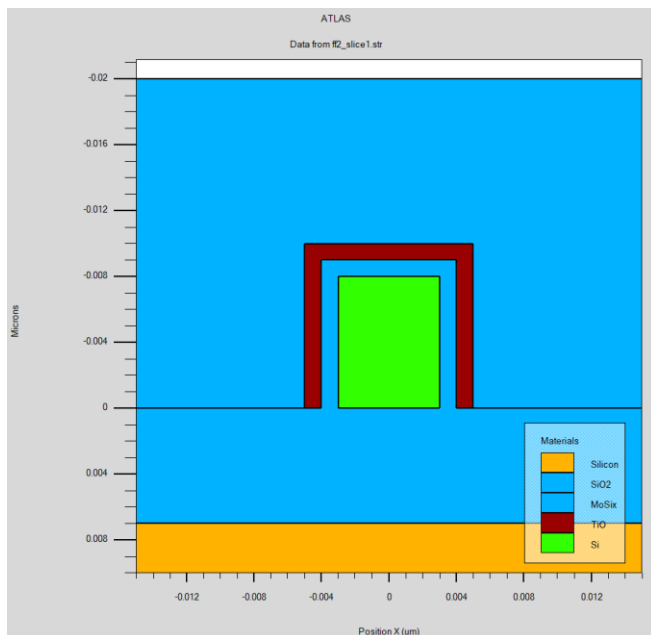
SOURCE – використовується для підключення коду з іншого файлу. Виконання основного файлу при цьому призупиняється. Підключений файл також може містити інші підключені файли.

TONYPLOT – налаштовує виклик програми візуалізації 2D(використовуються для відображення графіків) чи 3D даних. Має декілька ключів запуску. Для накладання графіків використовується ключ -overlay, накладувані графіки(назви файлів) вказуються після даного ключа. Якщо файли даних мають подібні назви, то їх можна відкрити, вказавши значок зірочки у місці де символи назв файлів відрізняються. Це зручно використовувати при багатоетапному процесі створення структури. Детальніше про ключі запуску описано у керівництві користувача TonyPlot та TonyPlot 3D.

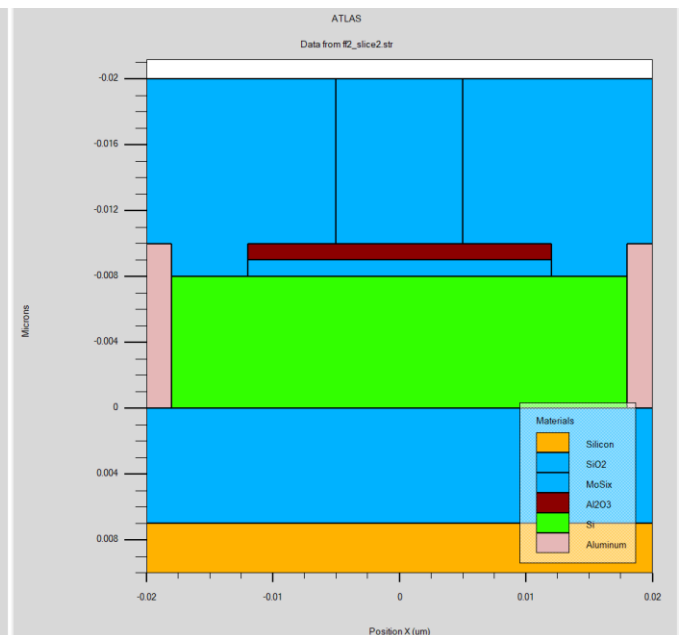
Оскільки в файл структури записуються багато інформації, то для відображення необхідних в TonyPlot треба провести налаштування виводу. Це реалізується за допомогою опції “Display”. Для TonyPlot доступні налаштування відображення сітки, областей, контурів(профілі легування, електричного поля, температури та ін.), електродів, переходів(між областями з різною провідністю), силових ліній(при наявності даних), та відображення деяких специфічних даних у тривимірному вигляді(при виконанні зрізу в TonyPlot3D). Контури можуть бути окремо налаштовані для кожного матеріалу чи області, мають декілька кольорових палітр і способів відображення. По замовчуванню відображається абсолютне значення концентрації домішок у вигляді заповнених фігур(при плавних переходах мають вигляд широких смуг, які поділені сіткою).

Для TonyPlot3D налаштування дещо відрізняються: кольорове поділення може відбуватися для матеріалу або областей, спосіб відображення сітки можна задавати окремо для кожної з областей, є можливість приховати будь-які області, а відображення контурів обмежене декількома способами. Для детальнішого аналізу можна виконати зріз структури і зберегти у вигляді двовимірної структури, яку потім можна відкрити в TonyPlot або задіяти в ATLAS.

В обох варіантах програми TonyPlot є багато можливостей для експорту даних з структури для подальшого застосування, на рис.А.1 наведено приклад виконання зрізу тривимірної FinFET структури.



а



б

Рис.А.1. Типові приклади поперечного (а) та повздовжнього (б) зрізів тривимірної структури

EXTRACT – дозволяє отримати певні характеристики(що записуються рівнянням) для структури чи розрахунків, результат зберігається у змінну заданої назви, в подальшому всі значення змінних можна зберегти у файл за допомогою параметру OUTFILE. Як приклад застосування можна привести обчислення максимальному значенню струму що протікає через електрод, визначення ККД по напрузі, спектру випромінювання, товщини підзатворного оксиду і т.д. Команда має широкі налаштування, які зручно задавати за допомогою генератора команд DeckBuild.

QUIT – завершує виконання процесу симулятора, є не обов'язковою командою в кінці командного файлу.

### Основні команди ATLAS

MESH – задає параметри сітки. Налаштування сітки можна проводити як вручну, так і імпортувати з існуючого файлу структури(при створенні в ATHENA, DevBuild). Всього існує декілька типів сітки і відповідно структур: одновимірна(не використовується в ATLAS), двовимірна(найчастіше вживана), тривимірна та циліндрично-симетрична(координати визначаються як радіус та



кут повороту відносно початкової площини).

В більшості випадків команду MESH використовують для ініціалізації та масштабування дво- або тривимірної сітки структури з вказанням відступу сітки для певних координат. Для задання сітки використовують параметри X.MESH, Y.MESH та Z.MESH(коли йдеться про тривимірну структуру), до яких приписують значення положення координат LOCATION на потрібній осі та відступ SPACING вузлів сітки по даній координаті. Для масштабування сітки використовується параметр SPACE.MULT, він дозволяє змінювати розмір і кількість елементарних трикутників, з яких складається сітка, і тим самим обирати між точністю і швидкістю обчислень. Щоб видалити деякі вузли сітки вздовж осей X або/і Y використовують команду ELIMINATE. Це дозволяє спростити сітку та зменшити навантаження на апаратну частину використовуваного комп'ютера.

REGION – використовується для визначення областей та їх матеріалу. Кожна область має свій номер, починаючи з одиниці. При накладанні областей пріоритет віддається тій що розташована “вище”(відповідно номер якої більший). Деякі інші команди ATLAS підтримують вказання області замість вводу координат. При вказанні однакових імен області пов'язуються між собою.

ELECTRODE – визначає електроди структури, що являють собою підключені до неї провідники. В подальшому вони використовуються для розрахунку характеристик і поведінки створеного пристрою. Обрані координати мають бути в межах області провідного матеріалу(наприклад алюміній), обрані області будуть замінені на тип матеріалу “провідник” і відповідно відобразатися у програмі візуалізації. При вказанні однакових імен електроди електрично з'єднуються.

DOPING – визначає степінь легування у обраних координатах чи області, підтримує як простий рівномірний розподіл домішок, так і з довільним профілем.

MATERIAL – додаткові налаштування матеріалу для розрахунків. За допомогою цієї команди можливе калібрування матеріалу згідно відомих про

нього даних. За замовчуванню дані беруться з локальною бази матеріалів Silvaco TCAD.

MODELS – вибір моделей для подальших розрахунків, від яких буде залежати як результати, так і час обчислень. Вибір моделей бажано виконувати за допомогою генератора команд DeckBuild так як їх кількість досить значна і не всі з них є сумісними, також в генераторі команд є можливість вибору попередніх налаштувань для часто використовуваних задач, таких як розрахунок біполярного та польового транзисторів. Разом із моделями зазвичай вказується і метод розрахунку(METHOD).

CONTACT – визначає параметри контактів для подальших розрахунків. Дозволяє залучати зовнішні пристрої(резистори, конденсатори та ін.) та змінювати фізичні параметри(наприклад робота виходу) вказаного електроду.

INTERFACE – задає параметри для переходів між матеріалами різної провідності, наприклад ширина p-n переходу напівпровідникового діоду.

LOG – налаштовує реєстрацію результатів в файл для обчислень заданих командою SOLVE. Має декілька різновидів застосування, серед яких: створення нового файлу і запис інформації в нього, допис до існуючого файлу(дані мають бути однакового роду), вибір формату даних та завершення реєстрації даних. При повторному застосуванні команди файл даних попередньої команди автоматично закривається.

SOLVE – основна команда блоку розрахунку для структури пристрою, який як правило включає декілька цих команд. Перший розрахунок проводиться з нульовим зміщенням напруги на всіх електродах і без підключення заданих у параметрах CONTACT зовнішніх пристроях. Після попереднього розрахунку можна виконувати наступні бажані дослідження, наприклад зняття ВАХ пристрою, дослідження частотних характеристик і т.д.. Проміжні результати можуть бути збережені і завантажені за допомогою відповідних команд SAVE і LOAD. Замість SAVE можна використовувати параметр OUTFILE для команди SOLVE.

## Код командного файлу DeckBuild для створення структури 5-NW FET

Вміст основної частини командного \*.in файлу для створення 5-NW FET структури n-типу з круглим перерізом нанодротів приведено нижче:

```
#Командний файл для створення структур, 5-NW FET 15-18
#версія з "круглим" нанодротом
#n-ff структура
#Задання змінних
#канал діаметром 8 нм
set ch=0.008
#діелектрики(1-оксид, 2-гафнієвий оксид)
set d1=0.001
set d2=0.002
#затвор(відступи: 1-знизу, 2-між каналами, 3-зверху і збоку)
set gt1=0.008
set gt2=0.008
set gt3=0.008
#затвор(довжина покривання), множник 0.5 через відзеркалення структури відносно нульової осі
set gt=0.014*0.5
#стік/витік - їх довжина і відступ від затвору, тут же задається довжина каналу(тут 30нм)
set ds=0.005
set dsoff=0.5*0.030-$gt
#концентрації в каналі і біля контактів
set cch=5e15
set cds=5e18
#перехід до ATLAS
go atlas
#Задання сітки – 3D, вісь Y направлена вверх
mesh three.d flip.y
set temp1=$gt3+0.5*$ch+$d1+$d2
set temp2=$temp1
x.m l=-$temp1      spac=$d1*3
x.m l=-$temp1+$gt3  spac=$d1*0.5
x.m l=-$temp1+$gt3+$d1+$d2 spac=$d1*0.5
x.m l=0            spac=$d1*0.5
x.m l=$temp1-$gt3-$d1-$d2 spac=$d1*0.5
x.m l=$temp1-$gt3   spac=$d1*0.5
x.m l=$temp1       spac=$d1*3
#####
y.m l=-0.050 spac=0.020
y.m l=-0.020 spac=0.015
y.m l=0          spac=0.001
y.m l=0.001 spac=$d1*3
set temp1=$gt1+$d1+$d2+0.5*$ch
loop steps=4
y.m l=$temp1-0.5*$ch-$d1-$d2 spac=$d1*0.5
y.m l=$temp1-0.5*$ch-$d1   spac=$d1*0.5
y.m l=$temp1+0.5*$ch+$d1   spac=$d1*0.5
y.m l=$temp1+0.5*$ch+$d1+$d2 spac=$d1*0.5
####
y.m l=$temp1+0.5*$ch+$d1+$d2+0.5*$gt2 spac=$d1*3
```

```

####
set temp1=$temp1+$gt2+2*$d1+2*$d2+$ch
l.end
y.m l=$temp1-0.5*$ch-$d1-$d2 spac=$d1*0.5
y.m l=$temp1-0.5*$ch-$d1 spac=$d1*0.5
y.m l=$temp1+0.5*$ch+$d1 spac=$d1*0.5
y.m l=$temp1+0.5*$ch+$d1+$d2 spac=$d1*0.5
set temp1=$gt1+$gt2*4+$gt3+($ch+2*$d1+2*$d2)*5
y.m l=$temp1 spac=$d1*3
#####
z.m l=-$gt-$dsoff-$ds spac=$ds
z.m l=-$gt-$dsoff spac=0.25*$dsoff
z.m l=-$gt spac=$gt
z.m l=$gt spac=$gt
z.m l=$gt+$dsoff spac=0.25*$dsoff
z.m l=$gt+$dsoff+$ds spac=$ds
#####
#Спрощення сітки
set temp2=$gt1+$d1+$d2
loop steps=5
eliminate x.dir y.dir x.min=-0.0028 x.max=0.0028 y.min=$temp2+0.0012 y.max=$temp2+0.008-0.0012
#eliminate x.dir y.dir x.min=-0.0028 x.max=0.0028 y.min=$temp2+0.0012 y.max=$temp2+0.008-0.0012
#eliminate x.dir x.min=-0.0028 x.max=0.0028 y.min=$temp2+0.0012 y.max=$temp2+0.008-0.0012
eliminate x.dir x.max=-$d1-$d2-0.5*$ch y.min=$temp2 y.max=$temp2+0.008
eliminate x.dir x.min=$d1+$d2+0.5*$ch y.min=$temp2 y.max=$temp2+0.008
set temp2=$temp2+$gt2+2*$d1+2*$d2+$ch
l.end
eliminate x.dir y.dir x.max=-$d1-$d2-0.5*$ch y.min=0
eliminate x.dir y.dir x.min=$d1+$d2+0.5*$ch y.min=0
eliminate x.dir y.dir x.max=-$d1-$d2-0.5*$ch y.min=0
eliminate x.dir y.dir x.min=$d1+$d2+0.5*$ch y.min=0
eliminate y.dir x.max=-$d1-$d2-0.5*$ch y.min=0
eliminate y.dir x.min=$d1+$d2+0.5*$ch y.min=0
eliminate x.dir y.dir x.max=-$d1-$d2-0.5*$ch y.min=0
eliminate x.dir y.dir x.min=$d1+$d2+0.5*$ch y.min=0
#####
set temp1=$gt1+$gt2*4+$gt3+($ch+2*$d1+2*$d2)*5
set temp2=$temp1
#Створення структури
#основні області
region mat=silicon y.max=0 num=1
region mat=oxide y.min=-0.020 num=2
region mat=vacuum y.min=0 num=3
#робочі області структури, для створення круглих областей використовується накладання прямокутних областей
#координати кутів прямокутників задаються тригонометричними функціями, кутове зміщення яких задається змінною в циклі
#для спрощення координати прямокутників відзеркалюються, а крок кута зміщення збільшено, оскільки для даної точності сітки не
потрібна велика точність кута
region mat=tin y.min=0 y.max=$temp1 x.min=-$temp2 x.max=$temp2 z.min=-$gt z.max=$gt num=4
set i=0
set temp2=$gt1+$d1+$d2+0.5*$ch
#перший цикл для нанодрогтів, внутрішні цикли для областей – оксид гафнію, оксид кремнію, кремнієвий канал
loop steps=5
set temp1=0.5*$ch+$d1+$d2

```

```

set ang=0
loop steps=53
set tmp1=$temp1*cos($ang)
set tmp2=$temp1*sin($ang)
region mat=hfo2 num=5 x.min=-$tmp1 x.max=$tmp1 y.min=$temp2-$tmp2 y.max=$temp2+$tmp2 z.min=-$gt z.max=$gt
set ang=$ang+0.03
l.end
#
set temp1=0.5*$ch+$d1
set ang=0
loop steps=53
set tmp1=$temp1*cos($ang)
set tmp2=$temp1*sin($ang)
region mat=oxide num=6 x.min=-$tmp1 x.max=$tmp1 y.min=$temp2-$tmp2 y.max=$temp2+$tmp2 z.min=-$gt z.max=$gt
set ang=$ang+0.03
l.end
#
set temp1=0.5*$ch
set ang=0
loop steps=53
set tmp1=$temp1*cos($ang)
set tmp2=$temp1*sin($ang)
region mat=silicon num=7 x.min=-$tmp1 x.max=$tmp1 y.min=$temp2-$tmp2 y.max=$temp2+$tmp2
set ang=$ang+0.03
l.end
set temp2=$temp2+$gt2+2*$d1+2*$d2+$ch
set i=$i+1
l.end
#
set temp1=$gt1+$gt2*4+$gt3+(2*$ch+4*$d1+4*$d2)*5
set temp2=$gt3+0.5*$ch+$d1+$d2
#області стоку-витоку
region mat=aluminum y.min=0 y.max=$temp1 x.min=-$temp2 x.max=$temp2 z.max=-$gt-$dsoff num=8
region mat=aluminum y.min=0 y.max=$temp1 x.min=-$temp2 x.max=$temp2 z.min=$gt+$dsoff num=9
#Задання електродів МОН-транзистору - затвор, стік, витік
electrode name=gate reg=4
electrode name=drain reg=8
electrode name=source reg=9
#підвід значення EWF затвору до необхідної провідності
#n-ff структура
material region=4 affinity=-0.15

#задання профілю домішок, кожна з команд використовується для відповідної площини сітки
#змінна і відповідає за вибір площини по осі Y, ці значення мають "попадати" в лінії сітки
#попередньо легується весь канал основною домішкою, потім формуються підконтактні зони
set temp2=$gt1+$gt2*4+$gt3+(2*$ch+4*$d1+4*$d2)*5
set temp2=$temp2*4000
#нахлест зон провідності 4нм(залежить від сітки)
doping uniform p.type conc=$cch reg=7 z.min=-$gt-$d1*4 z.max=$gt+$d1*4
set i=$gt1+$d1+$d2
loop steps=$temp2
doping gauss n.type conc=$cds reg=7 dir=y z.min=-$gt-$dsoff z.max=-$gt peak=$i

```

```

doping gauss n.type conc=$cds reg=7 dir=y z.min=$gt z.max=$gt+$dsoff peak=$i
set i=$i+$d1*0.25
l.end
#збереження структури в файл
struct outf=gaa_round_n1.str
#завершення виконання командного файлу
quit

```

## Код командного файлу DeckBuild для аналізу структур

Вміст одинарного блоку коду командного \*.in файлу для побудови ВАХ та виведення основних параметрів структур польових транзисторів при заданій робочій температурі наведено нижче:

```

#Командний файл моделювання для ВАХ n-структур
#temp1 300
#gaa 2nw n1 conc_ch15-18
#задання напруг
set LV=0.1
set HV=1.2
set Vg_init=0
set Vg_step=0.03
set Vg_final=1.2
#задання робочої температури
set temp1=300
#####
#CMOS FinFET - gaa round
#перший великий блок розрахунків
#перехід до ATLAS
go atlas
#ініціалізація структури - завантаження даних з файлу
mesh inf=gaa_round_n1.str
#визначення моделей та методів
models consrh conmob fldmob e0=40 evsatmode=1 hvsatmode=1 cvt fermi bgn print numcarr=2 temperature=$temp1
impact crowell lamdae=6.2e7 lamdah=3.8e7
#
mobility bn.cvt=4.75e7 bp.cvt=9.925e6 cn.cvt=1.74e5 cp.cvt=8.842e5 taun.cvt=0.125 taup.cvt=0.0317
gamn.cvt=2.5 gamp.cvt=2.2 mu0n.cvt=52.2 mu0p.cvt=44.9 mu1n.cvt=43.4 mu1p.cvt=29.0 mumaxn.cvt=1417.0
mumaxp.cvt=470.5 crn.cvt=9.68e16 crp.cvt=2.23e17 csn.cvt=3.43e20 csp.cvt=6.10e20 alphn.cvt=0.680 alphp.cvt=0.71
betan.cvt=2.0 betap.cvt=2.0 pcn.cvt=0.0 pcp.cvt=0.23e16 deln.cvt=5.82e14 delp.cvt=2.0546e14
#
method newton gummel itlimit=40 trap atrap=0.5 maxtrap=2 autonr nrccriterion=0.1 tol.time=5e-3 dt.min=1e-
25 damped delta=0.5 damploop=10 dfactor=10.0 iccg lu1cri=3e3 lu2cri=3e2 maxinner=25
#Низьковольтна ВАХ
#попередній розрахунок без зміщення напруг
solve init
#зміщення напруги стоку
solve vdrain=$LV
#ввімкнення журналювання в файл
log outf=gaa_n_LV1.log
#варіюване зміщення напруги на затворі при даному зміщенні на стоку

```

```

solve name=gate vgate=$Vg_init vstep=$Vg_step vfinal=$Vg_final
#порогова та підпорогова напруга
extract      name="t_n_vt"      (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain"))))) -
abs(ave(v."drain"))/2.0)
extract name="t_n_svt" 1.0/slope(maxslope(curve(abs(v."gate"),log10(abs(i."drain")))))
log off
#####
#другий великий блок розрахунків
go atlas
mesh inf=gaa_round_n1.str
#визначення моделей та методів
models consrh conmob fldmob e0=40 evsatmode=1 hvsatmode=1 cvt fermi bgn print numcarr=2 temperature=$temp1
impact crowell lamdae=6.2e7 lamdah=3.8e7
#
mobility bn.cvt=4.75e7 bp.cvt=9.925e6 cn.cvt=1.74e5 cp.cvt=8.842e5 taun.cvt=0.125 taup.cvt=0.0317
gamn.cvt=2.5 gamp.cvt=2.2 mu0n.cvt=52.2 mu0p.cvt=44.9 mu1n.cvt=43.4 mu1p.cvt=29.0 mumaxn.cvt=1417.0
mumaxp.cvt=470.5 crn.cvt=9.68e16 crp.cvt=2.23e17 csn.cvt=3.43e20 csp.cvt=6.10e20 alphn.cvt=0.680 alphp.cvt=0.71
betan.cvt=2.0 betap.cvt=2.0 pcn.cvt=0.0 pcp.cvt=0.23e16 deln.cvt=5.82e14 delp.cvt=2.0546e14
#
method newton gummel itlimit=40 trap atrap=0.5 maxtrap=2 autonr nrccriterion=0.1 tol.time=5e-3 dt.min=1e-
25 damped delta=0.5 damploop=10 dfactor=10.0 iccg lu1cri=3e3 lu2cri=3e2 maxinner=25
#Високовольтна ВАХ
solve init
solve vdrain=$HV
log outf=gaa_n_HV1.log
solve name=gate vgate=$Vg_init vstep=$Vg_step vfinal=$Vg_final
#струми відкритої та закритої структури, їх відношення
extract      name="t_n_hvt"      (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain"))))) -
abs(ave(v."drain"))/2.0)
extract name="t_n_i_on" max(abs(i."drain"))
extract name="t_n_i_off" min(abs(i."drain"))
extract name="t_n_i_ratio" ($t_n_i_on)/($t_n_i_off)
extract name="t_n_dibl" ($t_n_hvt-$t_n_vt)/($HV-$LV)
log off

```

## ПОРЯДОК ВИКОНАННЯ РОБОТИ

1. Запустити середовище розробки DeckBuild. Створити новий командний ".in"-файл у робочій директорії.

2. Використовуючи симулятор ATLAS створити сітку початкової тривимірної структури та задати початкові 3 області – підкладка кремнію, поверхня якої покрита шаром оксиду, а об'єм над поверхнею заповнити іншою областю діелектрику чи вакуумом. В кінці командного файлу додати команди для збереження та відображення ".str"-структури в TonyPlot3D.

На основі даних про сітку та візуалізації TonyPlot3D виконати спрощення сітки в областях підкладки за допомогою команд ELIMINATE.

3. Створити затвор FET-структури. при багат шарових рішеннях слід враховувати порядок задання областей – спочатку зовнішні, потім внутрішні.

4. Створити канал GAA NW FET транзистору – аналогічно багат шаровим рішенням затвору спочатку створюються області зовнішніх шарів діелектриків, потім канал. Слід зазначити що в ATLAS можна створювати лише області у вигляді прямокутних паралелепіпедів, тому для створення областей складної форми в ATLAS можна використати цикли та можливість накладання областей одна на одну. Таким чином можна задати область складної форми шляхом накладання об'ємів простих областей.

Для створення багатоканальних структур даний блок команд поміщається в цикл, де загальне зміщення областей залежить від номера ітерації – таким чином в сітці структури можна створювати масиви областей.

5. Створити області стоку та витoku структури. Назначити електроди структури – для цього використати набір назв для польового транзистору: gate - затвор, drain - стік, source - витік.

6. Задати профіль легування каналу відповідно необхідного типу провідності транзистору. Слід врахувати особливість створення тривимірних структур в ATLAS – при заданні нерівномірного розподілу необхідно задавати профіль легування для кожної двовимірної площини в обраному напрямку, при цьому координати площини мають співпадати з вузлами сітки. Щоб не прописувати вручну кожну команду для кожної площини можна організувати їх легування в циклі.

Перевірити профіль легування можна в TonyPlot3D, сховавши всі області окрім каналу та ввімкнувши відповідний режим відображення.

7. За необхідністю вказати додаткові команди для задання необхідних значень електрофізичних параметрів матеріалів та контактів структури.

8. Задати моделі та методи для аналізу польового транзистору в ATLAS, вказати команди для проведення початкового розрахунку.



9. Провести аналіз створеної структури – побудувати вольт-амперні характеристики: низьковольтну та високовольтну  $I_{DS}(V_G)$  відповідно при  $V_{DS} = 0,05..0,1$  В та  $0,4..1,8$  В.

Побудувати ВАХ для струму насичення каналу  $I_{DS}(V_{DS})$  при  $V_G = 0,4..1,8$  В. При заданні напруг слід враховувати що для р-типу провідності значення  $V_G$  буде від'ємним.

10. З отриманих залежностей провести екстракцію параметрів:  $V_t$ ,  $SS$ ,  $I_{Dsat}$ ,  $I_{on}$ ,  $I_{off}$ ,  $I_{on}/I_{off}$  та  $DIBL$ .

Значення  $I_{off}$  можна отримати з низьковольтної ВАХ, змінивши функцію MAX на MIN в формулі для екстракції максимального значення сили струму. Значення  $DIBL$  розраховується як відношення різниць порогових напруг  $V_t$  до різниці значень  $V_{DS}$  при яких вони були отримані.

11. Відобразити основні параметри структури транзистору та результати екстракції в звіті.

## КОНТРОЛЬНІ ПИТАННЯ

1. Назвати команди DeckBuild для: задання змінної, інтерфейсу симуляторів, екстракції параметрів структури та виклику програми візуалізації.
2. Назвати функціональне призначення команди ELIMINATE.
3. Вказати порядок команд при створенні структури в симуляторі ATLAS.
4. Вказати порядок команд при знятті ВАХ структури в симуляторі ATLAS.

## СПИСОК ЛІТЕРАТУРИ

1. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018. – 241 p.
2. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.
3. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев,

Е.Ю. Плотникова.- Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.

## ІНСТРУКЦІЯ ДО ЛАБОРАТОРНОЇ РОБОТИ " ТЕХНОЛОГІЧНЕ ТА ЕЛЕКТРОФІЗИЧНЕ МОДЕЛЮВАННЯ СТРУКТУР МОН-ТРАНЗИСТОРУ В САПР SILVACO TCAD"

### МЕТА РОБОТИ

Отримання практичних навичок створення та аналізу структур польових транзисторів метал-оксид-діелектрик за допомогою САПР Silvaco TCAD з використанням симулятора технологічних процесів ATHENA.

### ТЕОРЕТИЧНІ ВІДОМОСТІ

Створити структуру в Silvaco TCAD можна декількома шляхами – за допомогою DevEdit(в Windows працює лише в режимі командного рядку), командами ATLAS, ATHENA(двовимірний симулятор технологічних процесів) та VICTORY(тривимірний симулятор технологічних процесів, в Windows версії не наявний). Для кожної з програм, окрім DevEdit з графічним інтерфейсом, для виконання тієї чи іншої дії потрібно виконувати так званий командний файл, який створюється та виконується в середовищі розробки DeckBuild.

У кожної з програм Silvaco TCAD свій список команд і порядок їх задання, але функціональна структура командного файлу при створенні структур ідентична. Нижче наведено основні команди в DeckBuild та до симуляторів ATLAS та ATHENA.

#### Основні команди DeckBuild

В DeckBuild коментарі позначаються після символу #.

SET – просте задання значення змінній, містить лише один тип даних. При вказанні параметру CLEAR очищує всі створені змінні. Її більш функціональним аналогом є команда ASSIGN, що може містити декілька типів даних під однією назвою змінної. Окрім простого значення може виконувати задані підтримувані

функції та вирази. Для виклику в коді перед назвою змінної вказується символ \$ або @.

DEFINE – дозволяє використовувати деякий ідентифікатор в коді замість повного значення, наприклад замістити повний шлях до своєї робочої директорії на диску словом "mypath". Для відміни чи перезадання відповідно використовується %UNDEFINE та %DEFINE.

GO – інтерфейс між симуляторами – дана команда закриває поточний симулятор та запускає вказаний в параметрах команди. По замовчуванню використовується автоінтерфейс(передача наявної в пам'яті структури наступному симулятору), але його можна відключити вказавши відповідний параметр NOAUTO.

IF, ELSE та IF.END – використовуються для розгалужень за умовою, є аналогом If-Then-Else в типових мовах програмування. Дані команди дозволяють створити більш універсальні командні файли.

LOOP, L.END та L.MODIFY – використовуються для організації циклів. Для зміни значення деяких змінних всередині циклу може бути використано як перезапис змінних за допомогою ASSIGN чи SET, так і спеціальною командою STMT.

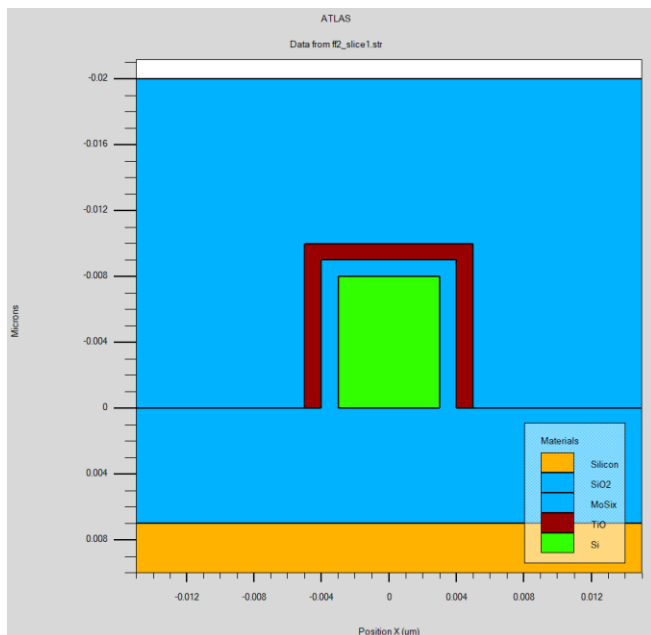
SOURCE – використовується для підключення коду з іншого файлу. Виконання основного файлу при цьому призупиняється. Підключений файл також може містити інші підключені файли.

TONYPLOT – налаштовує виклик програми візуалізації 2D(використовуються для відображення графіків) чи 3D даних. Має декілька ключів запуску. Для накладання графіків використовується ключ -overlay, накладувані графіки(назви файлів) вказуються після даного ключа. Якщо файли даних мають подібні назви, то їх можна відкрити, вказавши значок зірочки у місці де символи назв файлів відрізняються. Це зручно використовувати при багатоетапному процесі створення структури. Детальніше про ключі запуску описано у керівництві користувача TonyPlot та TonyPlot 3D.

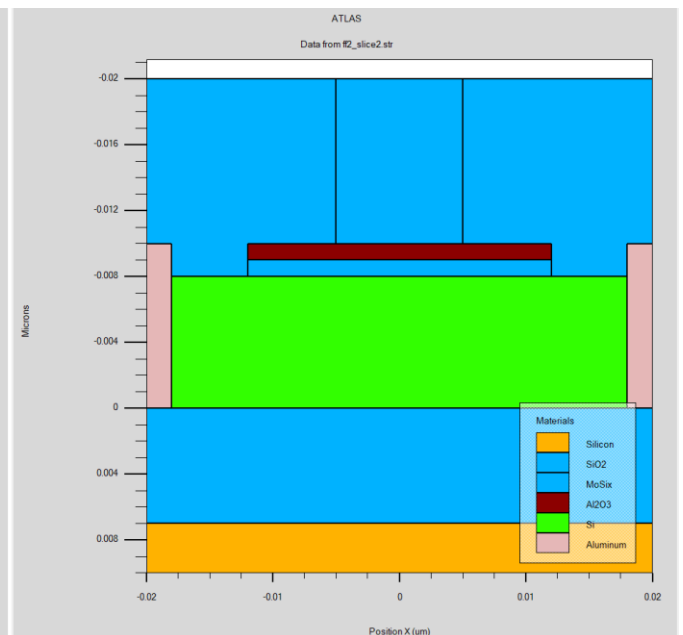
Оскільки в файл структури записуються багато інформації, то для відображення необхідних в TonyPlot треба провести налаштування виводу. Це реалізується за допомогою опції “Display”. Для TonyPlot доступні налаштування відображення сітки, областей, контурів(профілі легування, електричного поля, температури та ін.), електродів, переходів(між областями з різною провідністю), силових ліній(при наявності даних), та відображення деяких специфічних даних у тривимірному вигляді(при виконанні зрізу в TonyPlot3D). Контури можуть бути окремо налаштовані для кожного матеріалу чи області, мають декілька кольорових палітр і способів відображення. По замовчуванню відображається абсолютне значення концентрації домішок у вигляді заповнених фігур(при плавних переходах мають вигляд широких смуг, які поділені сіткою).

Для TonyPlot3D налаштування дещо відрізняються: кольорове поділення може відбуватися для матеріалу або областей, спосіб відображення сітки можна задавати окремо для кожної з областей, є можливість приховати будь-які області, а відображення контурів обмежене декількома способами. Для детальнішого аналізу можна виконати зріз структури і зберегти у вигляді двомірної структури, яку потім можна відкрити в TonyPlot або задіяти в ATLAS.

В обох варіантах програми TonyPlot є багато можливостей для експорту даних з структури для подальшого застосування, на рис.А.1 наведено приклад виконання зрізу тривимірної FinFET структури.



а



б

Рис.Б.1. Типові приклади поперечного (а) та повздовжнього (б) зрізів тривимірної структури

EXTRACT – дозволяє отримати певні характеристики(що записуються рівнянням) для структури чи розрахунків, результат зберігається у змінну заданої назви, в подальшому всі значення змінних можна зберегти у файл за допомогою параметру OUTFILE. Як приклад застосування можна привести обчислення максимальному значенню струму що протікає через електрод, визначення ККД по напрузі, спектру випромінювання, товщини підзатворного оксиду і т.д. Команда має широкі налаштування, які зручно задавати за допомогою генератора команд DeckBuild.

QUIT – завершує виконання процесу симулятора, є не обов'язковою командою в кінці командного файлу.

### Основні команди ATLAS

MESH – задає параметри сітки. Налаштування сітки можна проводити як вручну, так і імпортувати з існуючого файлу структури(при створенні в ATHENA, DevBuild). Всього існує декілька типів сітки і відповідно структур: одновимірна(не використовується в ATLAS), двовимірна(найчастіше вживана), тривимірна та циліндрично-симетрична(координати визначаються як радіус та

кут повороту відносно початкової площини).

В більшості випадків команду MESH використовують для ініціалізації та масштабування дво- або тривимірної сітки структури з вказанням відступу сітки для певних координат. Для задання сітки використовують параметри X.MESH, Y.MESH та Z.MESH(коли йдеться про тривимірну структуру), до яких приписують значення положення координат LOCATION на потрібній осі та відступ SPACING вузлів сітки по даній координаті. Для масштабування сітки використовується параметр SPACE.MULT, він дозволяє змінювати розмір і кількість елементарних трикутників, з яких складається сітка, і тим самим обирати між точністю і швидкістю обчислень. Щоб видалити деякі вузли сітки вздовж осей X або/і Y використовують команду ELIMINATE. Це дозволяє спростити сітку та зменшити навантаження на апаратну частину використовуваного комп'ютера.

REGION – використовується для визначення областей та їх матеріалу. Кожна область має свій номер, починаючи з одиниці. При накладанні областей пріоритет віддається тій що розташована “вище”(відповідно номер якої більший). Деякі інші команди ATLAS підтримують вказання області замість вводу координат. При вказанні однакових імен області пов'язуються між собою.

ELECTRODE – визначає електроди структури, що являють собою підключені до неї провідники. В подальшому вони використовуються для розрахунку характеристик і поведінки створеного пристрою. Обрані координати мають бути в межах області провідного матеріалу(наприклад алюміній), обрані області будуть замінені на тип матеріалу “провідник” і відповідно відобразатися у програмі візуалізації. При вказанні однакових імен електроди електрично з'єднуються.

DOPING – визначає степінь легування у обраних координатах чи області, підтримує як простий рівномірний розподіл домішок, так і з довільним профілем.

MATERIAL – додаткові налаштування матеріалу для розрахунків. За допомогою цієї команди можливе калібрування матеріалу згідно відомих про

нього даних. За замовчуванням дані беруться з локальною бази матеріалів Silvaco TCAD.

MODELS – вибір моделей для подальших розрахунків, від яких буде залежати як результати, так і час обчислень. Вибір моделей бажано виконувати за допомогою генератора команд DeckBuild так як їх кількість досить значна і не всі з них є сумісними, також в генераторі команд є можливість вибору попередніх налаштувань для часто використовуваних задач, таких як розрахунок біполярного та польового транзисторів. Разом із моделями зазвичай вказується і метод розрахунку(METHOD).

CONTACT – визначає параметри контактів для подальших розрахунків. Дозволяє залучати зовнішні пристрої(резистори, конденсатори та ін.) та змінювати фізичні параметри(наприклад робота виходу) вказаного електроду.

INTERFACE – задає параметри для переходів між матеріалами різної провідності, наприклад ширина p-n переходу напівпровідникового діоду.

LOG – налаштовує реєстрацію результатів в файл для обчислень заданих командою SOLVE. Має декілька різновидів застосування, серед яких: створення нового файлу і запис інформації в нього, допис до існуючого файлу(дані мають бути однакового роду), вибір формату даних та завершення реєстрації даних. При повторному застосуванні команди файл даних попередньої команди автоматично закривається.

SOLVE – основна команда блоку розрахунку для структури пристрою, який як правило включає декілька цих команд. Перший розрахунок проводиться з нульовим зміщенням напруги на всіх електродах і без підключення заданих у параметрах CONTACT зовнішніх пристроях. Після попереднього розрахунку можна виконувати наступні бажані дослідження, наприклад зняття ВАХ пристрою, дослідження частотних характеристик і т.д.. Проміжні результати можуть бути збережені і завантажені за допомогою відповідних команд SAVE і LOAD. Замість SAVE можна використовувати параметр OUTFILE для команди SOLVE.



## Основні команди ATHENA

DEPOSIT – напilenня вказаного матеріалу на структуру, може бути реалізований за допомогою використання “машини”. В цьому разі замість товщини напильованого шару задається час проведення операції, а кінцева товщина залежить від швидкості напilenня, що задається в налаштуваннях машини (RATE.DEPOSIT) перед викликом команди напilenня. Також при використанні машини окрім простого однонаправленого напilenня доступні більш ширші налаштування: різні методи напilenня (термічне напilenня, молекулярна променева епітаксія, двонаправлене напilenня та ін.), різний кут нахилу та повороту підкладки і т.п.. Приклад результатів процесу напilenня з використанням різного кута нахилу підкладки наведено на рис. А.2.

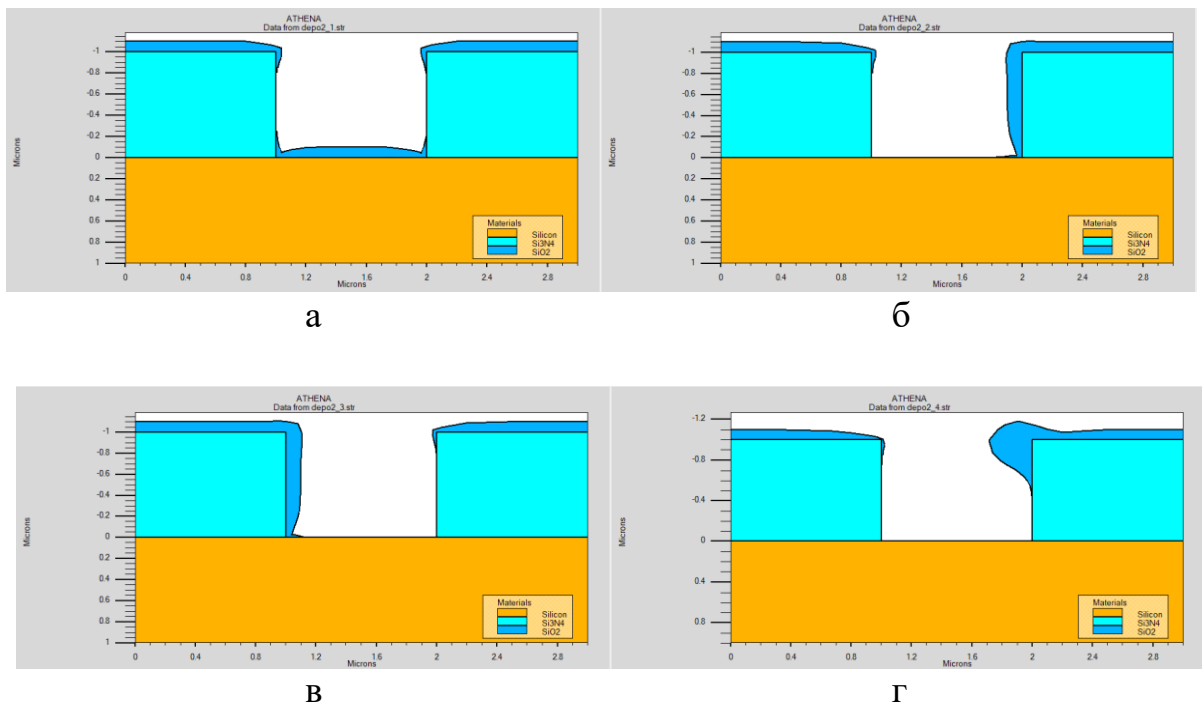


Рис. Б.2. Типовий приклад моделювання технологічного процесу напilenня з різними кутами нахилу підкладки: а - під прямим кутом; б - з нахилом -45 градусів; в - з нахилом +45 градусів; г - з нахилом 90 градусів до підкладки

DIFFUSE – використовується для реалізації процесу дифузії, відпалу та окислення структури. Отриманий результат залежить від ряду налаштувань та використовуваних моделей. Температура може бути як сталою, так і змінною з

часом. Параметри та склад атмосфери можна змінювати, зокрема основна складова(сухий/вологий кисень, азот, потік газу), концентрація домішок, тиск атмосфери та ін.. Для аналізу протікання процесу є можливість збереження проміжних етапів у файли структури, для цього використовується параметр DUMP. Даний процес має декілька моделей для самої дифузії та процесу окислення, по замовчуванню це модель Фермі для дифузії та компресійна для окислення, але їх можна змінити вказавши попередньо команду MODELS з відповідними параметрами. Приклад використання в'язкої моделі для окислення структури і отримання "пташиного дзьобу" наведено на рис. А.3, де видно як в процесі утворення оксиду плівка нітриду кремнію відігнулася внаслідок надмірного внутрішнього напруження оксидного шару між цією плівкою та підкладкою.

ETCH – команда для проведення процесу травлення. В параметрах вказується матеріал(без вказання буде стравлено будь-який матеріал у заданій області). Має два різновиди – геометричний і за допомогою машини. Геометричний включає в себе травлення на вказану товщину, в заданій прямокутній чи довільній області. Даний метод можна використовувати для простої реалізації літографії – утворення отворів у фоторезисті замість його експонування.

Травлення за допомогою машини включає в себе хімічне та іонне травлення. Перед використанням машини її треба задати за допомогою RATE.ETCH. До додаткових параметрів відносяться ізотропність, направленість, параметри хімічної взаємодії та ін. Ізотропність та направленість досить сильно впливають на ступінь підтравлення захисної маски при створенні структури та форма отримуваної канавки.

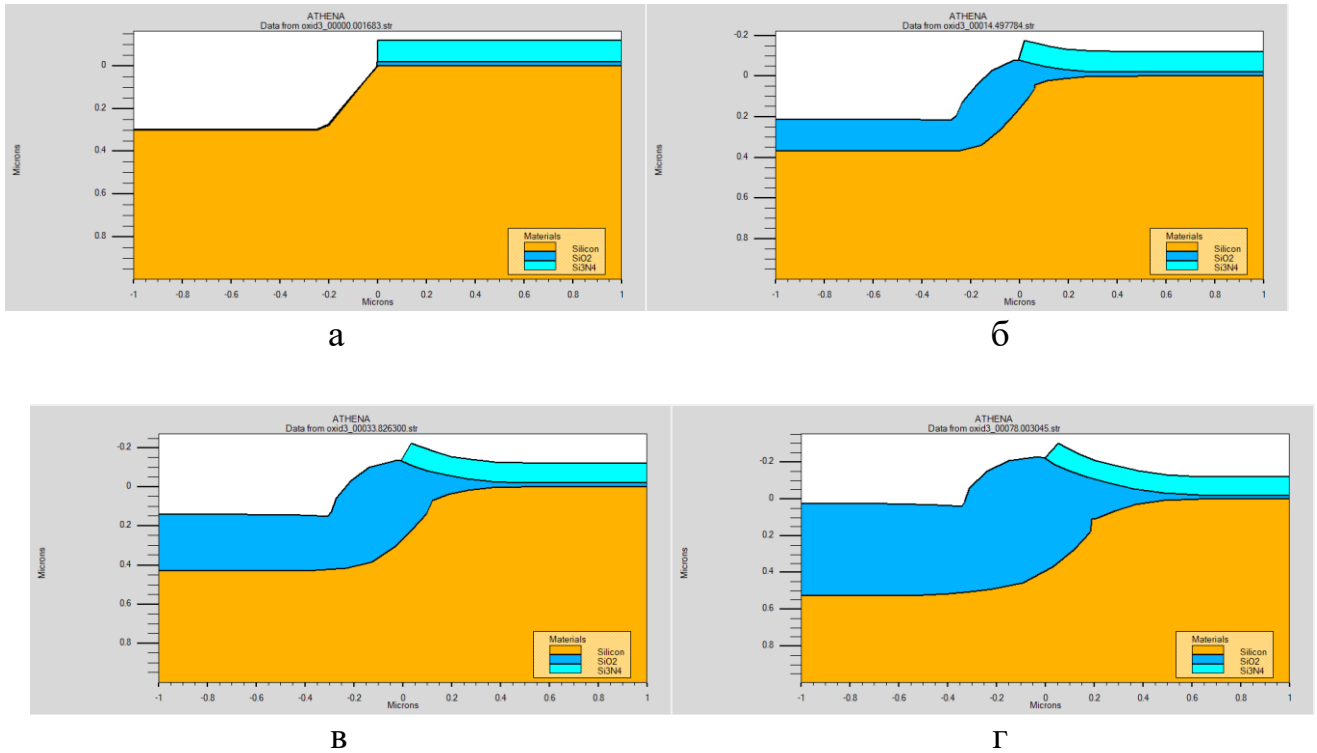


Рис. Б.3. Етапи протікання процесу окислення з використанням в'язкої моделі, дані отримані за допомогою параметра DUMP: а – початкова структура; б, в – проміжні етапи; г – кінцевий результат окислення

IMPLANT – команда для проведення іонної імплантації домішок в структуру. В якості параметрів задається доза домішок, енергія(в кеВ), використовувано модель та тип матеріалу(кристал чи аморфне тіло). До додаткових параметрів належить підключення моделювання нанесення пошкоджень(дефектів) іонами.

POLISH – технологічний процес механо-хімічного полірування структури, застосовується лише з використанням машини. При використанні може бути вибірково задано матеріал, що буде поліруватися.

EPITAXY – епітаксія кремнію на структуру з заданою температурою підігріву підкладки та швидкістю нанесення. У місцях відсутності монокристалу буде нанесено полікремній. При епітаксії можна задавати степінь легування матеріалу що наноситься. Також частково процес епітаксії можна реалізовувати за допомогою команди DEPOSIT.

## Код командного файлу DeckBuild для створення та аналізу структури МОН транзистору

Вміст основної частини командного \*.in файлу для створення структури МОН-транзистору за допомогою технологічних процесів ATHENA та її аналізу за допомогою симулятора ATLAS приведено нижче:

```
# Польовий транзистор
#запуск ATHENA
go athena
#завдання 2D-сітки структури 0,6x0,8мкм
line x l=0.0 spac=0.1
line x l=0.2 spac=0.006
line x l=0.4 spac=0.006
line x l=0.6 spac=0.01
line y loc=0.0 spac=0.002
line y loc=0.2 spac=0.005
line y loc=0.5 spac=0.05
line y loc=0.8 spac=0.15
#ініціалізація структури: кремній(hk1 100), легування фосфором(конц 1014 см-3)
#множник сітки x2
init orientation=100 c.phos=1e14 space.mul=2
#формування р-карману(та маскування області n-типу): 30хв,1000град, сухий O2, 1атм, HCl 3%
diffus time=30 temp=1000 dryo2 press=1.00 hcl=3
#стварлення оксиду заданої товщини
etch oxide thick=0.02
#імплантація р-області
implant boron dose=8e12 energy=100 pears
#дифузія імплантованої домішки: 100хв, 950град, вологий O2, HCl 3%
diffus temp=950 time=100 weto2 hcl=3
#імплантація n-області не приводиться
#перша стадія формування обастей
#дифузія в 3 стадії:
#стадія 1: 50хв, до 1000град, лінійна зміна 4град/хв, сухий O2, 0,1атм, HCl 3%
diffus time=50 temp=1000 t.rate=4.000 dryo2 press=0.10 hcl=3
#стадія 2: 220хв, при 1200град, N2 ,1атм
diffus time=220 temp=1200 nitro press=1
#стадія 3: 90хв, з 1200град, лінійна зміна -4,444град/хв, N2 ,1атм
diffus time=90 temp=1200 t.rate=-4.444 nitro press=1
#знімання оксидного шару
etch oxide all
#формування проміжного оксидного шару
#дифузія: 20хв, 1000град, сухий O2, 1атм, HCL 3%
diffus time=20 temp=1000 dryo2 press=1 hcl=3
#знімання всього оксиду
etch oxide all
#дифузія: 11хв, 925град, сухий O2, 1атм, HCl 3%
diffus time=11 temp=925 dryo2 press=1.00 hcl=3
#екстракція товщини (підзатворного) окислу
#extract - виводить дані в названу змінну
#обрана область №1(верхня) для даного матеріалу, по осі X точка заміру 0,05мкм
```

```

extract name="gateox" thickness oxide mat.oceno=1 x.val=0.05
#юнна імплантатія бору
implant boron dose=9.5e11 energy=10 pearson
#нанесення полікремнію товщиною 0,2мкм, поділ сітки 10
deposit poly thick=0.2 divisions=10
#з цього місця відображення структури на графіку буде проводитися в 2D автоматично
#зтравлення прямокутної області полікремнію лівіше від x=0,35
etch poly left p1.x=0.35
#вибір моделі для процесу дифузії(Фермі) і окиснення(копресійна)
method fermi compress
#дифузія: 3хв, 900град, вологий O2, 1атм
diffuse time=3 temp=900 weto2 press=1.0
#імплантатія фосфору
implant phosphor dose=3.0e13 energy=20 pearson
#нанесення шару оксиду товщиною 0,12мкм, поділ сітки 8
depo oxide thick=0.120 divisions=8
#зтравлення оксиду(без підтравлення прихованих маскою областей) на 1,12мкм
etch oxide dry thick=0.120
#імплантатія миш'яку
implant arsenic dose=5.0e15 energy=50 pearson
#вибір моделі для процесу дифузії(Фермі) і окиснення(копресійна)
method fermi compress
#дифузія: 1хв, 900град, N2, 1атм
diffuse time=1 temp=900 nitro press=1.0
#нанесення областей металевих контактів для витоку/стоку
#зтравлення оксиду ліворуч від x=0,2мкм
etch oxide left p1.x=0.2
#нанесення алюмінію товщиною 0,03мкм, поділ сітки 2
deposit alumin thick=0.03 divisions=2
#зтравлення алюмінію ліворуч x=0,18мкм
etch alumin right p1.x=0.18
#екстракція параметрів транзистору
#визначення глибини першого р-п переходу в кремнії
extract name="nxj" xj silicon mat.oceno=1 x.val=0.1 junc.oceno=1
#визначення шарового опору областей n++ в кремнії в координаті по осі x=0,05мкм
#номер області 1
extract name="n++ sheet rho" sheet.res material="Silicon" mat.oceno=1 x.val=0.05 region.oceno=1
#визначення шарового опору слабологаного стоку під роздільником("спейсер")
extract name="idd sheet rho" sheet.res material="Silicon" mat.oceno=1 x.val=0.3 region.oceno=1
#визначення поверхневої концентрації під областю каналу
extract name="chan surf conc" surf.conc impurity="Net Doping" material="Silicon" mat.oceno=1 x.val=0.45
#екстракція залежності провідності полікремнію від нахилу кривої в точці по осі x=0,45мкм на першому р-п переході
#прикладена напруга 0-2В(крок 0,2В)
#1dn.* вказує на одновірну структуру n-типу, bias - нахил кривої напруги(вісь X), conduct - провідність(вісь Y)
extract start material="Polysilicon" mat.oceno=1 bias=0.0 bias.step=0.2 bias.stop=2 x.val=0.45
extract done name="sheet cond v bias" curve(bias,1dn.conduct material="Silicon" mat.oceno=1 region.oceno=1) outfile="extract.dat"
#визначення порогової напруги одновірної структури n-типу з довгим каналом
#напруга підкладки 0В, поверхневий заряд 10^10 см^2
extract name="n1dvt" 1dvt ntype vb=0.0 qss=1e10 x.val=0.49
#побудована модель структури відзеркаюється праворуч
structure mirror right
#визначення контактів: затвор, витік, стік, підкладка
electrode name=gate x=0.5 y=0.1

```

```

electrode name=source x=0.1
electrode name=drain x=1.1
electrode name=substrate backside
#вивід структури в файл
structure outfile=fet1a.str
#відкриття файлу структури для перегляду
tonyplot fet1a.str
#Вивчення характеристик транзистора
#перевірка порогової напруги, визначення лінійного коефіцієнту підсилення("бета") та падіння рухливості носіїв заряду("тета")
#інтерфейс/перехід в ATLAS
go atlas
#завдання моделей
#print виводить в лог-файл значення заданих користувачем змінних при їх перерозрахунку в циклі
models cvt srh print
#контакт затвору сформовано із полікремнію n-типу
contact name=gate n.poly
#щільність поверхневого заряду на межі з полікремнієм  $3 \cdot 10^{10} \text{ cm}^{-2}$ 
interface qf=3e10
#метод числового розрахунку по замовчуванню
method newton
#попередній розрахунок(напруга зміщення 0В)
#якщо попередньо характеристики структури не проводилися, то використовуються оціночні величини виведені на основі профілю
легування
solve init
#задаємо нахил кривої струму напругою стік-витік 0,1В
solve vdrain=0.1
#ввімкнення реєстрації в файл
#master - буде сформовано стандартний файл структури, оснований на моделюванні за допомогою SSUPREM3 та ATHENA 1D
log outf=fet1.log master
#зміщення напруги на затворі 0-3В(крок 0,25В)
solve vgate=0 vstep=0.25 vfinal=3.0 name=gate
#збереження структури в файл
save outf=fet1 b.str
#відкриття програми перегляду для результатів розрахунків(графіки)
tonyplot fet1.log
#визначення характеристик транзистора: порогова напруга, "бета" та "тета"
extract name="nvt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain"))))-abs(ave(v."drain")))/2.0)
extract name="nbeta" slope(maxslope(curve(abs(v."gate"),abs(i."drain")))) * (1.0/abs(ave(v."drain")))
extract name="ntheta" ((max(abs(v."drain")) * $"nbeta")/max(abs(i."drain")))-(1.0/(max(abs(v."gate")) -($"nvt")))
#завершення коду
quit

```

## ПОРЯДОК ВИКОНАННЯ РОБОТИ

1. Запустити середовище розробки DeckBuild. Створити новий командний ".in"-файл у робочій директорії.

2. Використовуючи симулятор ATHENA створити сітку початкової двовимірної структури та ініціалізувати початкову підкладку – матеріал кремнію, легування домішкою відповідно необхідної провідності структури. В

кінці командного файлу додати команди для збереження та відображення ".str"-структури в TonyPlot.

3. Сформувати область карману транзистору домішкою іншого типу з застосуванням іонної імплантації з маскування підкладки шаром оксиду.

4. Сформувати область каналу транзистору основною домішкою.

5. Сформувати шар підзатворного оксиду. За допомогою EXTRACT вивести значення його товщини.

6. Сформувати затвор польового транзистору.

7. Сформувати металізацію структури. За допомогою команд ELECTRODE задати електроди структури МОН-транзистору: gate – затвор, drain – стік, source – витік.

8. За допомогою симулятора ATLAS провести аналіз транзистору: ВАХ  $I_{DS}(V_G)$  при  $V_{DS} = 0,1$  В, значення порогової напруги  $V_t$ , параметри  $\beta$  та  $\theta$ .

9. Відобразити основні параметри структури транзистору та результати екстракції в звіті.

### **КОНТРОЛЬНІ ПИТАННЯ**

1. Назвати команди ATHENA для: напилення, зтравлення, дифузії, імплантації, епітаксії.

2. Назвати призначення команди INITIALIZE для ATHENA.

3. Вказати порядок команд при створенні структури в симуляторі ATHENA.

4. Вказати порядок команд при знятті ВАХ структури в симуляторі ATLAS.

### **СПИСОК ЛІТЕРАТУРИ**

1. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018. – 241 p.

2. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.

3. Silvaco, ATHENA User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.

4. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев, Е.Ю. Плотникова.- Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.



## СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ



МІНІСТЕРСТВО ОСВІТИ І НАУКИ КРАЇНИ  
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ  
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних  
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДНО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ  
ЕЛЕМЕНТІВ ІНТЕГРАЛЬНИХ МІКРОСХЕМ**

Студент гр. ЕІ-61

А.О. Головня

Науковий керівник,  
к. ф.-м. н, старший викладач

І.П. Бурик

Конотоп 2020

*Об'єктом дослідження* кваліфікаційної роботи є структурні моделі кремнієвих 3D транзисторів типу FinFET та Nanowire FET та електронні процеси в них.

*Мета роботи* полягає у дослідженні впливу масштабування, температури та нанорозмірних ефектів у каналах кремнієвих 3D транзисторів типу FinFET із затвором Tri-Gate та Nanowire FET із затвором Gate-All-Around на їх робочі характеристики.

У цій роботі представлено результати числового 3D-моделювання польових транзисторів SOI TG FinFET та SOI GAA NWFET. Структура 3D-пристроїв на основі ізольованим затвором описується та моделюється за допомогою інструментів SILVACO TCAD. Програма забезпечує моделювання окремих елементів інтегрованих мікросхем (ІМС) і сприяє візуалізації фізичних і електронних процесів в них [1-14].

Отримано результати електричних характеристик транзисторів SOI TG FinFET та SOI GAA NWFET з електродами затвору на основі n - та p- плівкових систем з відповідними ефективними роботами виходу 4,4 eV і 4,85 eV.

1.1 Транзисторні структури FinFET

Fin-транзистори з польовим ефектом (FinFET) є основою для сучасної комплементарної технології метал-оксид-напівпровідник (CMOS).

На сьогодні як компоненти CMOS, серед багатьох інших транзисторних структур, найчастіше використовуються SOI TG FinFET, зовнішній вигляд яких представлено на рис.1.1а.

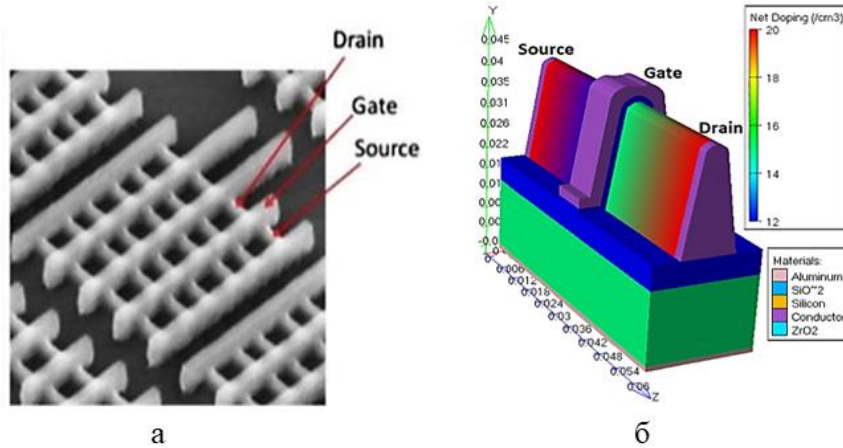


Рис.1.1. 3D комплементарна комірка (Intel 22nm) (а) та кінчна структура [1] SOI TG FinFET (б)

### 1.1 Транзисторні структури FinFET

Концентраційне співвідношення для визначення ефективної роботи виходу електрона ( $W_{eff}$ ) для електрода затвору:

$$W_{eff} = \sum_{i=1}^n c_i \cdot W_{effi}, \quad (1.1)$$

де  $W_{effi}$  and  $c_i$  - ефективна робота виходу та концентрація окремих компонент.

Концентрація індивідуальних компонент визначається як:

$$c_i = \frac{\rho_i d_i \mu_i^{-1}}{\sum_{i=1}^n \rho_i d_i \mu_i^{-1}}, \quad (1.2)$$

де  $\rho_i$ ,  $d_i$  та  $\mu_i$  - густина, товщина та молярна маса окремих компонент.

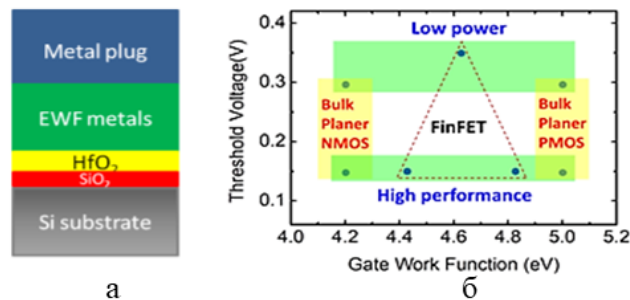


Рис.1.2. Типова структура електрода затвору FinFET (а) та залежність величини порогової напруги від роботи виходу матеріалу затвору (б) для різних пристроїв [2]

## 1.2 Транзисторні структури Nanowire FET

Авторами роботи [4] спроектовано структури SOI TG FinFET та SOI GAA NWFET (Рис.1.3), порівняно їх робочі характеристики залежно від експлуатації в умовах радіаційного впливу. Було показано, що NW-канальні транзистори мають кращі характеристики в радіаційному середовищі, ніж Fin-канальні.

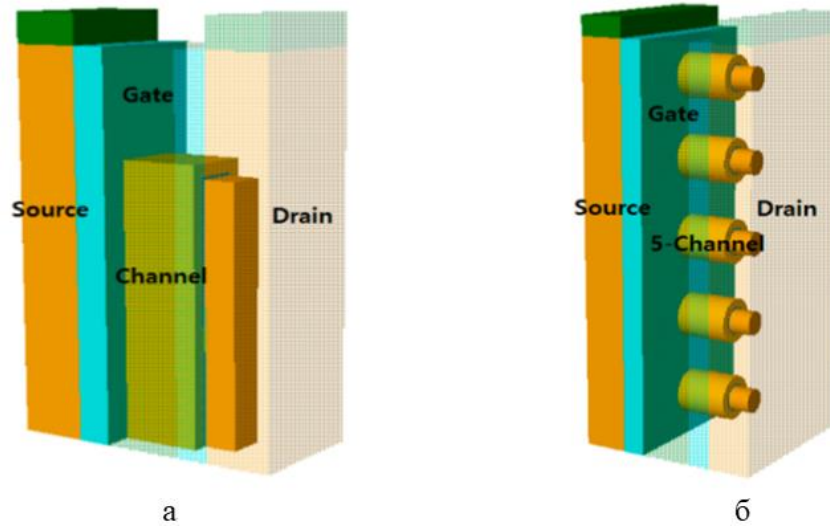


Рис. 1.3. Транзисторні структури SOI TG FinFET (а) та SOI GAA NWFET (б) спроектовані за допомогою Silvaco TCAD [4]

## 2.1 Методика проєктування в Silvaco TCAD

Транзисторні структури можуть бути спроектовані в програмі Silvaco TCAD. Вона являє собою набір спеціальних програм, які пов'язані між собою (рис. 2.1).

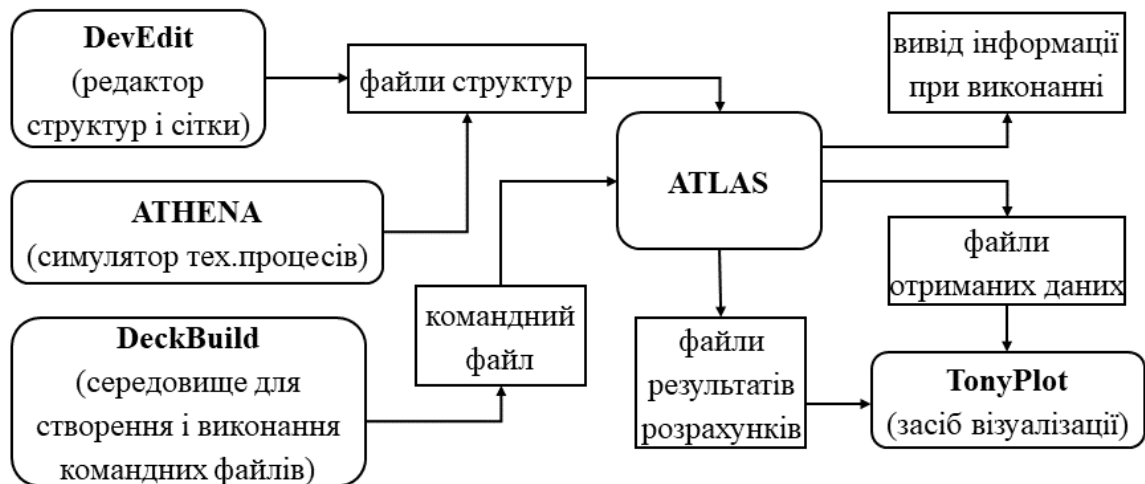


Рис. 2.1. Блок-схема основних складових набору засобів Silvaco TCAD

## 2.2 Проектування структурних моделей транзисторів

На даний момент головним аспектом є прогнозування поведінки експериментальних зразків пристроїв та оптимізація вже наявних технологічних рішень. Саме моделювання в TCAD умовно можна поділити на двовимірне (рис. 2.2а) та тривимірне (рис. 2.2б).

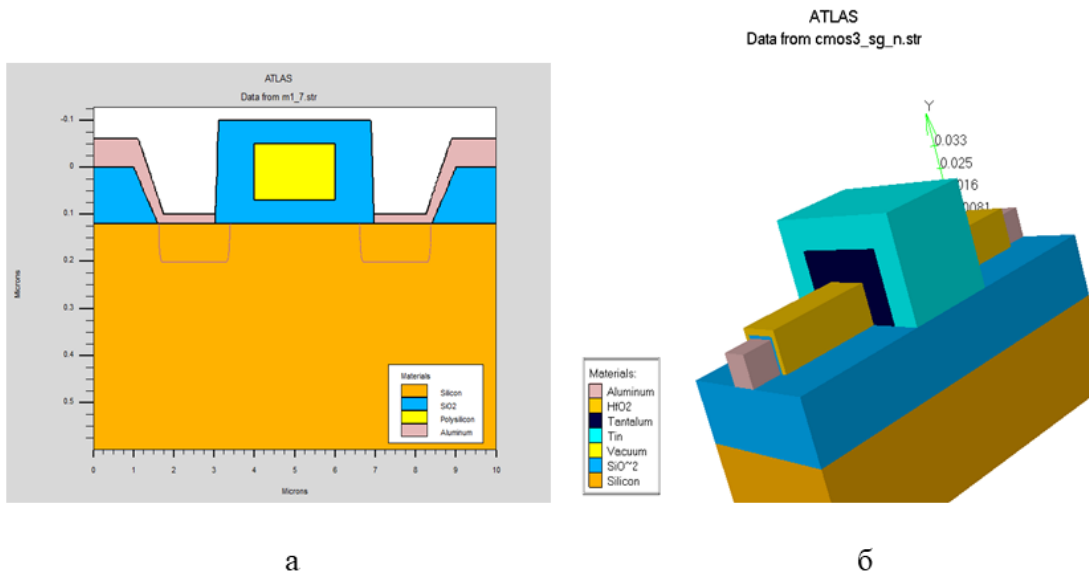


Рис. 2.2. Типові структури планарного (а) та тривимірного (б) польового транзистора

### 2.3 Особливості проектування інших електронних структур

Структури елементів інтегральних мікросхем можуть бути спроектовані в Silvaco TCAD або інших подібних програмних засобах по методиці, яку наведено на схемі що наведено на рис. 2.3.

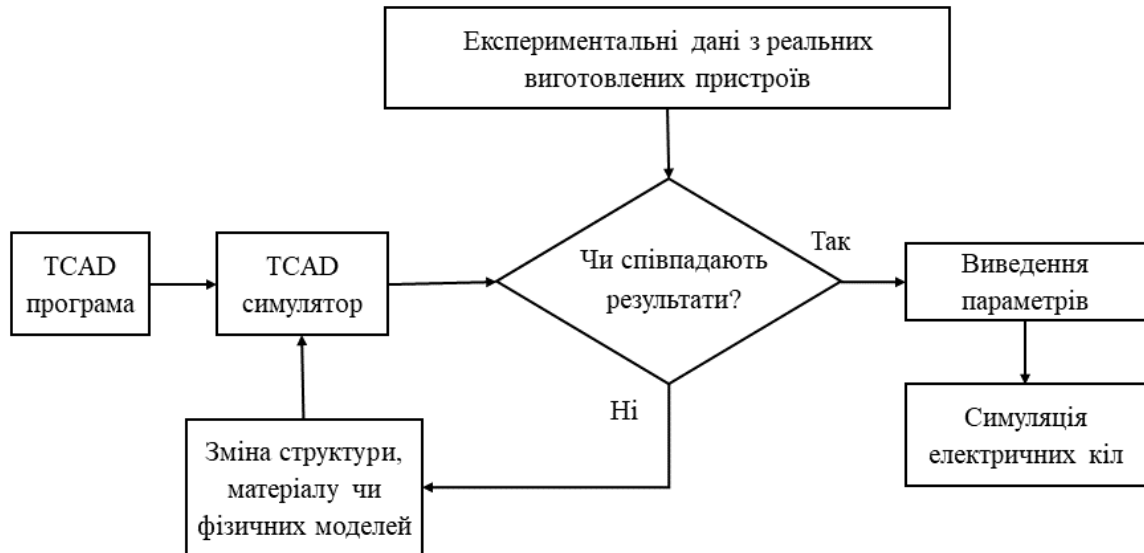


Рис.2.3. Алгоритм проектування в TCAD програмах



## 3.1 Структурні моделі SOI TG FinFET's

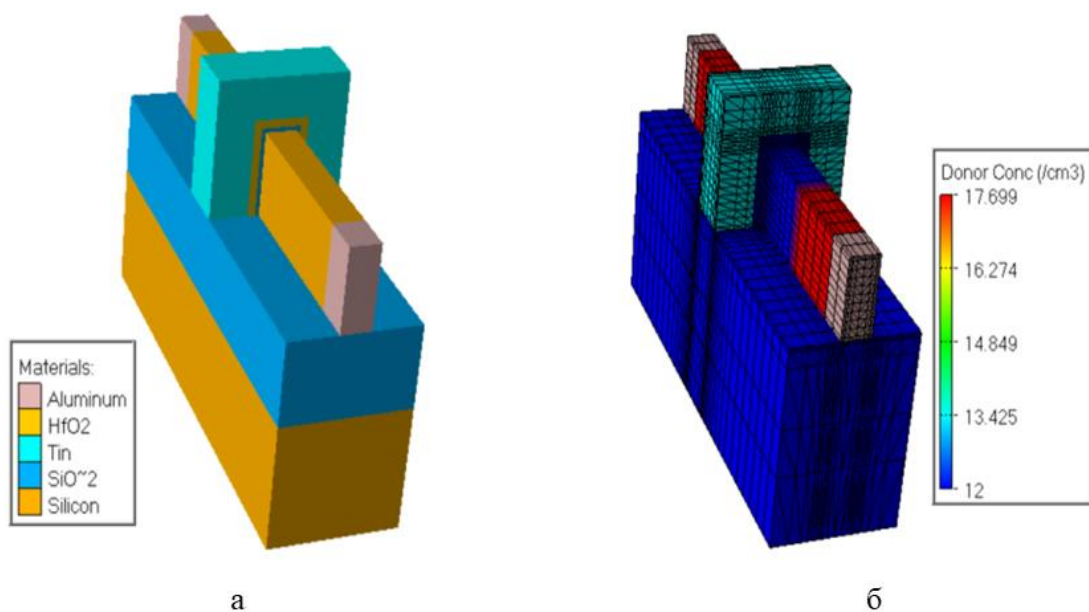


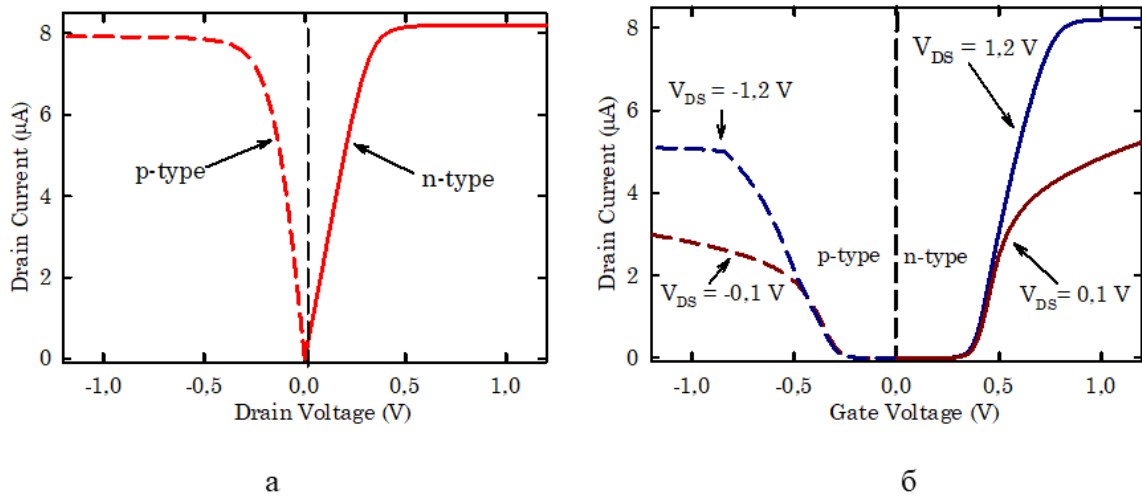
Рис. 3.1. Структура SOI TG n-FinFET (а) та концентраційний розподіл домішки в каналі (б)

Таблиця 3.1

## Вхідні параметри структур SOI TRI-GATE FinFET

Параметри пристрою	n-тип пристрою	p-тип пристрою
Концентрація домішок каналу, $\text{см}^{-3}$	$5 \cdot 10^{15}$	$5 \cdot 10^{15}$
Концентрація домішок біля стоку/витоку, $\text{см}^{-3}$	$5 \cdot 10^{17}$	$5 \cdot 10^{17}$
Довжина каналу(загальна/підзатворна), нм	30 / 14	30 / 14
Еквівалент товщини оксиду(EOT [6])	1,2	1,2
Ширина ребра, нм	20 / 8	20 / 8
Висота ребра, нм	50 / 20	50 / 20
Товщина шару відпаленого оксиду, нм	20	20
Товщина кремнієвої підкладки, нм	30	30
Значення ефективної роботи виходу (EWF), eV	4,40	4,85

## 3.1 Структурні моделі SOI TG FinFET's

Рис.3.2.  $I_{DS}$ - $V_{DS}$  (а) та  $I_{DS}$ - $V_{GS}$  (б) характеристики для SOI TG n- та p-FinFET структур

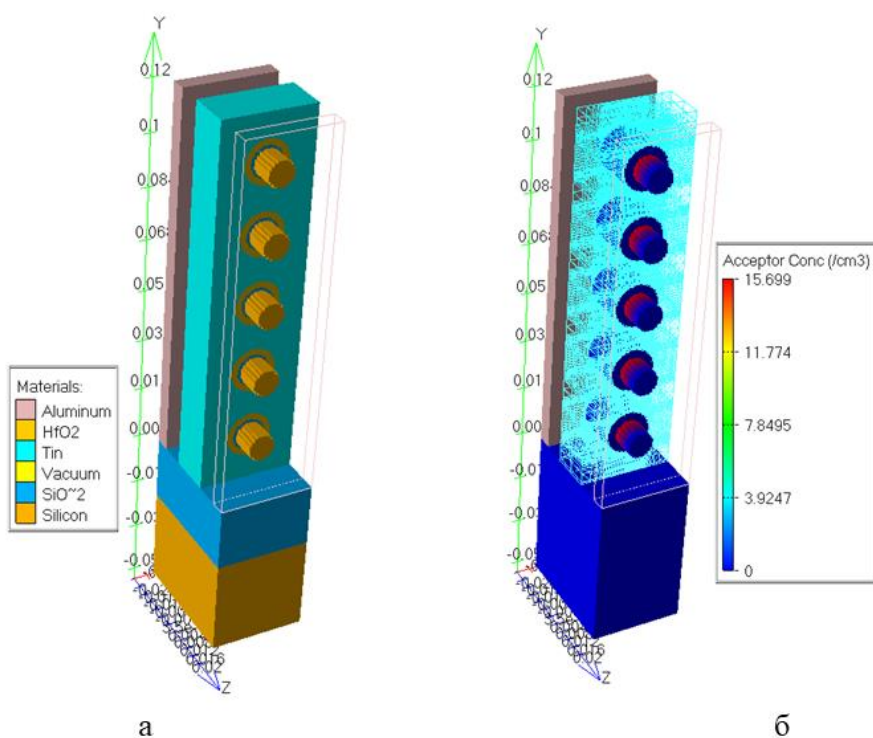


Рис.3.3. Структура SOI GAA NWFET (а) та відображення розподілу концентрації домішки в Si-каналі (б)

Таблиця 3.2

Параметри 5-канальної SOI GAA NWFET структури з круглим перерізом каналів та конфігурацією профілю легування  $5 \cdot 10^{15} \text{ см}^{-3}$  в об'ємі та  $5 \cdot 10^{15} \text{ см}^{-3}$  в приконтактних областях

Параметри	280К	300К	320К	340К	360К	380К	400К
Порогова напруга $V_t$ , В	0,400	0,389	0,372	0,360	0,342	0,326	0,309
Крутість прохідної характеристики(SS), мВ/декаду	57,7	62,0	66,1	70,2	74,3	78,4	82,5
Струм закритої структури $I_{off} \cdot 10^{10}$ , А	1085,92	5250,0	210,46	722,60	21,789	58,86	1,45
Струм відкритої структури $I_{on} \cdot 10^5$ , А	2,15	2,11	2,07	2,03	1,99	1,96	1,92
Коефіцієнт відношення струмів $(I_{on}/I_{of}) \cdot 10^{-5}$	198,3	40,3	9,9	2,8	0,9	0,3	0,1

1. За допомогою засобів технологічних систем автоматизованого проектування (TCAD) можна проводити моделювання електронних структур, результати якого добре узгоджуються з експериментальними даними, що були отримані при дослідженнях реальних створених пристроїв;
2. Структури SOI TG FinFET спроектовані та досліджені на вплив зміни величини EWF матеріалу затвора та геометрії моделі на їх робочі характеристики; більш кращі показники мають моделі із довжиною затвора 14 нм, ніж моделі із довжиною затвора 30 нм; проте в обох випадках фіксуються відносно високі величини DIBL, що пов'язано з обраними геометріями
3. Структури SOI GAA NW FET спроектовані та досліджені на вплив зовнішньої температури на їх робочі характеристики; більш кращі показники отримано для NW-канальних структур, ніж Fin-канальних структур; проте для структури SOI TG FinFET фіксуються менші зміни сили струму витоку  $I_{off}$  та коефіцієнта  $I_{on}/I_{off}$  при температурі 360 K відносно їх початкових значень при 300 K.
4. Запропоновані нами структури транзисторів демонструють допустимі величини підпорогового розкиду (SS), зниження бар'єру, що індукується стоком (DIBL), сили струму витоку  $I_{off}$  та коефіцієнта  $I_{on}/I_{off}$  та ін., з цієї причини отримані результати можуть бути застосовані у навчальному процесі при вивченні сучасних технологій виготовлення елементів ІМС.

1. 3D investigation of 8-nm tapered n-FinFET model / N. Boukourt, S. Patane, G. Crupi // *Silicon*.- 2019.- V. 11.- P. 253.
2. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / N. Boukourt et al. // *Silicon*.- 2017.- V. 9.- P. 885-894.
3. Atomic layer deposition (ALD) of metal gates for CMOS/ Zhao C., Xiang J.//*Appl. Sci.* – 2019. – V. 9. – P. 2388 (24pp).
4. Comparison of Various Factors Affected TID Tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // *Appl. Sci.* – 2019. – V. 9. – P.3163-3172.
5. Effects of high-k dielectrics with metal gate for electrical characteristics of SOI TRI-GATE FinFET transistor / F.Z. Rahou, A.G. Bouazza, B. Bouazza // *J. Nano Electron. Phys.*- 2016.- V. 8.- P. 4037.
6. Gate-All-Around Silicon Nanowire FET modeling / Chen X. // *School of Electrical & Electronic Engineering*.- Nanyang: Nanyang Technological University.- 2014.- 149 p.
7. Metal gate work function modulation mechanisms for 20-14 nm CMOS low thermal budget integration / B. Saidi // *Materials Science*. Universite Toulouse III – Paul Sabatier, 2014. -158p.
8. Investigation of Short Channel Effects (SCEs) and Analog/RF Figure of Merits (FOMs) of Dual-Material Bottom-Spacer Ground-Plane (DMBSGP) FinFET / Narendar V., Narware P., Bheemudu V. et al. // *Silicon*. – 2019. <https://doi.org/10.1007/s12633-019-00322-2>
9. Expanding role of predictive TCAD in advanced technology development / Wu J., Diaz C. H. // *2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*.- Glasgow: IEEE.- 2013.- P. 167-171.
10. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев, Е.Ю. Плотникова.- Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.
11. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.
12. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 241 p.

**ДЯКУЮ ЗА УВАГУ**