

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ
УКРАЇНИ СУМСЬКИЙ ДЕРЖАВНИЙ
УНІВЕРСИТЕТ**

Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

**ДО ВИПУСКНОЇ КВАЛІФІКАЦІЙНОЇ РОБОТИ МАГІСТРА НА
ТЕМУ:**

«БІНОМІАЛЬНИЙ ПРИСТРІЙ ДЛЯ ВИМІРЮВАННЯ ЧАСТОТИ»

Виконав студент

гр. ЕМ.м-91

Єрмаков М.С

Завідуючий кафедрою

Опанасюк А.С.

Консультант

з техніко-економічної частини

Маценко О.М.

Керівник

кваліфікаційної роботи

Борисенко О.А

2020 р.

Сумський державний університет
Кафедра «Електроніки і комп'ютерної техніки»
Спеціальність 8.171.00.10 «Електроніка»
Освітня програма «Електронні системи та компоненти»

Затверджую:

Зав.кафедрою ЕКТ

Опанасюк А.С.

“ _____ ” _____ 20__ р.

ЗАВДАННЯ

до випускної кваліфікаційної роботи магістра

Єрмакову Максиму Сергійовичу

Тема роботи : «**Біноміальний пристрій для вимірювання частоти**»

Затверджена наказом по університету від “6” листопада 2020 р. № 1751-III

Термін виконання роботи: 15 .12. 2020 р.

Технічне завдання: 1) розробити пристрій для вимірювання частоти в діапазоні від 0 до 100 кГц; 2) ймовірність виникнення помилки $P = 10^{-7}$ 3) для підвищення завадостійкості використати біноміальні коди; 4) робоча температура в межах від -20 до 70°C; 5) для схемної реалізації вузлів пристрою використати ПЛІС.

Зміст розрахунково-пояснювальної записки:

Вступ; огляд літератури ; науково-дослідна частина; розроблення електронного пристрою з використанням отриманих результатів дослідження; економічна частина.

Перелік графічного матеріалу: блок схема алгоритму; схема електрична структурна; схема електрична функціональна; схема електрична принципова.

Консультанти з кваліфікаційної роботи

Розділи	Консультанти	Завдання видав	Завдання прийняв
Техніко-економічна частина	Маценко О. М.		

Дата видачі завдання 20.09. 2020 р.

Керівник роботи _____

Завдання прийняв до виконання _____

КАЛЕНДАРНИЙ ПЛАН

№	Перелік етапів виконання роботи:	Термін виконання:
1	1.Огляд літератури та постановка задачі проектування	10.10. 2020 р.
2	Науково-дослідницька частина	20.10. 2020 р.
3	Розробка алгоритму функціонування	25.10. 2020 р.
4	Розробка та обґрунтування структурної схеми	30.10. 2020 р.
5	Розробка функціональної схеми	05.11. 2020 р.
6	Розробка та розрахунок принципової схеми	15.11. 2020 р.
7	Техніко-економічна частина	25.11. 2020 р.
8	Оформлення пояснювальної записки	30.11.2020 р.
9	Оформлення графічного матеріалу	10.12. 2020 р.
10	Представлення роботи на рецензування	15.12. 2020 р.

Студент _____

Керівник роботи _____

РЕФЕРАТ

Пояснювальна записка містить: сторінок 81, рисунка 36, таблиць 21, джерел літератури 12.

Об'єктом дослідження роботи є біноміальний пристрій для вимірювання частоти.

Мета роботи розробити цифровий частотомір на основі завадостійкого лічильника біноміальних кодів, який здатен працювати в умовах з високим рівнем завад.

Вимірювання частоти сигналів дуже часто використовується у виробництві. На результати вимірювання цифрових частотомірів, впливають завади які діють на внутрішні компоненти пристрою, через їх вплив може бути отримане значення яке не відповідає дійсному. Тому актуальним завданням є підвищення завадостійкості компонентів і приладів в цілому. В цифрових частотомірах основним вузлом, що відповідає за точність є лічильник. В більшості випадках в якості лічильника використовують двійкові лічильники, які мають досить прості за будовою, але вони зазвичай не мають пристрою контролю, який здатен виявляти і виправляти помилки, які виникають під впливом електромагнітного випромінювання. Для зменшення впливу завад на результати роботи електронних пристроїв використовують різноманітні методи, серед них: застосування індивідуальних згладжуючих конденсаторів, використання фільтрів, екранування. В даній роботі запропоновано використання лічильника біноміальних кодів, який здатен працювати в умовах з високим рівнем завад.

Ключові слова: завадостійкість, біноміальний, лічильники, частота, перешкоди.

ЗМІСТ

ВСТУП.....	6
1 ОГЛЯД ЛІТЕРАТУРИ	7
1.1 Способи вимірювання частоти і часових інтервалів.....	7
1.2 Алгоритми перешкодостійкого біноміального двійкового рахунку	8
1.3 Завадостійкі біноміальні лічильники	11
1.4 Огляд існуючих моделей частотомірів	14
1.5 Постановка задачі проектування.....	20
2 НАУКОВО-ДОСЛІДНА ЧАСТИНА.....	22
3 РОЗРОБЛЕННЯ ЕЛЕКТРОННОЇ СИСТЕМИ ЧИ ПРИСТРОЮ З ВИКОРИСТАННЯМ ОТРИМАНИХ РЕЗУЛЬТАТІВ ДОСЛІДЖЕННЯ.....	33
3.1 Розробка, обґрунтування алгоритму функціонування проектованого пристрою	33
3.2 Розробка структурної схеми проектованого пристрою	36
3.3 Розробка електричної функціональної схеми проектованого пристрою	38
3.4 Вибір елементної бази	40
3.5 Розроблення та розрахунок принципів електричних схем вузлів та блоків пристрою	48
3.6 Розробка програмного забезпечення проектованого пристрою	61
4 ТЕХНІКО ЕКОНОМІЧНА ЧАСТИНА.....	69
4.1 Розрахунок повної собівартості системи.....	69
4.2 Визначення ціни системи	76
4.3 Визначення річних витрат користувача.....	77
4.4 Розрахунок повної ціни користувача	79
4.5 Висновки з техніко-економічної частини.....	79
ВИСНОВОК.....	81
СПИСОК ЛІТЕРАТУРИ.....	82
ДОДАТКИ	

ВСТУП

У сучасному суспільстві в міру пізнання їм природи все більше зростає роль вимірювань. Відповідно безперервно збільшується обсяг вимірювальної інформації - інформації про значення вимірюваних фізичних величин, підвищуються вимоги до якості і способам її обробки і використання.

Найбільшого поширення в сучасній науці і техніці отримують цифрові вимірювальні прилади і перетворювачі, що використовуються для вимірювань, дистанційної передачі вимірювальної інформації, як проміжні перетворювачів для введення інформації в цифрові обчислювальні машини та ін.

Основні вимоги, що пред'являються до засобів вимірювань - це висока точність; швидкодія; можливість автоматизації процесу вимірювань; представлення результатів вимірювань в формі, зручній для обробки, в тому числі за допомогою ЕОМ; малі габарити і вага; висока надійність та завадостійкість.

Розв'язати проблему поєднання точності та швидкодії дозволили цифрові прилади. Цифровими вимірювальними приладами називаються прилади, що здійснюють автоматично в процесі вимірювання операції квантування вимірюваної величини, її цифрове кодування і представлення результатів вимірювання в цифровій формі безпосередньо у вигляді числа або коду. Але використання у цифрових пристроях звичайних двійкових кодів не захищає їх від завад, тому для підвищення параметру завадостійкості доцільно використовувати завадостійкі коди[1,2]. До цього класу завадостійких кодів належать біноміальні системи числення розроблені на їх основі пристрої завадостійкі і мають однорідну структуру, тому що вони не містять спеціального контролюючого пристрою, хоча все ж вони мають апаратну надлишковість у порівнянні з пристроями на основі двійкових кодів, проте на даний час проблеми з надлишковістю не вважаються значними за рахунок значного технічного розвитку.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						6
Змн.	Арк.	№ докум.	Підпис	Дата		

1 ОГЛЯД ЛІТЕРАТУРИ

1.1 Способи вимірювання частоти і часових інтервалів

Вимірювання частоти широко використовується в радіотехніці, зв'язку, навігації, телекомунікації та інше. Вимірювання частоти це одне з найбільш точних вимірювань на даний момент, тому що існують високоточні стандарти частоти (нестабільність частоти $\sim 10^{-13}$). Частотні сигнали мають гарну перешкодозахищеність і вимірювання виконуються з отриманням результату в дискретної формі. Це сприяє широкому застосуванню частотних сигналів і цифрових частотомірів.

Розглянуто цифрові методи вимірювання частоти - прямого (послідовного) рахунки вимірювання частоти за ціле число періодів зразковою або вимірюваної частоти. Показані максимальні методичні похибки дискретизації при застосуванні цих методів.

Методи зниження методичної похибки, які використовуються при вимірюванні частот цифровими методами. Виявлено ряд найбільш поширених методів. Метод синхронізації початку зразкового інтервалу часу з початком першого періоду вимірюваної частоти дозволяє зменшити в два рази методичну похибку.

Метод розтягування (одноразова розтяжка) інтервалу часу (залишку), який визначається різницею в положення імпульсів зразкової частоти з вимірювальним інтервалом часу. Розтягування даного інтервалу часу здійснюється за рахунок перетворення час-напруга-час.

Метод порозрядної оцінки (багаторазової розтяжки), здійснюється наступним чином, при використанні n -розрядної системи обчислення, підраховують число періодів зразкової частоти протягом n періодів вимірюваної частоти. При цьому залишок розтягують в n раз, потім розтягнутий залишок заповнюють періодами зразкової частоти, отримують другий залишок, який розтягують в n раз і так далі до тих пір, поки не буде досягнута необхідна точність.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						7
Змн.	Арк.	№ докум.	Підпис	Дата		

Ноніусний метод вимірювання інтервалів часу заснований на поєднанні імпульсів зразкової частоти і імпульсів ноніусної частоти, початок яких зрушені один щодо одного на тривалість вимірюваного інтервалу, а період зразкової частоти відрізняються від періоду ноніусної частоти на необхідне значення ступені квантування.

Метод затриманих збігів полягає в наступному - тривалість імпульсів зразкової частоти задають рівній $1/n$ тривалості періоду зразкової частоти. Подають імпульси зразкової частоти на n паралельно включених елементів «І» та $n-1$ послідовно включених ліній затримки, виходи яких підключені до елементів «І», таким чином, період зразкової частоти розбивають на n рівних інтервалів. Коректують результат вимірювання відповідно до номерами елементів «І», які спрацювали в момент початку і кінця вимірювання. Методична похибка зменшена в n раз.

Метод збігу, суть якого полягає в тому, що формують імпульси вимірюваної і зразкової частоти із заданою тривалістю, підраховують періоди вимірюваної і зразкової частоти за інтервал часу між моментами збігу імпульсів вимірюваної і зразкової частот. Показано, що абсолютна методична похибка знижена до сумарної тривалості імпульсів вимірюваної і зразкової частот.

1.2 Алгоритми перешкодостійкого біноміального двійкового рахунку

Алгоритми працюють в біноміальній двійковій системі числення [3] і призначені для завадостійкого біноміального рахунку. Їх застосування доцільно в системах телеавтоматики з наскрізним контролем помилок, в спеціалізованих перешкодостійких перетворювачах інформації, в генераторах і нумератора поєднань. На їх основі можлива реалізація перешкодостійких лічильників зі зваженими кодами.

Кількісний еквівалент кодової комбінації n -розрядної k -біноміальної системи числення $A_j = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1 \dots, P - 1$ визначається виразом

$$A_j = a_{j-1}C_{n-1}^{r-q_j} + \dots + a_l C_{n-j+l}^{k-q_{l+1}} + \dots + a_0 C_{n-j}^{k-q_l} \quad (1.1)$$

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						8
Змн.	Арк.	№ докум.	Підпис	Дата		

при дотриманні систем обмежень:

$$q_0 = k, \quad (1.2)$$

$$j < n, \quad (1.3)$$

$$n - k = j - q_0, \quad (1.4)$$

$$q_0 < k, \quad (1.5)$$

$$1 \leq k \leq n, \quad (1.6)$$

де $P = C_n^k$ - діапазон чисел;

n - кількість розрядів біноміального числа;

q_l - сума одиничних значень цифр від $(j - 1)$ -го розряду до l -го включно:

$$q_l = \sum_{i=1}^j a_i,$$

$$q_j = a_j = 0$$

де $l = 0, 1, \dots, j - 1$ - порядковий номер розряду;

k - контрольне число, що визначає допустиму кількість одиниць в кодової комбінації;

$$n = P + 1$$

Обмеження (1.2), (1.3), (1.4), (1.5) показують, що довжина j біноміальних

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						9
Змн.	Арк.	№ докум.	Підпис	Дата		

чисел знаходиться в межах $n - k \leq j \leq n - 1$, і біноміальне число містить або k одиниць, або $n - k$ нулів. Причому в першому випадку це число в кінці містить 1, а в другому - 0. Комбінація, в якій наведені умови порушені, є помилковою.

Наприклад, комбінації 00, 01111, 0110 при $n = 6, k = 4$ є біноміальними, так як перша і третя містять по 2 нуля, а друга - 4 одиниці, причому в 1-й і 3-й комбінаціях в кінці стоїть 0, а в другій - 1. Комбінація 00111 є помилковою, так як хоча і містить 2 нуля, але закінчується 1.

Зазначені обмеження спільно з виразом (1.1) призводять до наступним алгоритмом рахунку біноміальних чисел:

- 1 У початковому стані всі розряди лічильника встановлені в нуль;
- 2 Заноситься 1 в $(k - i - 1)$ -й розряд, де i - число одиниць в лічильнику;
- 3 Якщо число одиниць в лічильнику більше k , то сталася помилка;
- 4 Якщо число одиниць в лічильнику рівне k і вони не розташовані в k старших розрядах, то всі молодші одиничні розряди до першого нульового встановлюються в 0, а перший нульовий - в 1;
- 5 Якщо число одиниць в лічильнику менше k , то відбувається перехід до пункту 2.
- 6 Якщо число одиниць в лічильнику рівне k і вони розташовані в k старших розрядах, то цикл рахунку закінчено. Повернення до пункту 1 (див. табл. 1.1)

Таблиця 1.1 - Стани 5-розрядного 4-біноміального лічильника

№	Біноміальне число	Кількісний еквівалент
0	00	$0 \cdot C_5^4 + 0 \cdot C_4^4$
1	010	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$
2	0110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
3	01110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
4	01111	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
5	100	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$
6	1010	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
7	10110	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
8	10111	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$

№	Біноміальне число	Кількісний еквівалент
9	1100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$
10	11010	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
11	11011	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
12	11100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 0 \cdot C_1^1$
13	11101	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 1 \cdot C_1^1$
14	1111	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2$

1.3 Завадостійкі біноміальні лічильники

Розглянемо роботу одного з біноміальних лічильників [3]. Він характеризується двома основними параметрами - числом розрядів n і контрольним числом k . При цьому зміна станів біноміального лічильника відбувається за такими правилами: в початковому стані всі розряди лічильника встановлені в нуль; заноситься одиниця в $(k - i)$ -й розряд, де i - число одиниць в лічильнику; якщо число одиниць в лічильнику рівне k і вони не розташовані в k старших розрядах, то молодші одиничні розряди до першого старшого нульового встановлюються в нуль, а перший старший нульовий - в одиницю; якщо число одиниць в лічильнику рівне k і вони розташовані в k старших розрядах, то цикл рахунку закінчено. Повернення до початку.

Число станів лічильника визначається числом сполучень одиниць з $(n + 1)$ елементів:

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!}$$

Стану лічильника для $k = 4$ для числа розрядів $n=5$ в порядку зростання наведені в табл. 1.2. Їх число $C_6^2 = C_6^4 = 15$.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						11
Змн.	Арк.	№ докум.	Підпис	Дата		

Таблиця 1.2 – Стани лічильника для $k = 4$

№	Розряд	№	Розряд	№	Розряд	№	Розряд
	5 4 3 2 1		5 4 3 2 1		5 4 3 2 1		5 4 3 2 1
0	0 0 0 0 0	4	0 1 1 1 1	8	1 0 1 1 1	12	1 1 1 0 0
1	0 1 0 0 0	5	1 0 0 0 0	9	1 1 0 0 0	13	1 1 1 0 1
2	0 1 1 0 0	6	1 0 1 0 0	10	1 1 0 1 0	14	1 1 1 1 0
3	0 1 1 1 0	7	1 0 1 1 0	11	1 1 0 1 1		

Робота біноміального лічильника полягає в наступному (див. рис. 1.1). При параметрах $n = 5$, $k = 4$ у початковому стані всі тригери 2.1 -2.5 лічильника встановлені в нуль. На нульовому виході суматора 7.1 присутній сигнали логічної одиниці, який поступає на елемент І 8.1, який відкритий одиничним сигналом з елемента НІ 11.1, потім проходить скрізь елемент АБО 6.3 на вхід елемента І 4.4, на всіх інших виходах суматора 7.1 будуть нульові сигнали. Оскільки з одиничного виходу тригера 2.4 поступає нульовий сигнал на елемент АБО 1.4, то елемент І 5.4 закритий нульовим сигналом, а елемент І 4.4 відкритий одиничним сигналом з елемента НІ 3.4. Тому тактовий сигнал, що поступає на вхідну шину 12, встановлює тригер 2.4 в одиничний стан 01000, відповідно на першому виході суматора 7.1 з'являється одиничний сигнал, який поступає на елемент І 8.2, який відкритий одиничним сигналом з елемента НІ 11.1, далі поступає на елемент АБО 6.2, який дає дозвіл елементу І 4.3 на установку в одиничний стан тригера 2.3, тобто лічильник по закінченню тактового імпульсу переходить в стан 01100. Аналогічно отримано стан 01110. На третьому виході суматора 7.1 з'являється одиничний сигнал, який поступає на елемент І 8.4, який відкритий одиничним сигналом з елемента НІ 11.1, далі поступає на елемент І 4.1, який дає дозвіл на установку в одиничний стан тригера 2.1, з одиничного виходу тригера 2.1 нульовий сигнал поступає через елемент І 10.1 на вхід елемента АБО 1.4, елемент І 5.1 закритий нульовим сигналом, а елемент І 4.1 відкритий одиничним сигналом з елемента НІ 3.1 таким чином тригер 2.1 встановлюється в одиничний стан – 01111.

Оскільки при стані лічильника 01111 тригер 2.1 знаходиться в одиничному стані і, отже, на виході елемента АБО 1.1 і вході елемента І 5.1 є "1", то наступний тактовий сигнал встановлює тригер 2.1 в "0" і з виходу елемента І 5.1 проходить на вхід елемента І 5.2, і скидає його в нуль. Аналогічно скидання тригерів

розповсюджується до тригера 2.5. Оскільки він знаходиться в нулі, то елемента АБО 1.5 видає "0" і через елемент НІ 3.5 дозволяє сигналу скидання встановити його в "1", тобто отримують стан 10000. При цьому на першому виході суматора 7.1 присутній одиничний сигнал. Цей сигнал через елементи І 8.2, АБО 6.2 і І 4.3 встановлює тригер 2.3 в "1", в результаті лічильник знаходиться в стані 10100. За наступним тактовим імпульсом за аналогією з вищеописаним відбувається заповнення "1" другого і першого розрядів лічильника. В результаті отримують наступні стан: 10110 і 10111. За наступному тактовим імпульсом відбувається скидання в "0" тригерів 2.1 - 2.3 і записується "1" в тригер 2.4 - 11000. Потім процес запису "1" в молодші розряди повторюється - 11100, 11110. У стані лічильника 11110 на 4-му виході суматора 7.1 з'являється одиниця. Вона дозволяє проходження актового імпульсу через елементи І 9.1, АБО 1.1, І 5.1 на вхід установки в "0" тригер 2.1 і подальше його розповсюдження через елементи І 5.2 - 5.5. В результаті лічильник переходить в початковий (нульовий) стан (00000).

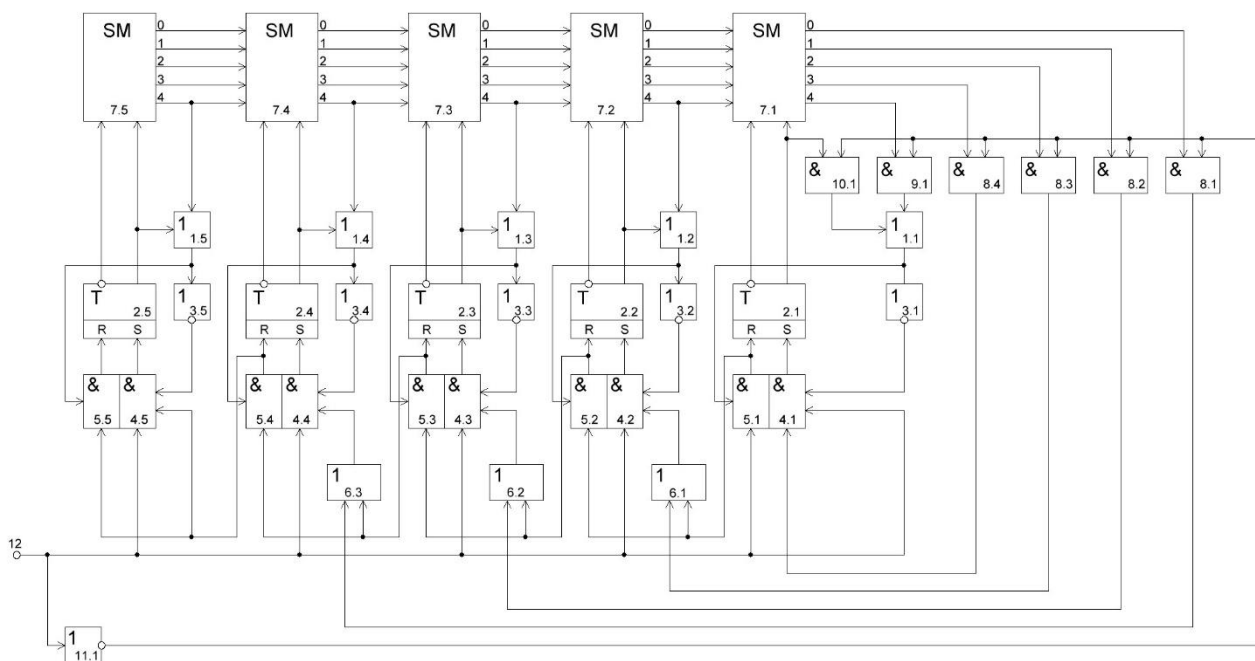


Рисунок 1.1 - Схема біноміального лічильника для $n = 5$ і $k = 4$

Помилки в лічильнику виявляються при перевищенні кількості одиниць в його розрядах величини k . Тип помилок $0 \rightarrow 1$. В розглянутому прикладі

лічильника з $k = 4$ помилковим станом що виявляється буде 11111. Будь-яка чотириразова помилка в ньому буде помічена. У той же час одноразова помилка зазначеного виду буде показана для 30% (5) комбінацій: 01111, 10111, 11011, 11101, 11110. Якщо врахувати, що помилки в лічильниках виникають переважно у вигляді пакетів і носять характер $0 \rightarrow 1$, то його здатність до виявлення помилок для ряду застосувань можна вважати цілком задовільною. Її можна значно збільшити, зменшивши k і відповідно - коефіцієнт перерахунку. За умови, що $k = 1$, будь-які помилки типу $0 \rightarrow 1$ будуть виявлені, а сам лічильник перетворюється в перешкодостійкий розподільник імпульсів.

У разі необхідності виявляти помилки типу $1 \rightarrow 0$ в лічильник необхідно ввести додаткові елементи, що враховують обмеження (4, 5), відповідно до яких біноміальна комбінація може містити не більше $n - k$ нулів, останній з яких повинен бути в кінці. Тому якщо перед останньою одиницею в комбінації табл. 2 знаходиться $n - k$ і понад нулів, то сталася помилка типу $1 \rightarrow 0$. Наприклад, комбінація 00110 буде сприйнята як помилкова. Причому з ростом k виявна здатність лічильника до помилок $1 \rightarrow 0$ зростає. При $k = n - 1$ будь-який перехід $1 \rightarrow 0$, за винятком збою останньої одиниці комбінації, буде виявлений. Це дозволяє зміною коефіцієнта перерахунку лічильника налаштовувати його на певний характер перешкод, отже виробляти адаптацію до них.

1.4 Огляд існуючих моделей частотомірів

Першим наведемо приклад схеми простого цифрового частотоміра [4]. Частотомір зібраний на МОН-елементній базі, живиться від двополярного лабораторного джерела і розрахований на роботу в радіоаматорського лабораторії. Прилад зроблений за традиційною схемою: вхідний сигнал перетвориться в імпульси і надходить на вхід лічильника, лічильником і входом управляє вузол управління, який встановлює час рахунку 1 секунда і час індикації 2 секунди, а також виробляє обнуління лічильника після кожного циклу і управляє індикацією.

Принципова електрична схема показана на рисунку 1.2. Вхідний формувач імпульсів виконаний на операційному підсилювачі А1 Імпульси на вхід лічильника

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						14
Змн.	Арк.	№ докум.	Підпис	Дата		

Генератор секундних імпульсів виконаний на мікросхемі D3 включеної за типовою схемою з кварцовим резонатором. Можна використовувати будь-які світлодіодні семисегментний індикатори із загальним катодом.

Другий приклад схеми частотоміра наведений на рисунку 1.3 [5]. Сигнал вимірюваної частоти подається на вхід частотоміра-контакт 1 Вх. Резистор R1 і діоди VD1 і VD2 захищають вхідні кола приладу від перевантажень. При вимірах частоти менше 2,5 МГц сигнал через перемикач SA2.2 надходить на вхід формуючого пристрою, зібраного на елементах D2.1-D2.4 і D1.3. У каскадах формуючого пристрою сигнал по черзі посилюється і обмежується, що необхідно для отримання крутих фронтів, здатних впливати на наступні цифрові мікросхеми. З виходу формуючого пристрою сигнал прямокутної форми через діод VD5 подається на вхід 13 елемента D1.4, який виконує функції клапана.

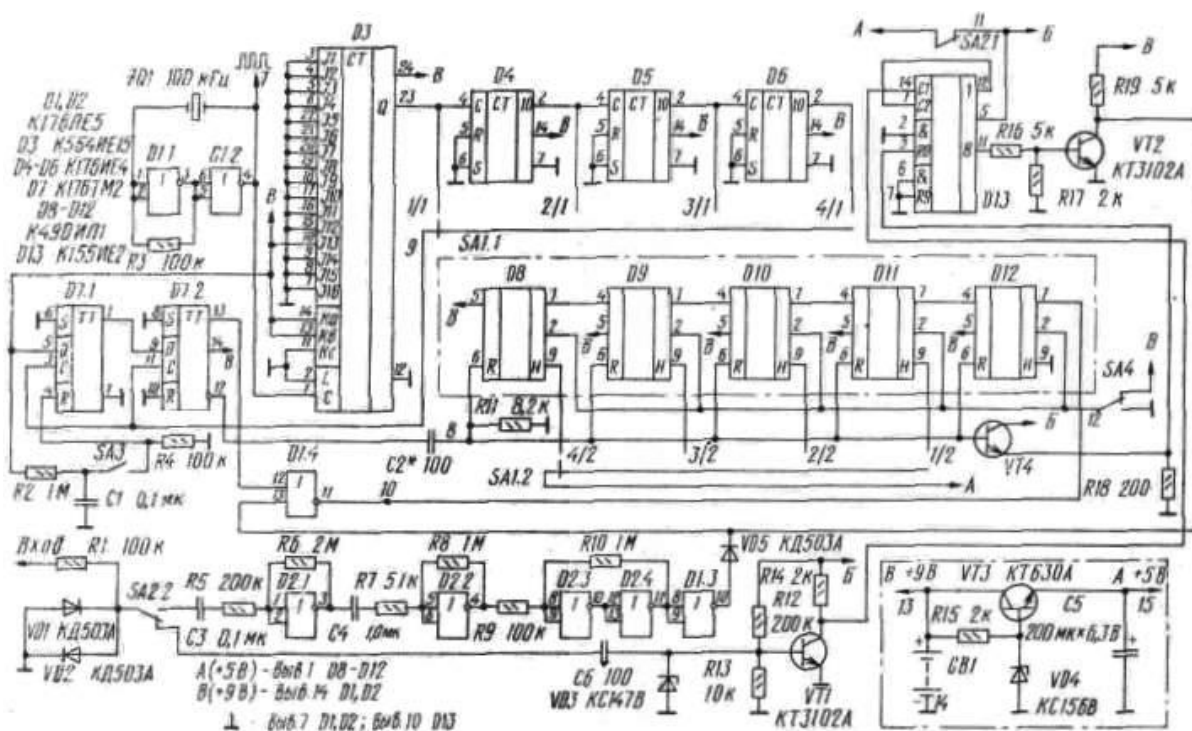


Рисунок 1.3 – Принципова електрична схема кишенькового частотоміра

При вимірах частоти більше 2,5 МГц в положенні перемикача SA2, показаному на схемі, сигнал надходить на іншу гілку формуючого пристрою, яка

містить підсилювач-обмежувач на транзисторі VT1 з стабілітроном VD3, дільник частоти на 10, в якості якого використовується мікросхема D13, і каскад сполучення логіки ТТЛ з КМОН на транзисторі VT2. З колектора цього транзистора сигнал надходить також на клапан D1.4. Діод VD5 охороняє вихід елемента D1.3 від впливу сигналу, що надходить з колектора VT2.

Генератор опорної частоти 100 кГц виконаний на елементах D1.1 і D1.2 з кварцовим резонатором за звичайною схемою. Кварцовий резонатор ZQ1 включений в ланцюг позитивного зворотного зв'язку з виходу D1.2 на вхід D1.1. Резистор R3 виводить елемент D1.1 в активний режим. Імпульси з частотою проходження 100 кГц надходять на дільник частоти з коефіцієнтом ділення 106, який виконаний на мікросхемах D3-D6. Мікросхема D3 є дільником частоти із змінним коефіцієнтом ділення і використовується в режимі поділу частоти вхідного сигналу в 1000 разів. На виході мікросхеми (вихід 23) утворюються імпульси з частотою повторення 100 Гц (період повторення 10 мс). Далі йдуть три десяткових лічильника D4, D5 і D6, на виходах яких частота повторення імпульсів відповідно становить 10 Гц (100 мс), 1 Гц (1 с) і 0,1 Гц (10 с). Залежно від положення перемикача діапазонів SA1.1 імпульси з періодом повторення 10 мс, 100 мс, 1 с або 10 с подаються на пристрій управління.

Пристрій управління містить два D-тригера D7.1 і D7.2, а також клапан D1.4. При натисканні кнопки SA3 відбувається установка першого тригера в стан "0", при якому на його прямому виході і пов'язаному з ним вході D другого тригера встановлюється низький потенціал. Перший же надходить після цього позитивний фронт імпульсу, що приходить з перемикача SA1.1, встановлює тригер D7.2 в стан "0". При цьому на його інверсному виході встановлюється високий потенціал, фронт якого після диференціювання осередком C2, R11 встановлює на нуль лічильники-індикатори D8-D12. Низький потенціал на прямому виході надходить на один з входів клапана D1.4, відкриваючи його для вступників на другий вхід імпульсів сигналу. З виходу клапана імпульси сигналу подаються на лічильник-індикатор.

Той же позитивний фронт імпульсу з перемикача SA1.1 переводить тригер D7.1 в стан "1", завдяки чому на його прямому виході утворюється високий потенціал, який подається на вхід D другого тригера, не змінюючи його стану.

					<i>ЕЛТ 8.171.00.10.002 ПЗ</i>	<i>Арк.</i>
						17
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

Через період обраного інтервалу часу перемикачем SA1.1 на керуючий пристрій надходить другий позитивний перепад напруги (негативний перепад в середині періоду, вступаючи на входи С тригерів, не змінює їх стану). На стан першого тригера цей перепад не впливає, так як тригер вже знаходиться в стані "1". Другий же тригер переводиться також в стан "1", з його прямого виходу на керуючий вхід клапана надходить високий потенціал, завдяки якому клапан закривається, імпульси сигналу перестають надходити на лічильник-індикатор, рахунок припиняється, на індикаторі висвічується значення частоти сигналу.

Лічильник-індикатор зібраний з п'яти мікросхем, кожна з яких містить лічильник імпульсів по модулю 10, дешифратор та семисегментний світлодіодний цифровий індикатор з комою, яка включається по одному з входів 9 в залежності від положення перемикача SA1.2. Показання індикатора зчитуються в кілогерцах. За допомогою тумблера SA4 в процесі між відліками індикацію можна виключати, чим досягається економія енергії елемента живлення. На межі вимірювання 10 МГц, коли перемикач SA2 знаходиться в положенні, показаному на схемі, показання індикатора необхідно множити на 10. При цьому для отримання всіх п'яти значущих цифр необхідно встановити перемикач діапазонів в положення, відповідне межі вимірювання в 1 МГц (999,99 кГц). Межа вимірювання частоти можна збільшити ще в 10 раз, до 100 МГц (99999 кГц), якщо використовувати ще один високочастотний дільник частоти на 10.

На відміну від звичайно використовуваних схем цифрових частотомірів в даній схемі вимірювання частоти проводиться одноразово, протягом тільки одного періоду нормованого інтервалу часу. Третій і наступні позитивні перепади напруги, що надходять на керуючий пристрій, не змінюють стану тригерів і клапана. Тому вимірний кількість імпульсів сигналу висвічується індикатором постійно. Для повторного вимірювання-слід знову натиснути пускову кнопку SA3, після чого процес повторюється.

Третій приклад схеми частотоміра наведений на рисунку 1.4, розглянемо його роботу [6]. Вхідний сигнал через конденсатор С4 надходить на базу транзистора VT1, який підсилює вхідний сигнал до рівня, необхідного для нормальної роботи мікросхеми DD2. Мікросхема DD2 193IE3 є високочастотний дільник частоти, коефіцієнт ділення якого дорівнює 10. З огляду на те що в

					<i>ЕЛІТ 8.171.00.10.002 ПЗ</i>	<i>Арк.</i>
						18
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

використовуване мікроконтролері K1816BE31 максимальна частота рахункового входу $T1 f = f_{KB} / 24$, де f_{KB} - частота використовуваного кварцу, а в частотомірі $f_{KB} = 8,8672$ МГц, сигнал з високочастотного дільника надходить на додатковий дільник частоти, який представляє собою десятковий лічильник DD3. Процес вимірювання частоти починається з обнуління дільника DD3, сигнал скидання якого надходить з виведення 12 мікроконтролера DD4. Сигнал дозволу проходження вимірюваного сигналу на десятковий дільник надходить з виходу 13 DD4 через інвертор DD1.1 на вхід 12 DD1.3.

Після закінчення фіксованого інтервалу часу вимірювання на виході 13 DD4 з'являється високий рівень, який через інвертор DD1.1 забороняє проходження вимірюваного сигналу на дільник DD3, і починається процес перетворення накопичених імпульсів часу в частоту, а також підготовка даних для виведення на індикацію.

Даний прилад має можливість роботи як в високочастотному, так і в низькочастотному діапазоні. При роботі в низькочастотному діапазоні перемикач S1 необхідно встановити у верхнє положення і сигнал подавати на вхід 2 (вихід 9) плати частотоміра. Програма роботи мікроконтролера знаходиться в ПЗУ DD8, мікросхема DD5 використовується для мультиплексування адрес мікроконтролера.

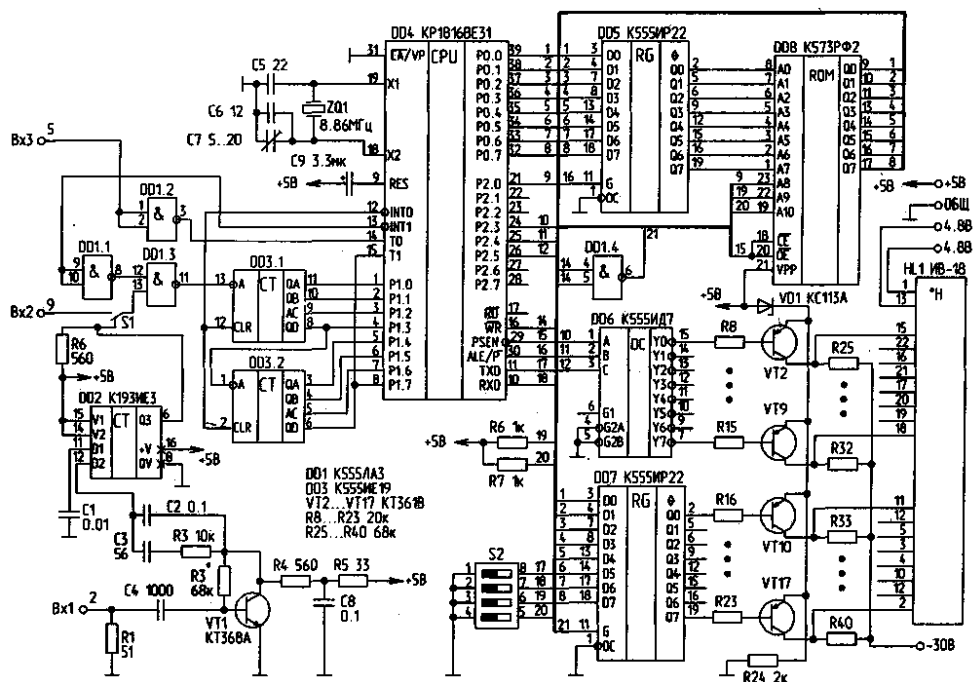


Рисунок 1.4 – Принципова електрична схема частотоміра з використанням мікроконтролера

При використанні даного приладу в якості цифрової шкали на вхід 22 DD8 необхідно за допомогою перемикача S2.3 подати високий рівень. Вибір значення ПЧ проводиться шляхом з'єднання висновків 10,11 мікросхеми DD4 з землею. Вхід 3 плати частотоміра призначений для включення обраної проміжної частоти (наприклад при переході з прийому на передачу). Під час роботи приладу в режимі цифрової шкали молодші розряди індикатора показують сотні герц. Роботі приладу в режимі цифрової шкали відповідає інша прошивка ПЗУ.

Даний частотомір, має цілу низку переваг у порівнянні з попередніми:

- сучасна дешева і легко доступна елементна база;
- максимальна вимірювана частота - 200 МГц;
- поєднання в одному приладі частотоміра і цифрової шкали;
- можливість збільшення максимальної вимірюваної частоти до 1,2 ГГц при незначного доопрацювання вхідних частини приладу;

1.5 Постановка задачі проектування

За результатом огляду технічної літератури сформулюємо задачу проектування пристрою що розробляється.

На результати вимірювання цифрових частотомірів, впливають завади які діють на внутрішні компоненти пристрою, через їх вплив може бути отримане значення яке не відповідає дійсному. Тому актуальним завданням є підвищення завадостійкості компонентів і приладів в цілому. В цифрових частотомірах основним вузлом, що відповідає за точність є лічильник. В більшості випадках в якості лічильника використовують двійкові лічильники, які мають досить прості за будовою, але вони зазвичай не мають пристрою контролю, який здатен виявляти і виправляти помилки, які виникають під впливом електромагнітного випромінювання. Для зменшення впливу завад на результати роботи електронних пристроїв використовують різноманітні методи, серед них: застосування

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						20
Змн.	Арк.	№ докум.	Підпис	Дата		

індивідуальних згладжуючих конденсаторів, використання фільтрів, екранування. В даній роботі буде розроблений біноміальний пристрій для вимірювання частоти, який здатен працювати в умовах з високим рівнем завад.

Технічні вимоги до проєктованого пристрою:

- напруга живлення, В $5 \pm 0,1$
- напруга вхідного сигналу, мВ 100-700
- похибка вимірювань, % 0,001
- максимальна вимірювана частота, кГц 100
- споживаний струм в режимі вимірювання, мА 500
- діапазон робочих температур, С ° -20 ... +70
- відносна вологість повітря, не більше, % 80

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						21
Змн.	Арк.	№ докум.	Підпис	Дата		

2 НАУКОВО-ДОСЛІДНА ЧАСТИНА

Забезпечення високої точності передання інформації, завжди було одним з основних завдань електронної техніки. У цій роботі буде досліджено завадостійка передача результатів числового виміру інформації при вимірюванні частоти за допомогою біноміального пристрою для вимірювання частоти. Для пристроїв такого типу важливим параметром є підвищення якості зчитування-передачі інформації, тому доцільно використовувати завадостійкі коди для кодування десяткових цифр, які містять в собі інформацію про вимірювання. В даній дипломній роботі застосовуються біноміальні коди, які мають просту структуру і одночасно з цим мають добру завадостійкість як і в симетричних каналах передачі інформації, так і в несиметричних. Кодові комбінації біноміальних кодів в даній роботі мають довжину в чотири розряди, максимальна кількість одиниць в яких рівна двом. Перевищення кількості одиниць і в кодовій комбінації вказує на те, що сталася помилка. Проте визначення рівня завадостійкості двійково-десяткових біноміальних кодів залишається актуальним і тому вони вимагають більш детальних подальших досліджень. Дана частина роботи, направлена на проведення даної оцінки. Вона дасть можливість більш детально провести оцінку ефективності роботи по вимірюванню даних пристрою, що розробляється на основі двійково-десяткових біноміальних кодів. Оцінка буде проведена за допомогою теоретичних розрахунків різних параметрів завадостійкості, результати яких будуть представлені у виді графіків. Оцінка буде проводитися для лічильника, що працює за алгоритмом біноміальних кодів, і який є основним компонентом пристрою, що розробляється. При розрахунку буде отримана математична модель знаходження ймовірності помилкового переходу отриманої біноміальної кодової комбінації. При розрахунку математичної моделі були враховані характерні риси притаманні біноміальним кодам. Буде отримано алгоритми для здійснення оцінки завадостійкості кодів, на основі результатів яких буде зроблено висновок, щодо завадостійкості двійково-десяткових біноміальних кодів.

В роботі [9] було представлено метод оцінки завадостійкості передачі даних за допомогою біноміальних кодів, кількість кодових комбінацій яких рівна M . Принцип роботи якої полягає в тому, що кодові комбінації, які будуть проходити по каналу зв'язку, можуть змінити своє значення, крім переходу в правильну

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						22
Змн.	Арк.	№ докум.	Підпис	Дата		

кодову комбінацію, в групу з $M - 1$ дозволених помилкових комбінацій, які не можуть бути виявленими, або в групу з $(N - M)$ заборонених кодових комбінацій, які можливо виявити, де N – загальна максимальна кількість всіх можливих кодових комбінацій.

Для оцінки завадостійкості біноміальних кодів запропоновано використати формули імовірностей переходів кодових комбінацій в ці класи [9].

Закодуємо двійково-десяткові цифри від 0 до 9 біноміальними кодovими комбінаціями довжини $n = 4$ з кількістю одиниць $k = 2$ (табл. 2.1).

Таблиця 2.1 – Кодування десятичових чисел біноміальними комбінаціями

№	Десятковий код	Біноміальний код
0	0000	0000
1	0001	0010
2	0010	0011
3	0011	0100
4	0100	0101
5	0101	0110
6	0110	1000
7	0111	1001
8	1000	1010
9	1001	1100

Проведемо дослідження завадостійкості коду, що досліджується. Для виконання дослідження необхідно:

- визначити загальну N та дозволону M кількість кодових комбінацій;
- визначити значення ймовірності V помилкових переходів, які не можуть бути виявленими, ймовірності Π правильного переходу та ймовірності Z помилкового переходу, які можливо виявити, для двійково-десяткових рівноважних кодових комбінацій при різних станах каналу зв'язку;
- оцінити ефективність біноміальних кодів в якості захисту інформації від завад.

Для початку розрахуємо загальну (N) та дозволену (M) кількість всіх можливих кодових комбінацій.

Загальна кількість всіх можливих двійкових кодових комбінацій довжиною $n = 4$ рівна:

$$N = 2^n = 2^4 = 16.$$

Кількість всіх можливих дозволених кодових комбінацій для біноміальних кодів з параметрами $n = 4$ та $k = 2$:

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!} = 10.$$

Для двійкових кодів дія перешкод на розряди кодових комбінацій може викликати різні наслідки у симетричних і несиметричних каналах зв'язку. Тому що у симетричних канал зв'язку ймовірність переходу під впливом перешкод нуля в одиницю (p_{01}) та одиниці в нуль (p_{10}) вони рівні, а в несиметричних вони відрізняються. В нашому випадку система каналу зв'язку є симетричний, а отже $p_{01} = p_{10}$.

Якщо відомі ймовірності переходів нуля в нуль p_{00} та одиниці в одиницю p_{11} , то ймовірності переходів нуля в одиницю та одиниці в нуль можна визначити наступним чином:

$$p_{01} = 1 - p_{00},$$

$$p_{10} = 1 - p_{11}.$$

Ймовірність двійкової послідовності довжиною з n елементів прийти без спотворення вираховується з співвідношення:

$$P_{\text{пр}} = (1 - p_{01})^n$$

Ймовірність спотворення двійкової послідовності довжиною з n елементів

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						24
Змн.	Арк.	№ докум.	Підпис	Дата		

вираховується з співвідношення:

$$P_{\text{сп}} = 1 - (1 - p_{01})^n$$

Правильний перехід рівноважної комбінації в саму себе при передачі оцінює ймовірність

$$\Pi = \sum_{i=1}^M P_i p_i^i \quad (2.1)$$

де P_i – ймовірність генерування джерелом інформації i -ї кодової комбінації; p_i^i – ймовірність переходу i -ї кодової комбінації в i -ту.

Розглянемо ймовірності правильного переходу рівноважних комбінацій з використанням статистичних даних ймовірності p_i^i в системі без зовнішнього впливу. Отриманні значення наведені в таблиці 2.2.

Таблиця 2.2 – Ймовірності правильного переходу для кожної рівноважної комбінації в саму себе.

Біноміальний код	P_i	p_i^i	Π
0000	0,1	0,999999	0,0999999
0010	0,1	0,999999	0,0999999
0011	0,1	0,999999	0,0999999
0100	0,1	0,999999	0,0999999
0101	0,1	0,999999	0,0999999
0110	0,1	0,999999	0,0999999
1000	0,1	0,999999	0,0999999
1001	0,1	0,999999	0,0999999
1010	0,1	0,999999	0,0999999
1100	0,1	0,999999	0,0999999

На основі отриманих результатів отримаємо загальну ймовірність правильного переходу біноміальних комбінацій в саму себе:

$$\Pi = \sum_{i=1}^M P_i p_i^i = 0,999999$$

Розрахуємо ймовірність правильного переходу під дією завад, для цього візьмемо значення ймовірності переходу нуля в одиницю (одиниці в нуль) в межах:

$$p_{01} = (1 \cdot 10^{-6} \div 1 \cdot 10^{-5}).$$

Результат розрахунків наведено в таблиці 2.3.

Таблиця 2.3 – Ймовірність правильного переходу в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль)

p_{01}	Π
$1 \cdot 10^{-6}$	0,999996
$2 \cdot 10^{-6}$	0,999992
$3 \cdot 10^{-6}$	0,999988
$4 \cdot 10^{-6}$	0,999984
$5 \cdot 10^{-6}$	0,99998
$6 \cdot 10^{-6}$	0,999976
$7 \cdot 10^{-6}$	0,999972
$8 \cdot 10^{-6}$	0,999968
$9 \cdot 10^{-6}$	0,999964
$1 \cdot 10^{-5}$	0,999960

На основі отриманих даних побудуємо залежність ймовірність правильного переходу від ймовірності переходу нуля в одиницю (одиниці в нуль) (див.рис.2.1).

Ймовірність помилкових переходів біноміальних комбінацій, які не виявляються

$$V = \sum_{i=1}^M P_i p_i^H, \quad (2.2)$$

де p_i^H – ймовірність помилкового переходу i -ї комбінації в клас комбінацій, які не виявляються.

Вона визначається за формулою

$$p_i^H = \sum_{j=1, j \neq i}^M p_{i,j}^H,$$

де $p_{i,j}^H$ – ймовірність помилкового переходу i -ї комбінації, що передається, в j -ту дозволу.

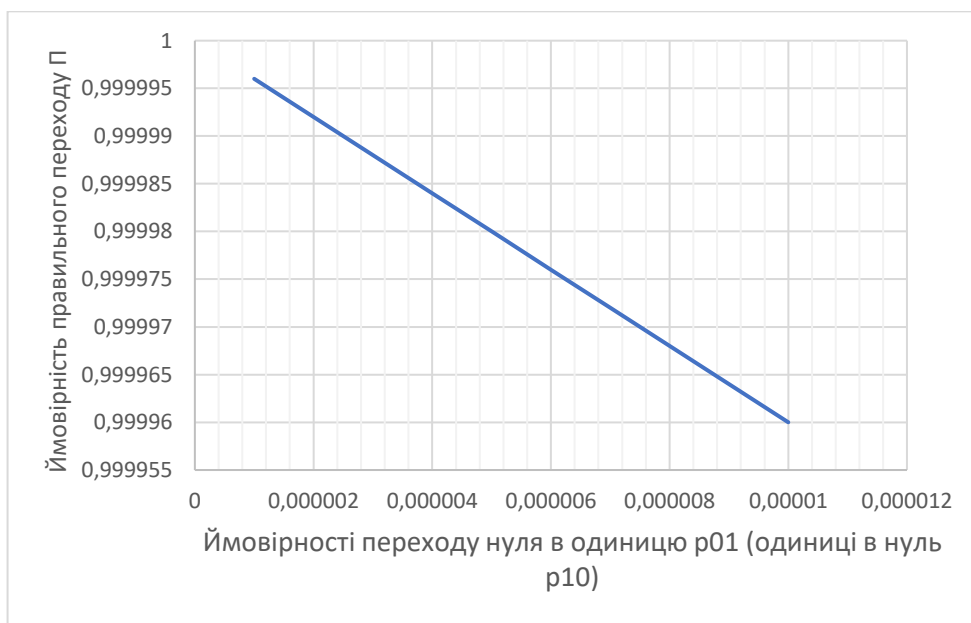


Рисунок 2.1 – Залежність ймовірність правильного переходу від ймовірності переходу нуля в одиницю (одиниці в нуль).

Розрахуємо ймовірність помилкових переходів, які не виявляються в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль), для цього візьмемо значення ймовірності переходу нуля в одиницю в межах:

$$p_{01} = (1 \cdot 10^{-6} \div 1 \cdot 10^{-5}).$$

Результат розрахунків наведено в таблиці 2.4.

Таблиця 2.4 – Ймовірність помилкових переходів, які не виявляються в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль)

p_{01}	V
$1 \cdot 10^{-6}$	$6 \cdot 10^{-7}$
$2 \cdot 10^{-6}$	$1,2 \cdot 10^{-6}$
$3 \cdot 10^{-6}$	$1,8 \cdot 10^{-6}$
$4 \cdot 10^{-6}$	$2,4 \cdot 10^{-6}$
$5 \cdot 10^{-6}$	$3 \cdot 10^{-6}$
$6 \cdot 10^{-6}$	$3,6 \cdot 10^{-6}$
$7 \cdot 10^{-6}$	$4 \cdot 10^{-6}$
$8 \cdot 10^{-6}$	$4,8 \cdot 10^{-6}$
$9 \cdot 10^{-6}$	$5,4 \cdot 10^{-6}$
$1 \cdot 10^{-5}$	$6 \cdot 10^{-6}$

На основі отриманих даних побудуємо залежність ймовірності помилкових переходів, які не виявляються від ймовірності переходу нуля в одиницю (одиниці в нуль) (див.рис.2.2).



Рисунок 2.2 – Залежність ймовірності помилкових переходів, які не виявляються від ймовірності переходу нуля в одиницю (одиниці в нуль)

Імовірність помилкових переходів, які можна виявити

$$Z = \sum_{i=1}^M P_i p_i^0, \quad (2.3)$$

де p_i^0 – імовірність помилкового переходу i -ї комбінації, що передається, в клас комбінацій, які можна виявити.

Її можна визначити за формулою

$$p_i^0 = \sum_{j=M+1}^M p_{i,j}^0,$$

де $p_{i,j}^0$ – імовірність помилкового переходу для i -ї кодової комбінації.

Після визначення значень ймовірності V помилкових переходів, які не виявляються, та ймовірності Π правильного переходу, ймовірність помилкових переходів, які можна виявити, знаходиться наступним чином

$$Z = 1 - \Pi - V.$$

Результат розрахунків наведено в таблиці 2.5.

Таблиця 2.5 – Ймовірність помилкових переходів, які можна виявити в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль)

p_{01}	Z
$1 \cdot 10^{-6}$	$3,39999 \cdot 10^{-6}$
$2 \cdot 10^{-6}$	$6,79998 \cdot 10^{-6}$
$3 \cdot 10^{-6}$	$1,01999 \cdot 10^{-5}$
$4 \cdot 10^{-6}$	$1,35999 \cdot 10^{-5}$
$5 \cdot 10^{-6}$	$1,69999 \cdot 10^{-5}$
$6 \cdot 10^{-6}$	$2,03998 \cdot 10^{-5}$
$7 \cdot 10^{-6}$	$2,37997 \cdot 10^{-5}$

Продовження таблиці 2.5

p_{01}	Z
$8 \cdot 10^{-6}$	$2,71996 \cdot 10^{-5}$
$9 \cdot 10^{-6}$	$3,05995 \cdot 10^{-5}$
$1 \cdot 10^{-5}$	$3,39994 \cdot 10^{-5}$

На основі отриманих даних побудуємо залежність ймовірності помилкових переходів, які можна виявити від ймовірності переходу нуля в одиницю (одиниці в нуль) (див.рис.2.3).



Рисунок 2.3 – Залежність помилкових переходів, які можна виявити від ймовірності переходу нуля в одиницю (одиниці в нуль)

Для порівняння проведемо дослідження ймовірності помилкових переходів, які не виявляються для двійкових кодів. Для цього спочатку запишемо таблицю істинності десяткових чисел в двійковій системі числення (див. табл. 2.6).

Для наведених кодових комбінація розрахуємо значення ймовірності помилкових переходів, які не виявляються для двійкових кодів в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль) (див. табл. 2.7).

Таблиця 2.6 – Таблиця істинності десяткових чисел в двійковій системі чмслення

Десяткові числа	Двійковий код
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Таблиця 2.7 – Ймовірності помилкових переходів, які не виявляються для двійкових кодів в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль)

p_{01}	V
$1 \cdot 10^{-6}$	$1 \cdot 10^{-6}$
$2 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$3 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$4 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$5 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$6 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$7 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$8 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$9 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$1 \cdot 10^{-5}$	$1 \cdot 10^{-5}$

На основі отриманих результатів побудуємо графік залежності ймовірності помилкових переходів, які не виявляються для двійкових кодів в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль) і порівняємо її з аналогічною залежністю для біноміальних кодів (див. рис. 2.4).

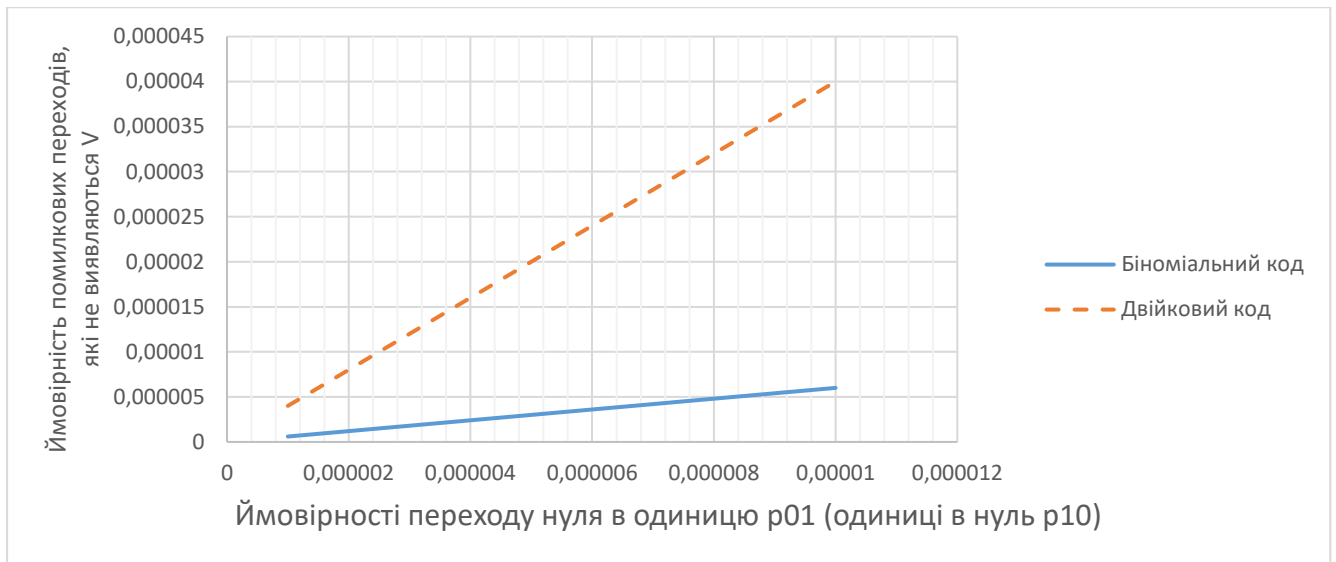


Рисунок 2.4 – Залежність ймовірності помилкових переходів, які не виявляються для двійкових кодів та біноміальних кодів в залежності від ймовірності переходу нуля в одиницю (одиниці в нуль)

Як бачимо з залежності ймовірності помилкових переходів, які не виявляються у біноміальних кодів значно менша ніж у двійкових, що робить їх використання більш доцільним у точних системах, що вимагають від кодів, в яких вони працюють, високого значення завадостійкості.

В виконання роботи було виконанні дослідження, щодо кодування двійково-десяткових цифр біноміальними кодами. Було проведено оцінку завадостійкості двійково-десяткових біноміальних кодів та отримано алгоритм їх дослідження.

В результаті дослідження було зроблено висновок, що використання двійково-десяткових біноміальних кодів значно підвищує завадостійкість пристроїв на їх, тому досить ефективно використовувати їх на практиці.

Результати, що були отриманні в результаті дослідження мають універсальний характер і можуть застосовуватися для різних типів систем зв'язку, та вимірювальних пристроїв, які використовують десяткові числа. При подальшому дослідженні даний метод дослідження може застосовуватися для більш складних завдань, в яких можуть використовуватися біноміальні коди, як наприклад кодування символної інформації.

3 РОЗРОБЛЕННЯ ЕЛЕКТРОННОЇ СИСТЕМИ ЧИ ПРИСТРОЮ З ВИКОРИСТАННЯМ ОТРИМАНИХ РЕЗУЛЬТАТІВ ДОСЛІДЖЕННЯ

3.1 Розробка, обґрунтування алгоритму функціонування проектного пристрою

В основі біноміального пристрою для вимірювання частоти лежить використання завадостійкої біноміальної системи числення, за якою буде працювати лічильник. Використання даної системи числення дає можливість виявляти помилки і повідомляти про них, зменшити апаратні витрати на блоці індикації пристрою при дешифровці станів. Розглянемо недоліки та переваги використання даного рішення. Наведемо алгоритм роботи лічильника, який працює в біноміальній системі числення – біноміального лічильника. Основними параметрами біноміального лічильника є контрольне число k та число розрядів n . В початковому стані лічильник знаходиться в нульовому стані. При надходженні тактового імпульсу на рахунковий вхід лічильника устанавлюється одиниця в $(k-i)$ -й розряд, де i – число одиниць в лічильнику. Якщо кількість одиниць в лічильнику відповідає k , і вони розміщені не в старших розрядах лічильника, то молодші одиничні розряди лічильника до першого старшого розряду лічильника устанавлюються в нуль, а перший старший нульовий розряд лічильника – в одиницю. Якщо ж число одиниць в лічильнику рівне k і вони розміщені в k старших розрядах лічильника, то було отримано максимальне значення для заданих параметрів n та k , і цикл рахунку завершено.

Для реалізації біноміального пристрою для вимірювання частоти було обрано такі параметри для біноміального лічильника – $n=4$ та $k=2$. При таких параметрах, якщо пристрій буде під впливом завад і в результаті чого лічильник устанавиться в стан, який не буде відповідати обмеженню k , а саме коли кількість одиниць в розрядах лічильника буде мати значення більше двох, тоді на виході помилка лічильника з'явиться сигнал, що повідомляє про те що сталося помилка. Наведемо всі можливі дозволених стани для обраних параметрів n та k лічильника (див. табл. 3.1), які будуть виникати під час надходження на рахункових вхід лічильника імпульсів сформованих формувачем.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						33
Змн.	Арк.	№ докум.	Підпис	Дата		

Для біноміального пристрою для вимірювання частоти використовується біноміально – десяткових лічильник, що дає можливість достатньо легко збільшувати розрядність частотоміра, а також полегшує індикацію станів, що утворюються.

В якості дільника частоти буде використовуватися лічильник, параметри якого будуть залежати від параметрів генератора опорної частоти, для отримання еталонного часу.

Таблиця 3.1 - Стани біноміального лічильника з параметрами $n = 4$ та $k = 2$

Розряди кодових комбінацій				Десяткове значення
4	3	2	1	
0	0	0	0	0
0	0	1	0	1
0	0	1	1	2
0	1	0	0	3
0	1	0	1	4
0	1	1	0	5
1	0	0	0	6
1	0	0	1	7
1	0	1	0	8
1	1	0	0	9

Алгоритм роботи біноміального пристрою для вимірювання частоти наведено на рисунку 3.1. Згідно даного алгоритму пристрій працює наступним чином. Після ввімкнення пристрою він починає зчитувати сигнали з його входу. Потім сигнал надходить на формувач, що перетворює вхідний сигнал на групу прямокутних імпульсів, кількість цих імпульсів відповідає частоті вхідного сигналу. Одночасно з цим генератор еталонної частоти генерує прямокутні імпульси, які надходять на дільник частоти. Дільник частоти формує сигнал тривалість якого буде прийматися за еталонний час. Цей сигнал надходить на пристрій керування, який керує часом вимірювання, часом індикації та скиданням

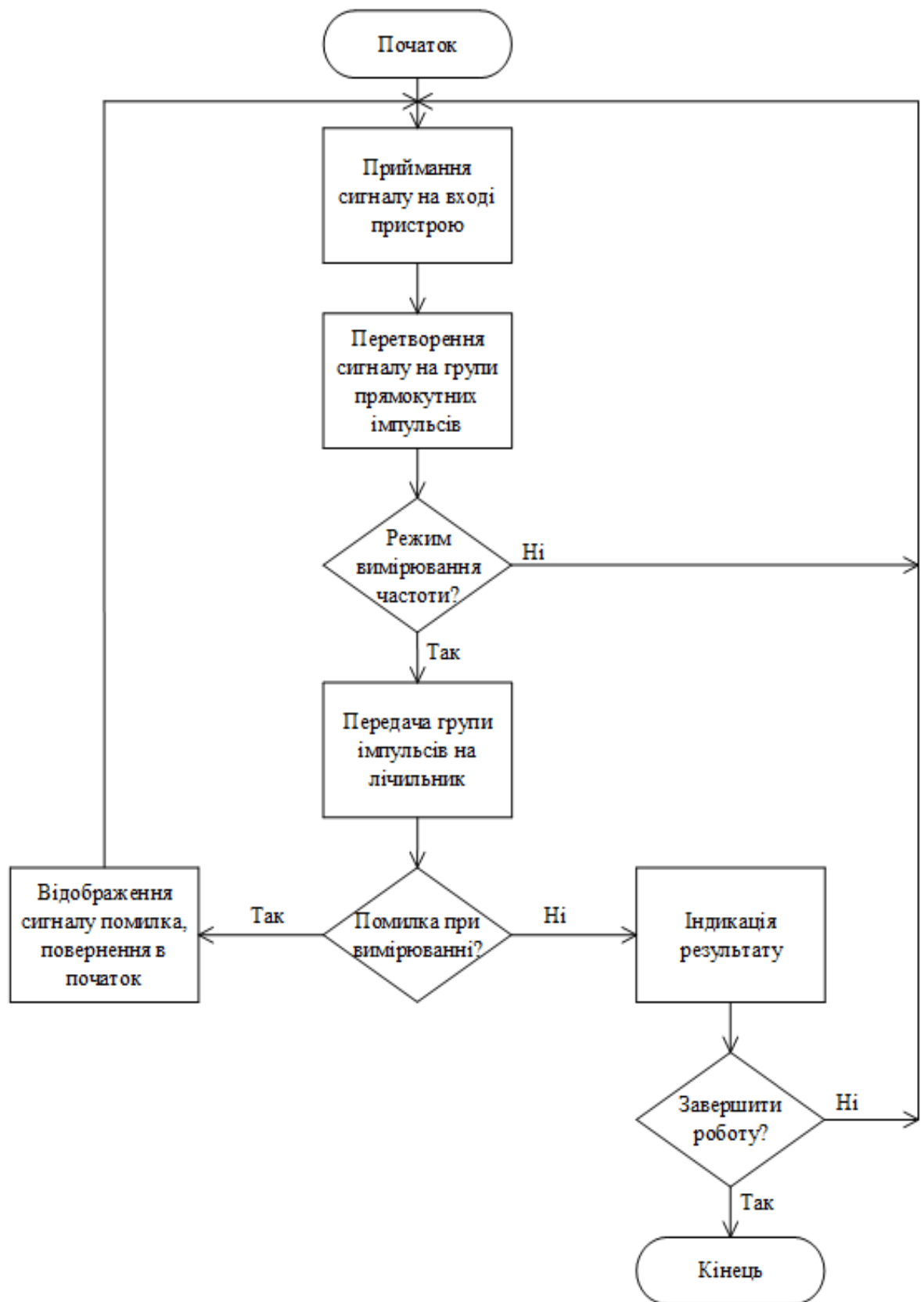


Рисунок 3.1 – Алгоритм функціонування біноміального пристрою для вимірювання частоти

Змн.	Арк.	№ докум.	Підпис	Дата

значень після індикації. Сигнал, що відповідає за час вимірювання відкриває селектор, який пропускає сформований формувачем сигнал на блок лічильників, які підраховують кількість прямокутних імпульсів, після закінчення сигналу селектор закривається. Селектор залишається закритим пристроєм керування на проміжок часу, що відповідає часу індикації, в цей період відбувається відображення значення вимірюваної частоти. Після закінчення часу індикації відбувається скидання значення на лічильнику і всі дії повторюються знову.

Якщо під час фази вимірювання частоти в біноміальному лічильнику стався перехід в заборонений стан, під дією зовнішнього впливу, тоді завдяки використанню завадостійкої біноміальної системи числення, яка здатна виявляти помилки, відбувається індикація помилки і вимірювання починається знову.

Робота біноміального пристрою для вимірювання частоти завершується після припинення живлення.

3.2 Розробка структурної схеми проектованого пристрою

У цифровому частотоміри підраховують число імпульсів N , відповідне числу періодів невідомої частоти f_x за відомий високоточний інтервал часу, званий часом вимірювання T_i . Якщо за час T_i підраховано N імпульсів, то середнє значення вимірюваної частоти $f_x = N / T_i$. Кожного разу вимірювання $T_i = 1c$ кількість підрахованих імпульсів (періодів) N і є значення вимірюваної частоти, тобто $f_x = N$.

Структурна схема даного способу вимірювання частоти наведена на Рис. 3.2. Вхідний пристрій, що складається з широкополосного підсилювача-обмежувача, призначеного для узгодження частотоміра з джерелом сигналу, а також для посилення або обмеження напруги на вході до значення, що запускає формувач. Пристрій для формування перетворює синусоїдальні або періодичні імпульсні сигнали в послідовність імпульсів постійної амплітуди з великою крутизною фронтів, незалежно від вхідного сигналу, частота проходження яких дорівнює частоті вимірюваного сигналу.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						36
Змн.	Арк.	№ докум.	Підпис	Дата		



Рисунок 3.2 - Структурна схема цифрового частотоміра

Високоточний час вимірювання виробляє формувач еталонного часу, вхідним сигналом якого є імпульси з виходу кварцового генератора і дільника частоти. Дільник частоти ділить частоту кварцового генератора так щоб зменшити її до 1 Гц. Отримана частота використовується для формування високоточного, стабільного часу вимірювання в 1 с.

Пристрій управління керує всіма процесами вимірювання і забезпечує заданий час індикації результату вимірювання на пристрої відображення інформації, скидання рахункових декад і інших схем в нульовий стан перед кожним циклом вимірювання, виробляє імпульс, який відкриває селектор на час рахунку.

Лічильник, призначений для рахунку імпульсів, що надходять з часового селектора імпульсів, складається з декількох послідовно з'єднаних рахункових декад, кожна з яких відповідає певному порядку частоти вхідного сигналу (одиницям, десяткам, сотням герц і т.д.). Цифровий індикатор забезпечує відображення результатів вимірювань, що надходять з дешифратора. Останній перетворює двійковий код, що надходить з рахункових декад, в десятковий код.

3.3 Розробка електричної функціональної схеми проектованого пристрою

Функціональна схема (див.рис. 3.3) - документ, який би процеси, що протікають в окремих функціональних колах виробу або виробу в цілому.

На схемі зображують функціональні частини виробу (елементи, пристрої, функціональні групи) і зв'язку между ними. Графічне побудова схеми наочно відображати послідовність функціональних процесів, що відбуваються у виробі. Дійсне розташування у виробі елементів і пристроїв може не враховуватися.

Функціональні частини і зв'язки між ними зображують у вигляді умовних графічних позначень, встановлених у відповідних стандартах на умовні графічні позначення цих груп і елементів. У цьому випадку діють правила виконання принципів схем. Окремі функціональні частини на схемі допускається зображати у вигляді прямокутників. У цьому випадку ці частини схеми слід виконувати за правилами структурних схем.

Схема біноміального пристрою для вимірювання частоти складається з підсилювач-формувач вхідного сигналу, що формує логічні імпульси; селектора який регулює проходження імпульсів з підсилювача-формувача; кварцовий генератор який формує імпульси які приймаємо за еталон часу; ПЛІС в якій реалізовано ділник частоти для кварцового резонатора для зменшення її до 1 Гц, біноміальний лічильник який підраховує частоту, дешифратор для перетворення завадостійкого біноміального коду в двійково-десятковий пристрій керування який керує часом вимірювання частоти, часом відображення результату та скидає значення для повторного вимірювання; драйвера для семисегментних індикаторів які перетворюють чотирьох розрядний код в восьмирозрядний; в якості пристрою відображення інформації використовується семисегментні індикатори.

Цикл вимірювання виглядає наступним чином: на вхід підсилювача-формувача надходить вхідний сигнал синусоїдальної форми, підсилювача-формувача формує з вхідного сигналу прямокутні імпульси, які надходять на вхід селектора, селектор очікує сигналу дозволу, щоб пропустити через себе імпульси, від пристрою керування, після звершення цього імпульсу селектор закривається.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						38
Змн.	Арк.	№ докум.	Підпис	Дата		

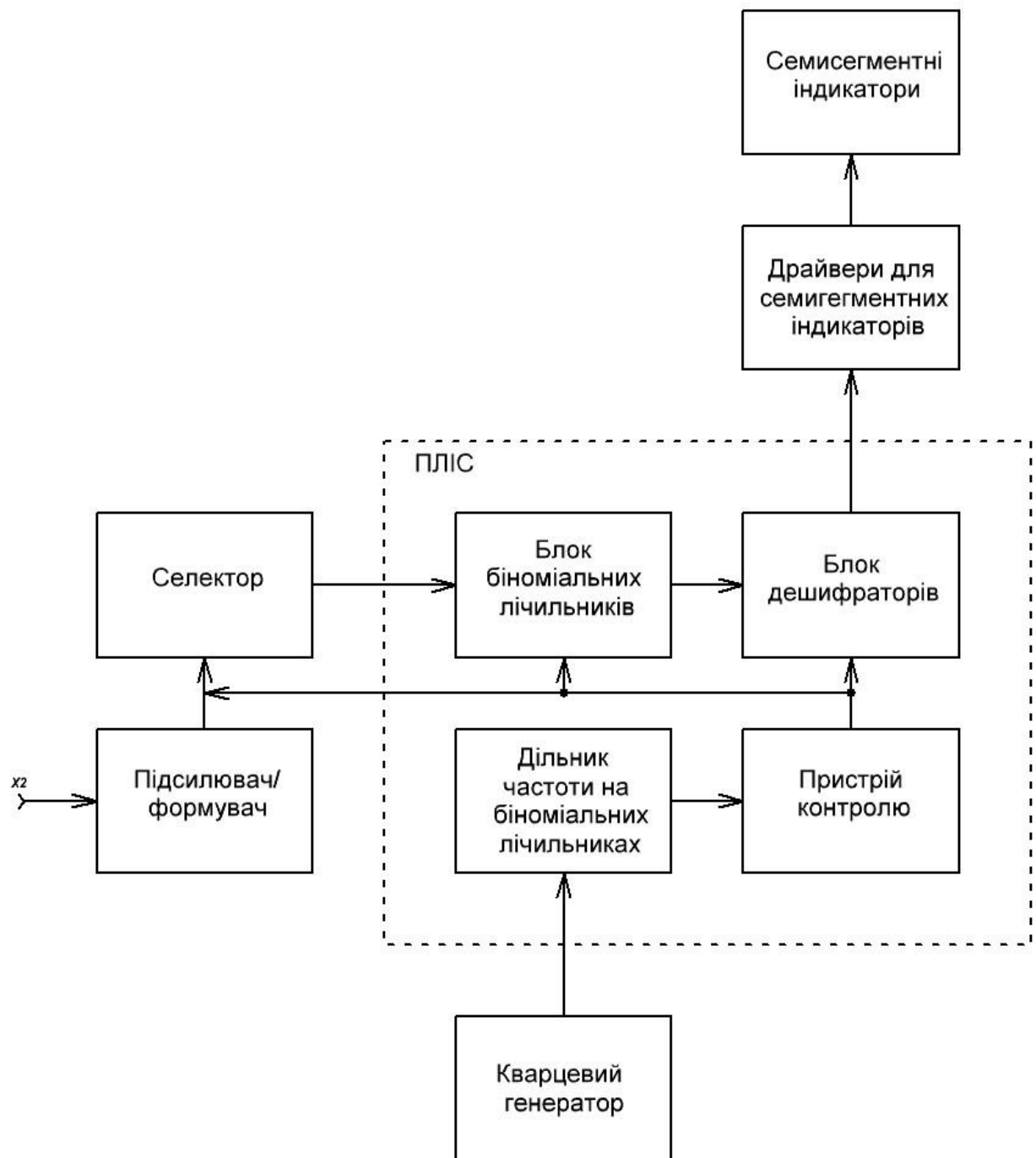


Рисунок 3.3 – Електричної функціональної схеми проектованого пристрою

Сигнали з селектора надходять на вхід молодшого розряду біноміального лічильника і відбувається підрахунок частоти. Період відображення задається пристроєм керування який дає дозвіл дешифратору обробити отриманий результат від біноміальних лічильників та перетворити його в двійково-десятковий код. Після цього отриманий двійково-десятковий код надходить на драйвери для

семисегментних індикаторі і перетворюється в восьмирозрядний код для відображення результату на семисегментному індикаторі.

На рисунку 3.4 зображені часові діаграми роботи біноміального пристрою для вимірювання частоти.

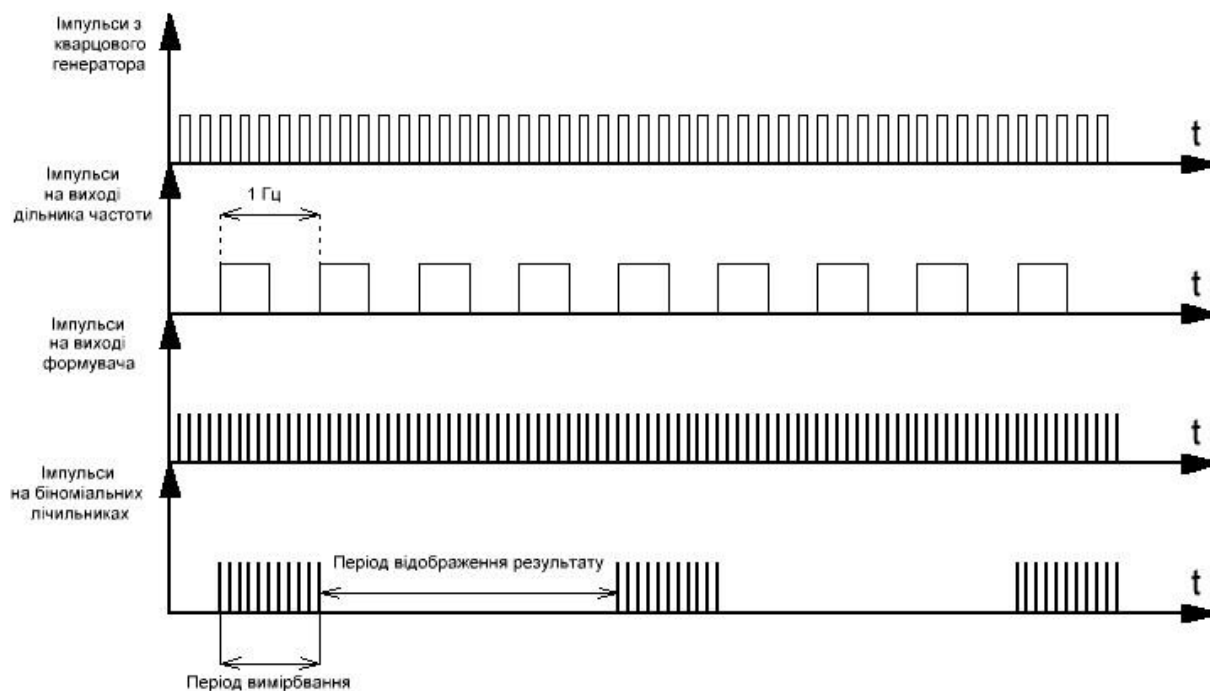


Рисунок 3.4 - Часові діаграми роботи біноміального пристрою для вимірювання частоти

3.4 Вибір елементної бази

Вибір програмованої логічної інтегральної схеми. Програмована логічна інтегральна схема (ПЛІС) електронний компонент, який використовують для створення цифрових інтегральних схем.

На відміну від звичайних цифрових мікросхем, логіку роботи ПЛІС не визначають при виготовленні, а задають за допомогою програмування. Для цього

служать програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші). В мікросхемі ПЛІС буде запрограмована такі компоненти приладу, що розробляється як біноміальний лічильник, дільник частоти на основі біноміального лічильника для генератора тактових імпульсів та пристрій керування. Для реалізації даного проекту було обрано ПЛІС Altera EPM3064ATC44-10NTQFP44, зовнішній вигляд і призначення виходів мікросхеми наведено на рисунку 3.5.

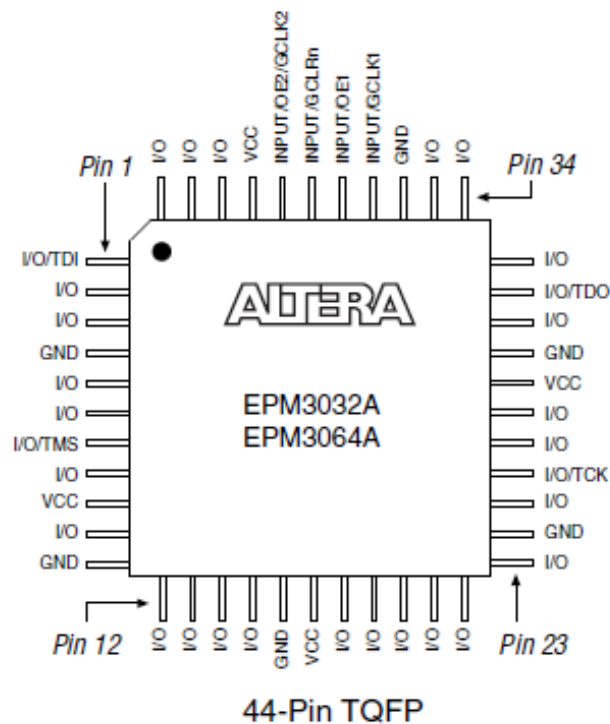


Рисунок 3.5 – Зовнішній вигляд і призначення виходів ПЛІС Altera EPM3064ATC44-10NTQFP44

Основні характеристики:

- Високопродуктивний, недорогий програмований CMOS EEPROM логічні пристрої (PLD), побудовані на архітектурі MAX®;
- Вбудована системна програмування 3,3 В (ISP), що відповідає стандарту IEEE Std. 1149.1 Інтерфейс Спільної групи тестових дій (JTAG) з розширена можливість блокування виходів;
- Схема ISP, що відповідає стандарту IEEE Std. 1532;

– Вбудована схема тестування граничного сканування (BST), що відповідає стандарту IEEE Std. 1149,1-1990;

– Розширені функції провайдера:

1) Покращений алгоритм ISP для швидшого програмування;

2) Біт ISP_Done для забезпечення повного програмування;

3) Підтягуючий резистор на пінах вводу-виводу під час програмування в системі.

– PLD з високою щільністю від 600 до 10 000 придатних для використання виходами мікросхеми;

– Затримки логічного контакту від контакту до контакту 4,5 нс з частотами лічильника до 227,3 МГц;

– Інтерфейс вводу-виводу MultiVolt™, що дозволяє ядру пристрою працювати при 3,3 В, в той час як піни вводу-виводу сумісні з логікою 5,0 В, 3,3 В і 2,5 В рівнів;

– Кількість пінів варіюється від 44 до 256 у різних тонких чотирикутних плоских корпусах TQFP, PQFP, PLCC, BGA;

– Підтримка гарячих розеток

– Структура безперервної маршрутизації програмованого масиву взаємозв'язків (PIA) для швидкої, передбачуваної роботи;

– Промисловий діапазон температур;

Вибір кварцового резонатора. Кварцовий резонатор — п'єзоелектричний резонатор, основною складовою частиною якого є кристалічний елемент з кварцу. В нашому пристрої буде використовуватися як основний компонент генератора тактових імпульсів високої точності вихідного сигналу. Для реалізації пристрою, що розробляється було обрано кварцовий резонатор КХ-49 який зображений на рисунку 3.6.

Основні характеристики КХ-49 наведені в таблиці 3.2.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						42
Змн.	Арк.	№ докум.	Підпис	Дата		

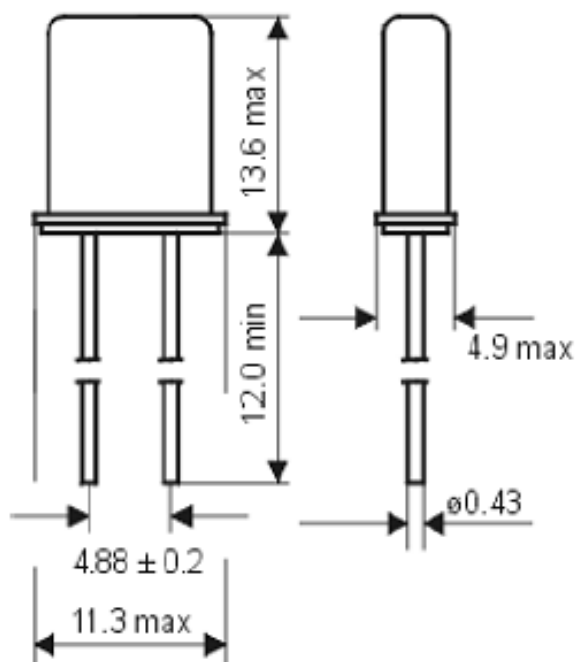


Рисунок 3.6 – Схематичне зображення кварцового резонатора КХ-49

Таблиця 3.2 – Основні характеристики КХ-49

Частота	10,0 МГц
Стабільність при 25 ° С	30ppm
Стабільність в робочому температурному діапазоні	50 ppm
Монтаж	НС49U
Ємність для навантаження	30 пФ
Робоча температура	-20 ... + 70 С

Вибір логічних інтегральних мікросхем. Для побудови пристрою було обрано мікросхему 74НС04Д яка містить в собі елементи НІ для застосування в генераторі тактових імпульсів, та мікросхему 74НС00 яка містить в собі елементи 2І-НІ для побудови селектора. Схематичне зображення мікросхеми 74НС04Д зображено на рисунку 3.7, а 74НС00 на рисунку 3.8.

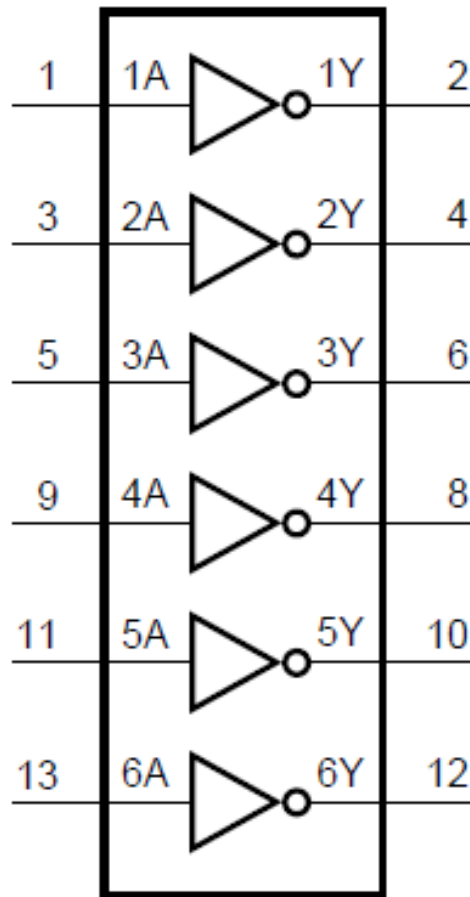


Рисунок 3.7 – Схематичне зображення мікросхеми 74HC04D

Основні характеристики 74HC04D наведені в таблиці 3.3.

Таблиця 3.3 – Основні характеристики 74HC04D

Корпус	SO-14 SO14-150
Тип логіки	6xНІ
Діапазон напруг живлення	2 ... 6В
Номінальна напруга живлення	5В
Затримка проходження сигналу вхід-вихід	7нс
Вхідний гістерезис	1.35 ... 3.15
Максимальний вхідний струм	100мА
Робоча температура	-40...85 °С

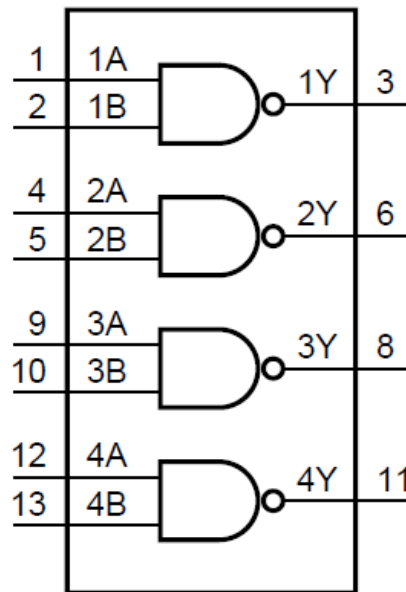


Рисунок 3.8 – Схематичне зображення мікросхеми 74HC00

Основні характеристики 74HC00 наведені в таблиці 3.4.

Таблиця 3.4 – Основні характеристики 74HC00

Корпус	SO-14 SO14-150
Тип логіки	6x2I-НІ
Діапазон напруг живлення	2 ... 6В
Номінальна напруга живлення	5В
Затримка проходження сигналу вхід-вихід	7нс
Вхідний гістерезис	2.1 ... 2.4В
Максимальний вхідний струм	1А
Робоча температура	-40...85 °С

Вибір пристрою відображення інформації. В якості пристрою відображення інформації для пристрою, що розробляється було обрано семисегментні індикатори BS-A51DRD R, схематичне зображення яких наведено на рисунку 3.9.

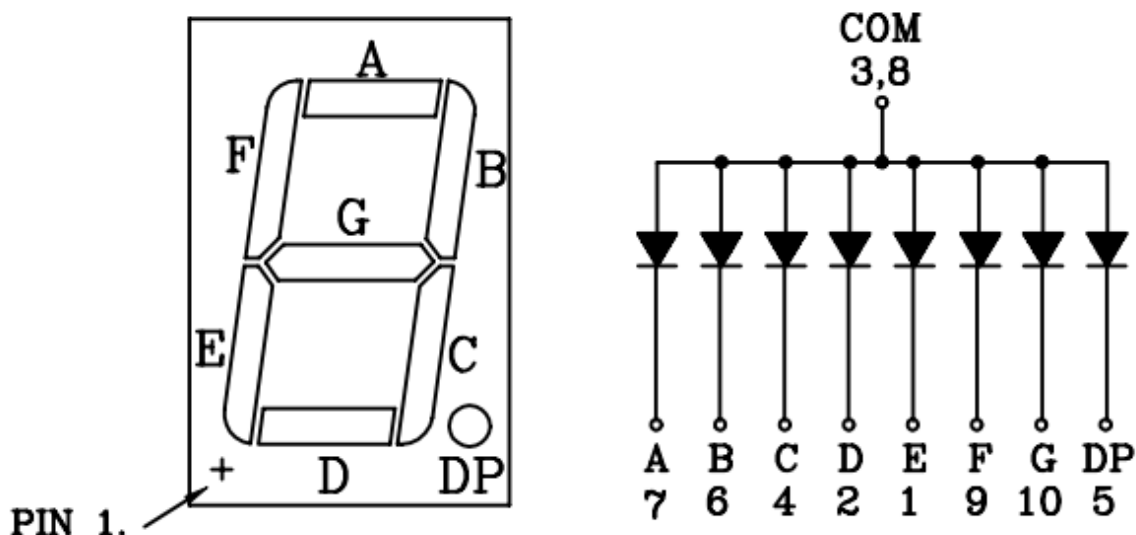


Рисунок 3.9 – Схематичне зображення семисегментного індикатора BS-A51DRD R

Основні характеристики BS-A51DRD R наведені в таблиці 3.5.

Таблиця 3.5 – Основні характеристики BS-A51DRD R

Тип дисплея	Цифровий
Висота символів	14.2 мм
Кількість цифр	1
Кількість точок	8
Колір світіння	Червоний
Схема включення	Загальний анод
Розмір	12.5 x 19 x 8 мм

Вибір драйверу для пристрою відображення інформації. Для перетворення чотирьохрозрядного коду з біноміального лічильника в восьмирозрядний код для роботи семисегментного індикатора буде використано драйвер HEF4511B. Схематичне зображення драйверу для семисинглетного індикатора зображене на рисунку 3.10, а внутрішня будова на рисунку 3.11.

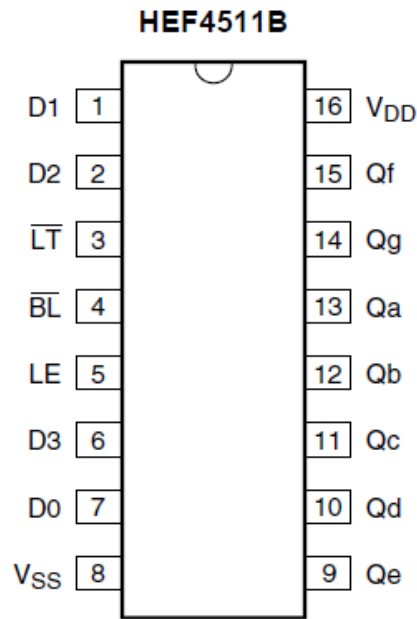


Рисунок 3.10 – Схематичне зображення мікросхеми HEF4511B

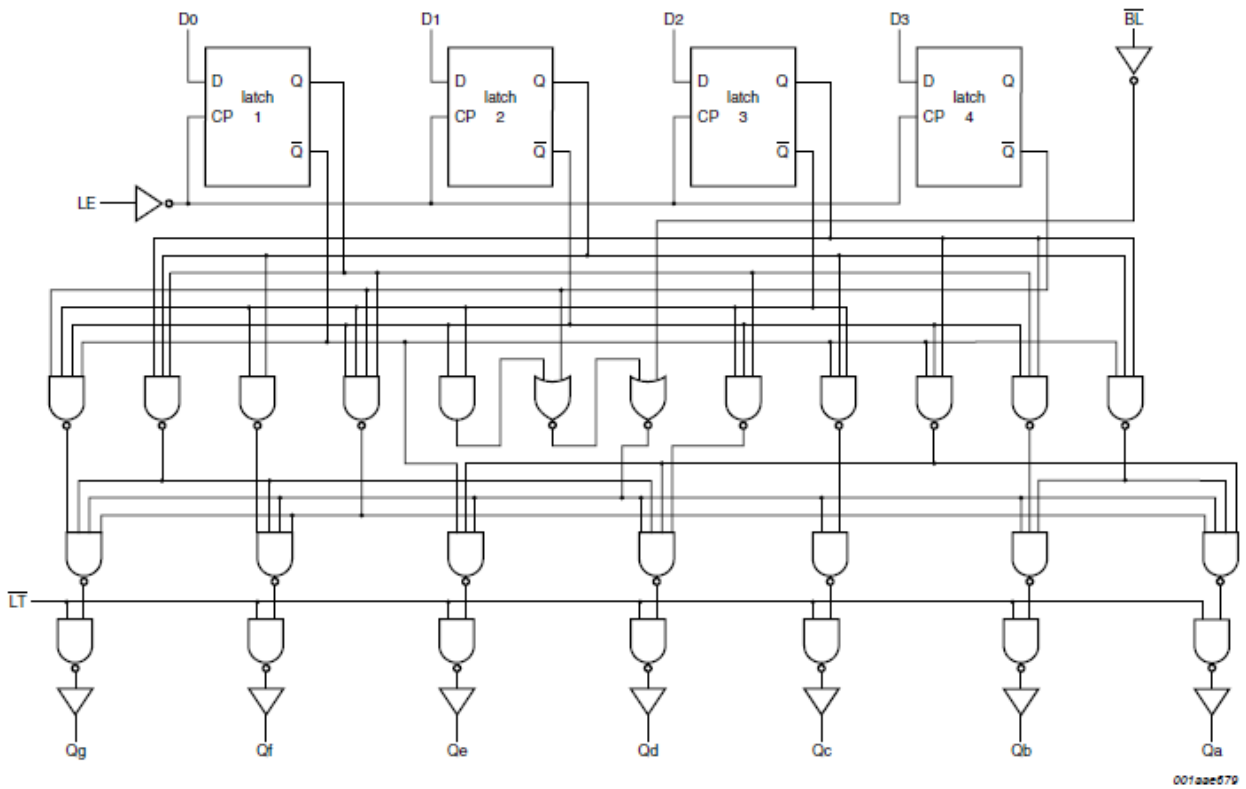


Рисунок 3.11 – Внутрішня будова мікросхеми HEF4511B

Основні характеристики HEF4511B наведені в таблиці 3.6.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		47

Таблиця 3.6 - Основні характеристики HEF4511B

Корпус	SO-16 SOIC16
Тип логіки	семисегментний дешифратор
Діапазон напруг живлення	3 ... 15В
Номинальна напруга живлення	10В
Затримка проходження сигналу вхід-вихід	140нс
Максимальний вихідний струм	100 мА
Максимальний вхідний струм	1,3А
Робоча температура	-40...85 °С

3.5 Розроблення та розрахунок принципових електричних схем вузлів та блоків пристрою

3.5.1 Підсилювач-формувавч вхідного сигналу

Вхідний підсилювач – формувавч це функціональний вузол, який є необхідною складовою частотоміра для вимірювання частоти сигналів, рівень яких може бути декілька десятків мілівольт. Сигнал, що надходить на вхід підсилювача сигналу піднімається до рівня, якого досить для стабільної роботи лічильника, який буде підраховувати частоту. Одною з основних вимог для підсилювача є те, щоб він не надавав шунтуючий впливу на вхідний сигнал, що може викликати його спотворення, для запобігання цьому потрібно щоб вхідний опір підсилювача був високим, а вхідна ємність - малою. Цифровий сигнал, що формується на виході підсилювача сигналу не повинен містити паразитних імпульсів, які можуть викликати помилку під час підрахунку частоти. Від якості виконання вхідного вузла залежить точність вимірювання.

На рисунку 3.12 наведено схему підсилювача-формувавч вхідного сигналу, який гарно працює з сигналом синусоїдальної форми і досить добре з сигналом більш складної форми. Даний підсилювач – формувавч має чутливість на вході 0,2 В, вхідний опір підсилювача – формувавч рівний 15-20 кОм. Максимальний рівень вхідного сигналу 30 В. Діапазон вхідної частоти лежить в межах від 5 Гц в до 100

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		48

МГц. Напряга живлення підсилювача-формувача рівна 5 В. На виході формувача отримується сигнал прямокутної форми, які можна подавати на входи мікросхем ТТЛ логіки.

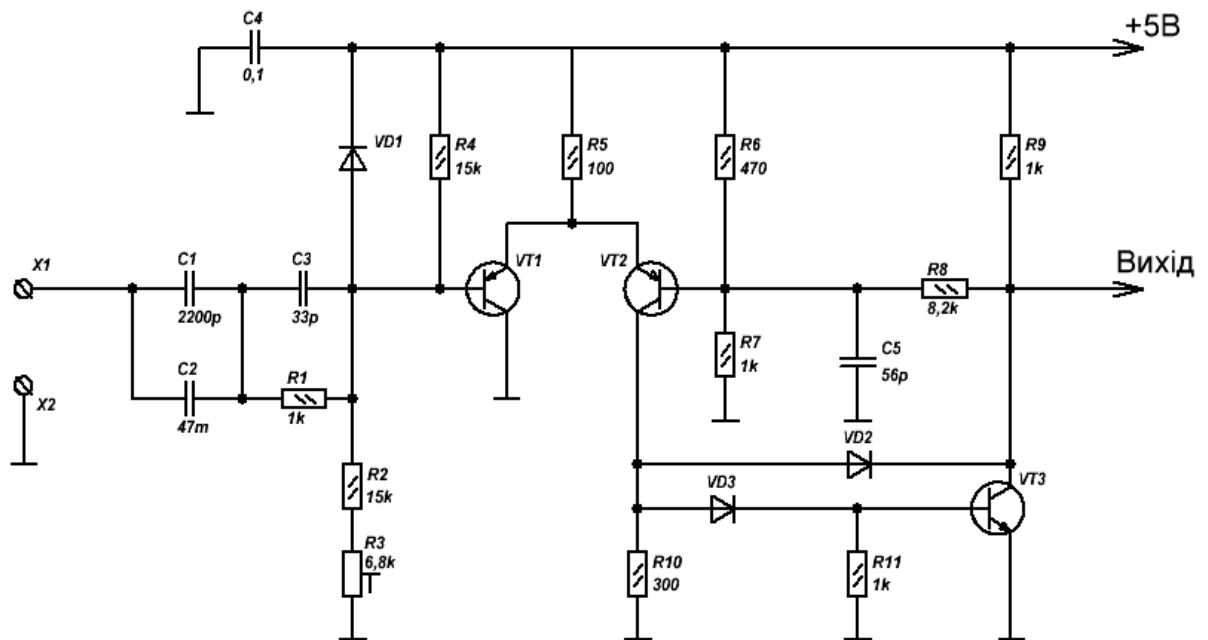


Рисунок 3.12 – Принципова схема підсилювача – формувача

Часові діаграми що показують принцип формування прямокутного сигналу, що формує підсилювач – формувач зображенні на рисунку 3.13.

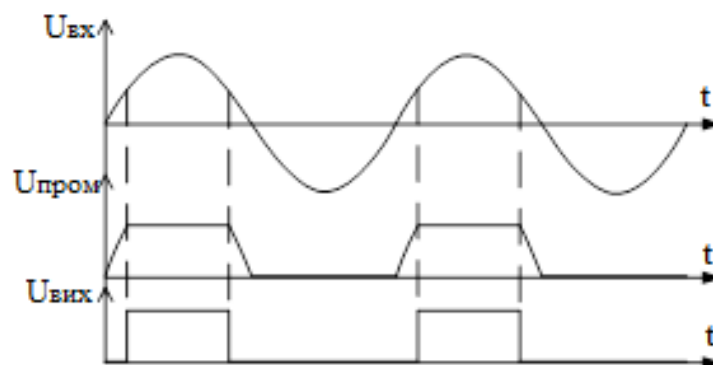


Рисунок 3.13 – Часові діаграми підсилювача-формувача

Змн.	Арк.	№ докум.	Підпис	Дата

3.5.2 Селектор імпульсів

Селектор імпульсів являє собою послідовно з'єднані два логічний елемент 2І-НЕ DD1.1 та DD1.2 (див. рис. 3.14).

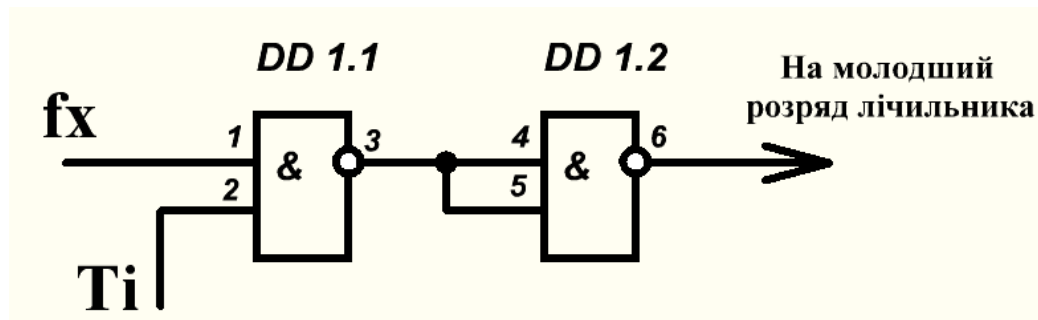


Рисунок 3.14 – Схема принципова селектора імпульсів

На один із входів логічного елемента DD1.1 надходить послідовність імпульсів невідомої частоти fx . У відсутності сигналу еталонного часу вимірювання Ti сигнал fx на вихід селектора не проходить. При надходженні сигналу еталонного часу від пристрою керування N імпульсів невідомої частоти надходять на вхід електронного лічильника імпульсів.

3.5.3 Розрахунок параметрів біноміального лічильника

Біноміальний пристрій для вимірювання частоти буде рахувати частоту до 100 кГц, для підрахунку такої частоти потрібно використати п'ять послідовно з'єднаних лічильника з коефіцієнтом перерахунку рівним десяти [7]. Для підрахунку імпульсів будуть використовуватися біноміальні лічильники.

Розрядність лічильника, тобто кількість тригерів в ньому, розраховують за наступною формулою $n \geq \log_2[N]$, де n - кількість тригерів, N - кількість станів лічильника. Тоді, $n \geq \log_2[10] = 4$.

Число станів біноміального лічильника визначається числом сполучень одиниць з $(n + 1)$ елементів:

$$N = C_{n+1}^k = \frac{(n + 1)!}{k!(n - k + 1)!}$$

Звідси розраховуємо що $k = 2$ враховуючи число розрядів $n = 4$, а $N = 10$. Рівноважні стани чотирьохрозрядного біноміального лічильника з контрольним числом одиниць рівним двом наведені в таблиці 3.7.

Таблиця 3.7 – Біноміального лічильника з параметрами $n = 4$ та $k = 2$

Число вхідних імпульсів	Стан виходів біноміального лічильника			
	Q4	Q3	Q2	Q1
N				
0	0	0	0	0
1	0	0	1	0
2	0	0	1	1
3	0	1	0	0
4	0	1	0	1
5	0	1	1	0
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	1	0	0

Розглянемо роботу біноміального лічильника для обраних параметрів (див. рис. 3.15). Початковий стан рівний нульовому (“0000”), а отже на нульовому виході

суматора молодшого розряду лічильника знаходиться одиничний сигнал, який поступає на елемент І 8.1, який відкритий одиничним сигналом з елемента НІ 11.1, потім одиничний сигнал надходить на схему АБО 6.1, а потім сигнал приходить на другий вхід схеми І 4.2. Якщо на другому виході суматора 7.2 знаходиться нульовий сигнал, то на перший вхід схеми І 4.2 при цьому приходить одиничний сигнал, що дозволяє встановитися в одиничний стан триггеру. Тому тригер Т 2.2 встановлюється в одиничний стан тактовим сигналом, що приходить на третій вхід схеми І 4.2, таким чином отримуємо стан – “0010”. В результаті на першому виході суматора 7.1 з'явиться одиничний сигнал, який проходячи через елементи І 8.2 та І 4.1 і встановить тригер Т 2.1 одиничний стан – “0011”.

Таким чином, рахунок одиниць триває, поки їх кількість в лічильнику не стане рівним двом. Поява на другому виході будь-якого суматора, наприклад 7.1, одиничного сигналу призводить до закриття схем І 4 і відкриванню схем І 5 (для молодшого розряду це схеми І 4.1, І 5.1), що призводить до встановлення відповідних тригерів в нульовий стан по тактовому імпульсу. При цьому в нуль скидається не тільки тригер, суматор якого містить одиницю на другому виході, а й сусідній, який не має такої одиниці. Це досягається з'єднанням одиничних виходів тригерів з першими входами схем АБО 1.

Якщо лічильник в результаті одиночної помилки або пакета помилок $0 \rightarrow 1$ перейде в стани “1110”, “1101”, “1011”, “0111”, “1111” отже буде містити $k + 1$ одиниць, то на третьому або четвертому виході суматора молодшого розряду виробляється сигнал помилки. У разі необхідності виявляти помилки типу $1 \rightarrow 0$ в лічильник будуть введені додаткові елементи. Біноміальний лічильник буде реалізований за допомогою мікросхеми ПЛІС Altera EPM3064ATC44-10NTQFP44, в якій він буде запрограмований за допомогою мови програмування VHDL на основі наведеного алгоритму роботи та методу виявлення помилок в ньому.

Часова діаграма, що описують роботу біноміального лічильники з параметрами $n = 4$ та $k = 2$ наведені на рисунку 3.16.

Для відображення отриманих значень потрібно перетворити отримані біноміальні кодові комбінації в двійкові, для цього буде використовуватися дешифратор, який буде програмно реалізований в ПЛІС.

					<i>ЕлІТ 8.171.00.10.002 ПЗ</i>	<i>Арк.</i>
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		52

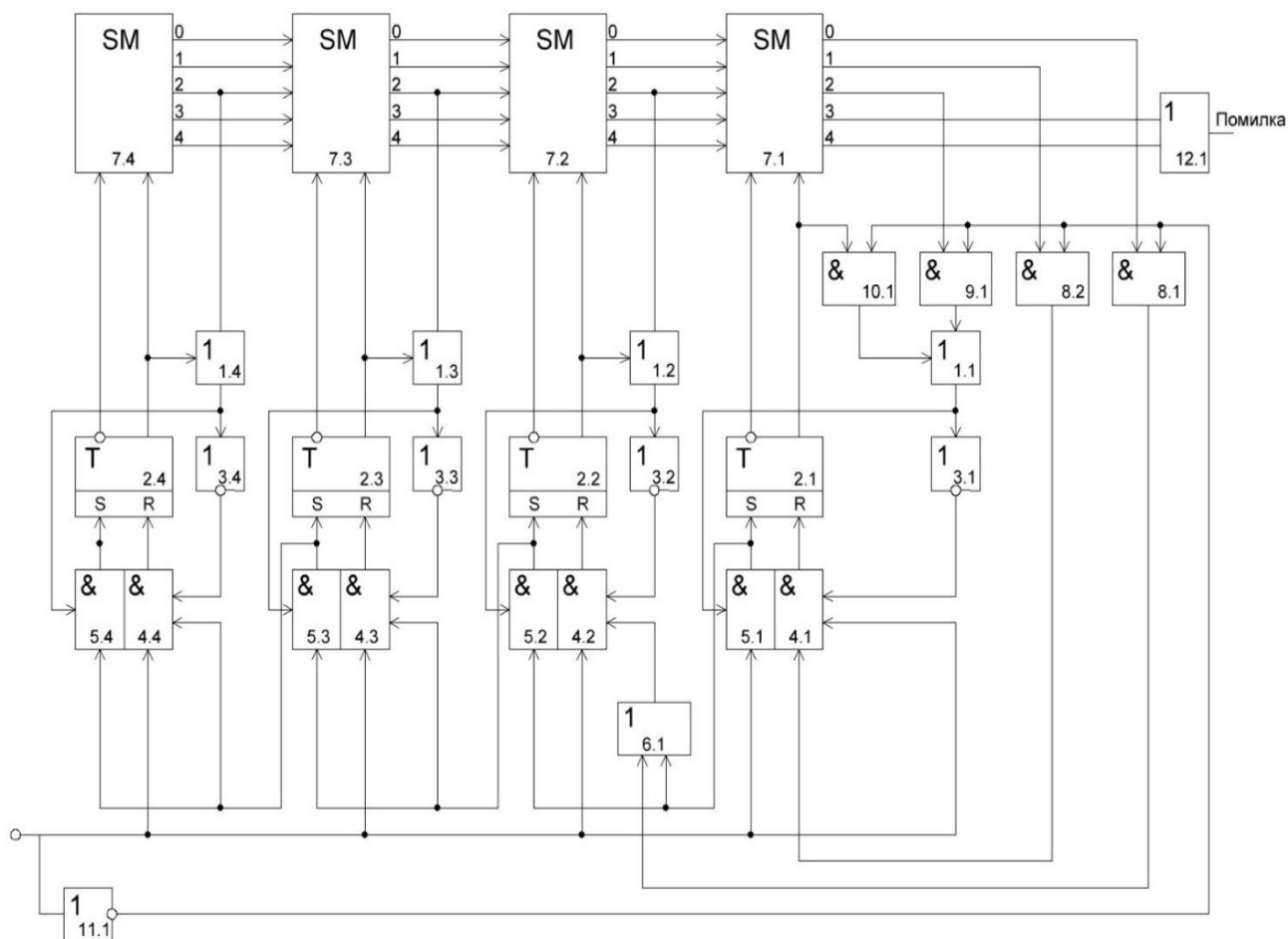


Рисунок 3.15 – Функціональна схема біноміального лічильника з коефіцієнтом перерахунку 10

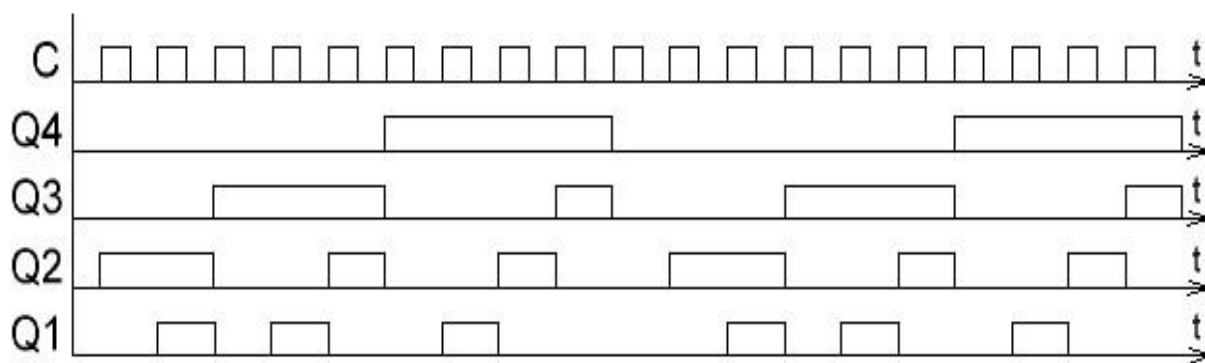


Рисунок 3.16 - Часові діаграми роботи біноміального лічильника з параметрами $n = 4$ та $k = 2$

3.5.4 Кварцовий генератор і дільник частоти

Стабільність роботи LC-генераторів недостатньо для побудови точних пристроїв, тому що на LC-генератори впливають індуктивність коливального контуру та температурний коефіцієнт ємності. Тому для досягнення набагато кращої стабільності генерованої частоти використовуються кварцові резонатори, вони являють собою кристал кварцу з нанесеними на нього металевими контактами.

В резонаторі під дією електричного поля виникають механічні коливання, і якщо частота цих коливань співпадає з частотою електричного поля, тоді виникає явище резонансу. Через це кварцовий резонатор використовується як коливальний контур високої якості. Також його перевагою є те, що температурний коефіцієнт резонансної частоти кварцу має дуже мале значення.

Однією з найпоширеніших схем генераторів тактових імпульсів на основі кварцового резонатора є схема генератора Пірса (див. рис. 3.17). Вона використовується як основа майже всіх генераторів, що виконанні на одному вентилі. Він працює так, сигнал, що надходить зі входу підсилювача на вихід зміщується на 180° . Сам кварц виконує функцію індуктивності великого значення, так як він підключений паралельно. За допомогою конденсаторів C_1 та C_2 сигнал, що надходить з виходу підсилювача на вхід зміщується ще на 180° . Функцію навантаження для виходу резонатора виконують конденсатори C_1 та C_2 , а також певна ємність, що може виникнути в ланцюгах. Зазвичай в цій схемі значення ємності C_1 дорівнює значенню ємності C_2 .

Рівняння повного імпедансу резонатора має вигляд:

$$Z_L = \frac{X_C^2}{R_L}$$

Де R_L – послідовний опір резонатора;

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						54
Змн.	Арк.	№ докум.	Підпис	Дата		

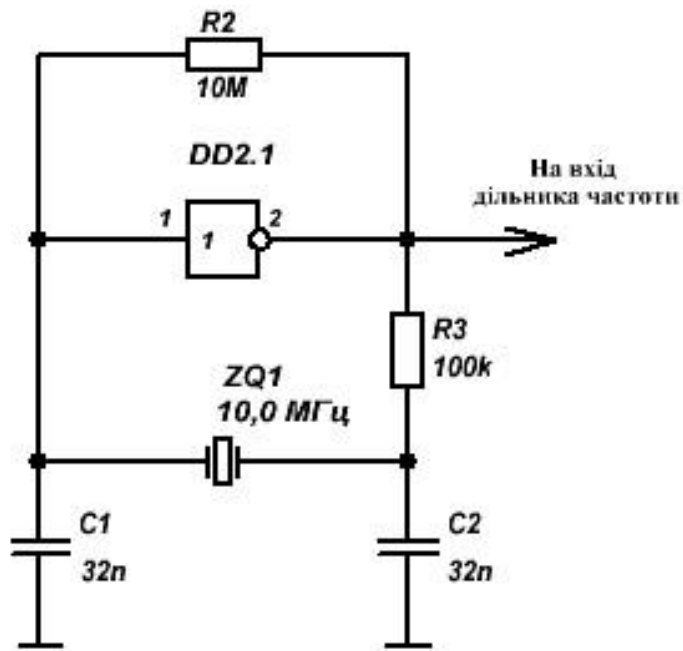


Рисунок 3.17 – Схема генератора Пірса

$$X_C = \frac{-j}{\omega C_B},$$

$$\omega = 2\pi F,$$

F – частота осциляції.

Співвідношення вхідної напруги генератора до вихідної можна визначити за формулою за формулою:

$$\frac{e_1}{e_2} = \frac{\omega C_2}{\omega C_1} = \frac{C_2}{C_1}.$$

При необхідній частоті зсув фази сигналу в ланцюзі повинен бути 360° , а коефіцієнт посилення - не менше ніж 1:

$$A_A \cdot A_F \geq 1,$$

Де A_A – коефіцієнт підсилення інвертора; A_F – коефіцієнт підсилення ланцюгу резонатора,

$$A_F = \frac{e_1}{e_2}$$

За наведеними рівняннями розрахуємо загальне навантаження резонатора для генератора тактових імпульсів пристрою що розробляється.

$$Z_L = \frac{X_C^2}{R_L} = \frac{\left(\frac{-j}{\omega C_B}\right)^2}{R_L} = \frac{\left(\frac{-j}{2\pi F C_B}\right)^2}{R_L} = \frac{\left(\frac{-1}{2 * \pi * 10 * 10^6 * 30 * 10^{-12}}\right)^2}{25} = 12 \text{ кОм.}$$

3.5.5 Розрахунок параметрів для блоку живлення

Визначимо структуру джерела живлення пристрою, що розробляється. Він повинен містити силовий стандартний трансформатор, розрахований на роботу від промислової мережі змінного струму напругою, яка рівна $220\text{В} \pm 10\%$ з частотою 50 Гц, випрямлячі для отримання постійних напруг, необхідних для роботи інтегральних стабілізаторів, а саме +5В та +3,3В для живлення схеми біноміального пристрою для вимірювання частотою.

Для вибору трансформатора розрахуємо зразкову потужність трансформатора S2. Для цього визначимо струми, для напруги $E = 5 \text{ В}$.

Струм колектора VT1 підсилювача-обмежувача визначається з виразу:

					<i>ЕЛІТ 8.171.00.10.002 ПЗ</i>	Арк.
						56
Змн.	Арк.	№ докум.	Підпис	Дата		

$$I_{K1} = \frac{E}{R_5} = \frac{5}{500} \approx 10 \text{ мА};$$

Струм колектора VT2 підсилювача-обмежувача з виразу:

$$I_{K2} = \frac{E}{R_5} = \frac{5}{500} \approx 10 \text{ мА};$$

Струм колектора VT3 підсилювача-обмежувача з виразу:

$$I_{K2} = \frac{E}{R_9} = \frac{5}{1000} \approx 5 \text{ мА};$$

Сумарний струм живлення всіх мікросхем від джерела E1:

$$I_M = \sum_m I_m \cdot N_m = 50 \cdot 5 + 30 \cdot 5 + 25 + 25 + 25 = 475 \text{ мА}.$$

Орієнтовна потужність трансформатора:

$$S = E \cdot (I_{K1} + I_{K2} + I_{K3} + I_M) = 5 \cdot (10 + 10 + 5 + 475) = 2500 \text{ мВт} = 2,5 \text{ Вт}.$$

Вибираємо уніфікований трансформатор EI54/23.5/14к 12В 1А з параметрами:

Первинне напруга: 220 В (50 Гц)

Вторинна напруга: 12 В

Вторинний струм 1 А

Розміри: 54,0x45,0x43,0

Трансформатор був обраний з напругою вторинної обмотки 12 В, яка за допомогою стабілізатора буде зменшена до +5 В.

Для випрямляча для джерела E1 = + 5 В вибираємо мостову діодну схему, в якій напівпровідникові діоди мають невелику зворотню напругу.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						57
Змн.	Арк.	№ докум.	Підпис	Дата		

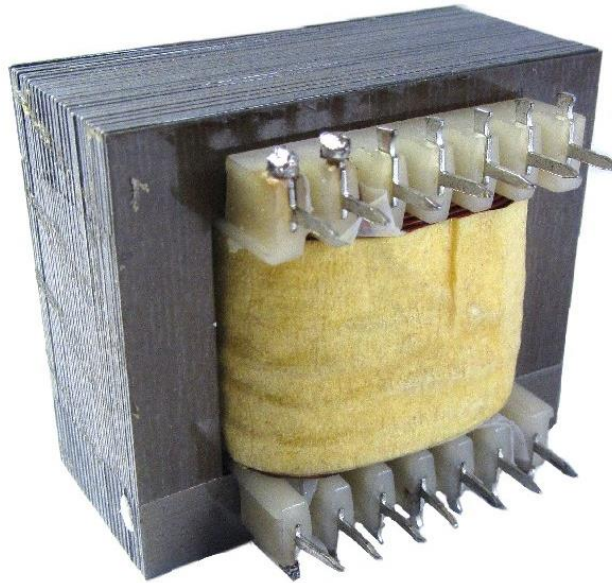


Рисунок 3.18 – Зображення трансформатора EI54/23.5/14к 12В 1А

Вибір випрямного блоку здійснюється за середнім значенням випрямного струму і амплітуді зворотної напруги. Для мостової схеми:

$$I_{\text{пр.ср}} = \frac{I_{01}}{2},$$

де I_{01} – струм споживання джерела живлення +5В.

$$U_{\text{зв.макс}} = 1,5 \cdot U_{01},$$

де U_{01} – випрямлена напруга.

Для стабілізації напруги $E = 5$ В використаємо інтегральний стабілізатор напруги К142ЕН5Г з вихідною напругою $5 \pm 0,18$ В. Вхідна напруга стабілізатора має лежати в межах 7,5 ... 20 В, тому приймаємо значення випрямленої напруги рівним $U_{01} = U_2 = 12$ В. Підсумувавши всі значення струмів в схемі отримуємо значення максимального струму живлення для даної схеми $I_{01} = 0,5$ А.

Підставляючи отриманні значення в формули та отримуємо необхідні значення:

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						58
Змн.	Арк.	№ докум.	Підпис	Дата		

$$I_{\text{пр.ср}} = \frac{I_{01}}{2} = \frac{0,5}{2} = 0,25 \text{ А.}$$

$$U_{\text{зв.макс}} = 1,5 \cdot U_{01} = 1,5 \cdot 12 = 18 \text{ В.}$$

Згідно отриманих параметрів обираємо діодний блок КЦ405Е, її граничні параметри забезпечують надійну роботу джерела живлення. Діодний блок КЦ405Е має такі параметри:

$$U_{\text{зв.макс}} = 100 \text{ В;}$$

$$I_{\text{пр}} = 1 \text{ А;}$$

$$U_{\text{пр}} = 4 \text{ В;}$$

Для згладжування пульсацій випрямленої напруги на виході моста встановлюють конденсатори.

Розрахуємо значення ємностей для випрямляча і уточнимо напруги на виході випрямляча.

Опір навантаження випрямляча $R_{Н1}$:

$$R_{Н1} = \frac{U_{01}}{I_{01}} = \frac{12}{0,5} = 24 \text{ Ом.}$$

Оскільки випрямляч навантажений на ємність, то його реактивний опір X_{C1} приймають рівним:

$$X_{C1} = (0,1 \dots 0,25) \cdot R_{Н1} = 0,1 \cdot 24 = 2,4 \text{ Ом.}$$

Виходячи з рекомендацій [8] визначимо параметр А, який дозволить розрахувати значення ємності та уточнити напруга на виході випрямляча.

Для мостової схеми параметр А розраховується за формулою:

					<i>ЕлІТ 8.171.00.10.002 ПЗ</i>	<i>Арк.</i>
						59
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

$$A = \frac{I_{01} \cdot \pi \cdot X_{C1}}{2 \cdot U_{01}},$$

де $U_{01} = 12$ В – випрямлена напруга.

Розрахуємо параметр А

$$A = \frac{I_{01} \cdot \pi \cdot X_{C1}}{2 \cdot U_{01}} = \frac{0,5 \cdot \pi \cdot 2,4}{2 \cdot 12} = 0,157$$

Опираючись на параметр А отримуємо наступні значення для розрахунку параметра конденсатора:

$$B = 0,95;$$

$$D = 2,4;$$

$$F = 6,5;$$

$$H = 250.$$

Перевіряємо значення U_{01} :

$$U_{01} = \frac{U_2}{B} = \frac{12}{0,95} = 12,6$$

Отримане значення напруги потрапляє в робочий діапазон для інтегрального стабілізатора К142ЕН5Г.

Струм у вторинній обмотці I_2 розраховується за формулою:

$$I_2 = 0,71 \cdot D \cdot I_{01} = 0,71 \cdot 2,4 \cdot 0,5 = 0,852 \text{ А.}$$

Розрахований струм у вторинній обмотці трансформатора не перевищує його паспортних значень даних для номінального режиму (1А).

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						60
Змн.	Арк.	№ докум.	Підпис	Дата		

Розрахуємо величину C_1 за формулою:

$$C_1 = \frac{H}{X_{C1} \cdot K_{П1}} = \frac{250}{2,4 \cdot 0,12} = 868 \text{ мкФ},$$

де $K_{П1} = (0,1 \dots 0,15)$ – коефіцієнт пульсації.

Згідно ряду Е6 вибираємо конденсатор номіналом 1000 мкФ. Виберемо електролітичний конденсатор К50-35-25В-1000 мкФ.

Для сгладжування імпульсних перешкод паралельно електролітичним конденсаторам підключаємо конденсатори C_2 КМ-56-Н90-0,047мкФ.

Після виходу стабілізатора встановлюються аналогічні конденсатори $C_1 = C_3, C_2 = C_4$.

Для живлення ПЛІС потрібно зменшити напругу до 3,3 В для цього використаємо стабілізатор ADP2108AUJZ-3.3-R7, схему підключення до 5 В було взято з даташиту до цього стабілізатора.

Принципова схема блоку живлення пристрою, що розробляється зображена на рисунку 3.19.

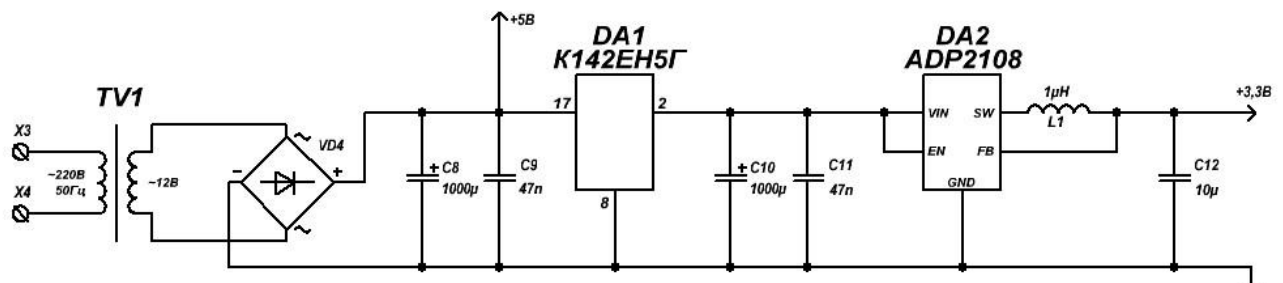


Рисунок 3.19 – Принципова схема блоку живлення біноміального пристрою для вимірювання частоти.

3.6 Розробка програмного забезпечення проектованого пристрою

Пакет Quartus II являє собою автоматизовану систему наскрізного проектування цифрових пристроїв на кристалах ПЛІС фірми Altera [10]. Він надає користувачеві широкі можливості по введенню описів проекту, логічного синтезу, компіляції проекту, програмування ПЛІС, функціональному і тимчасового

моделювання, тимчасового аналізу та аналізу споживаної потужності проекту, реалізації внутрісистемної налагодження.

У Quartus II використовується зручний графічний інтерфейс і проста в застосуванні довідкова система, що містить всю необхідну для виконання проектування інформацію. Також пакет дозволяє використовувати командний рядок для виконання кожного етапу проектування. Причому, в залежності від уподобань користувача, графічний інтерфейс або командний рядок можуть використовуватися як для виконання окремих етапів, так і для всього проекту в цілому.

Пакет Quartus II інтегрує в собі велику кількість програмних модулів, призначених для виконання різних етапів проектування. Завдання параметрів і виконання типових команд виконується в окремих модулях однаково, що значно полегшує роботу користувача. Редактори вихідних файлів проекту (графічний, текстовий, редактор символів, вмісту модулів пам'яті, тимчасових діаграм, кінцевих автоматів) використовують однакові підходи і прийоми, а також схожі віконні форми, що застосовуються при створенні і редагуванні вихідних файлів з описом модулів проектного пристрою.

В одному ієрархічному проекті можна поєднувати використання різних типів опису вихідних файлів модулів проекту, підбираючи найбільш підходящий тип, для кожного модуля. До складу стандартної бібліотеки Quartus II входить велика кількість базових елементів.

Процедура проектування пристрою, що розробляється на ПЛІС включає в себе наступні етапи розробки:

1. **Введення проекту.** На цьому етапі наводиться опис проекту та його частин. Проект або його частини можуть бути описані традиційним способом у вигляді схеми, що містить окремі елементи, з'єднані між собою ланцюгами зв'язку. Для створення і подальшого редагування таких описів в пакеті Quartus II використовується графічний редактор. Об'єктом його роботи є файли з розширенням .bdf.

Графічне представлення проекту в пакеті Quartus II може створюватися, як в базисі бібліотечних елементів, так і в базисі графічних символів проектувальника. В якості компонентів проекту Quartus II дозволяє використовувати IP (Intellectual Properties) ядра, що представляють собою одиниці інтелектуальної власності. Ці блоки є повністю синтезуються, що переміщуються і можуть за бажанням

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		62

проектувальника розташовуватися в різних частинах кристала. Прикладами ІР ядер є процесорні ядра NIOS II і великий набір різних контролерів периферійних пристроїв.

Головною перевагою графічного способу введення проекту є його традиційність і наочність, пов'язана з звичністю розробників до сприйняття зображень схем [11].

В даний час все більшу популярність здобувають мови опису апаратури (HDL). Вони допускають опис проєктованого пристрою з точки зору, як його поведінки, так і структури. Такі можливості дозволяють представляти проєкт в формі текстового опису алгоритмів функціонування його модулів в поєднанні з текстовим описом міжмодульних з'єднань для складних проєктів [12]. Для створення і подальшого редагування текстових описів частин проєкту в Quartus II використовується текстовий редактор. Допустимими є мови VHDL, Verilog, AHDL (Altera HDL), System Verilog. Відповідні текстові файли мають розширення .vhd, .v, .tdf, .sv.

Перевагами текстового опису проєкту є його компактність і відносна простота автоматизації будь-яких перетворень, включаючи процес створення опису, однозначність розуміння і можливість перенесення проєктів в інші САПР.

В проєкті, що розробляється буде використовуватися змішаний тип опису алгоритму роботи елементів схеми, що розробляється. Головний проєкт буде виконаний графічно, а блоки які виконують функції блоків схеми буде виконаний за допомогою мови програмування VHDL, і потім за допомогою функції create symbol files for current file quartus буде створений новий графічний елемент, який буде реалізовувати запрограмований в ньому код на мові програмування VHDL.

На рисунку 3.20 зображено головний файл проєкту виконаний графічним методом опису. В головному файлі об'єднано всі створенні графічні елементи згідно умови для пристрою, що розробляється.

Для побудови головного проєкту було використано три нових створених елемента створених з VHDL коду за допомогою функції у Quartus II create symbol files for current file quartus – counter, control_device, decoder.

					<i>ЕлІТ 8.171.00.10.002 ПЗ</i>	Арк.
						63
Змн.	Арк.	№ докум.	Підпис	Дата		

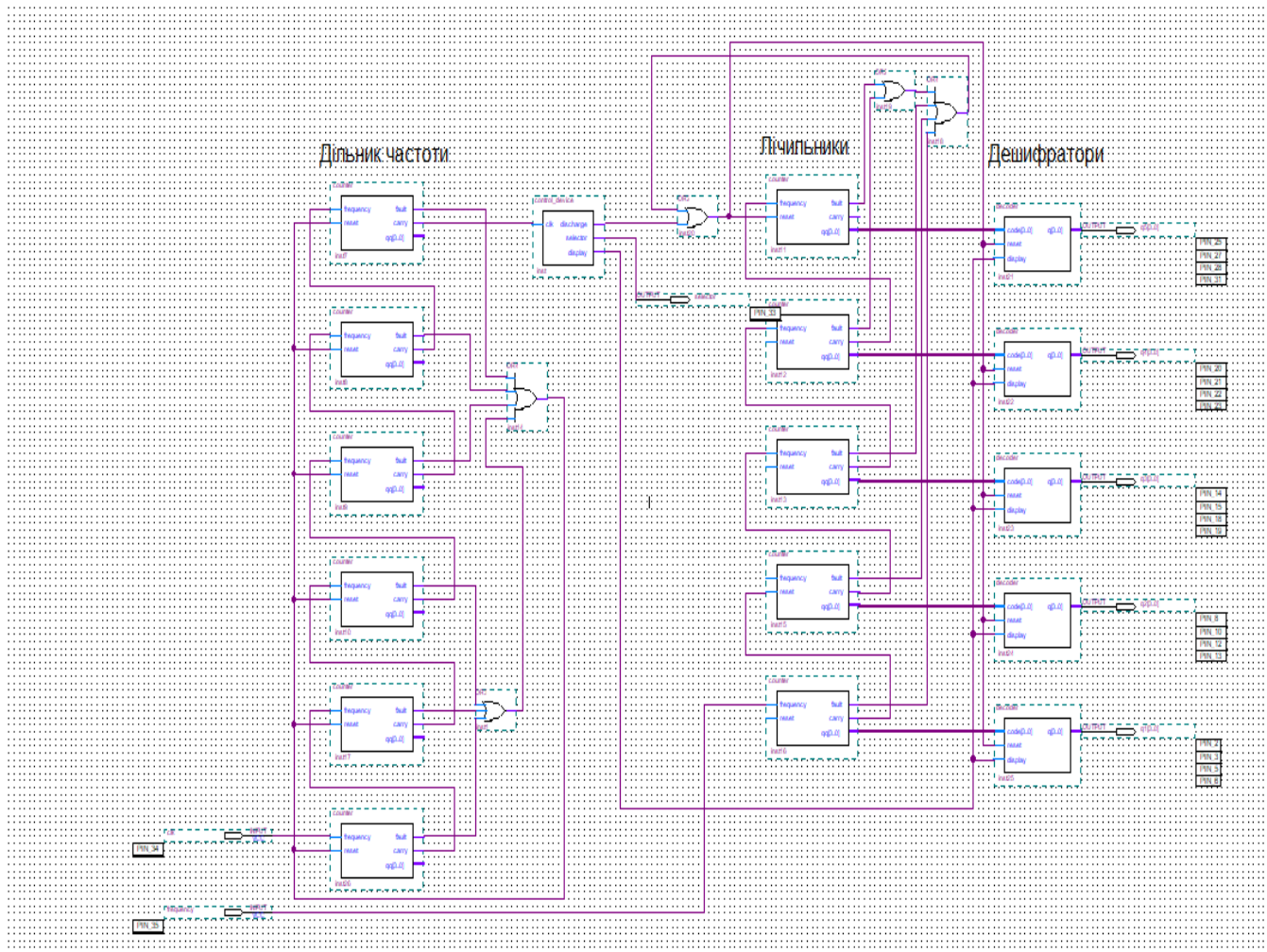


Рисунок 3.20 – Головний файл проекту

Елемент counter (див. рис. 3.21) являє собою біноміальний лічильник з коефіцієнтом перерахунку рівний десяти, алгоритм роботи якого було наведено раніше. Код програми для даного елемента наведено в Додатку А.

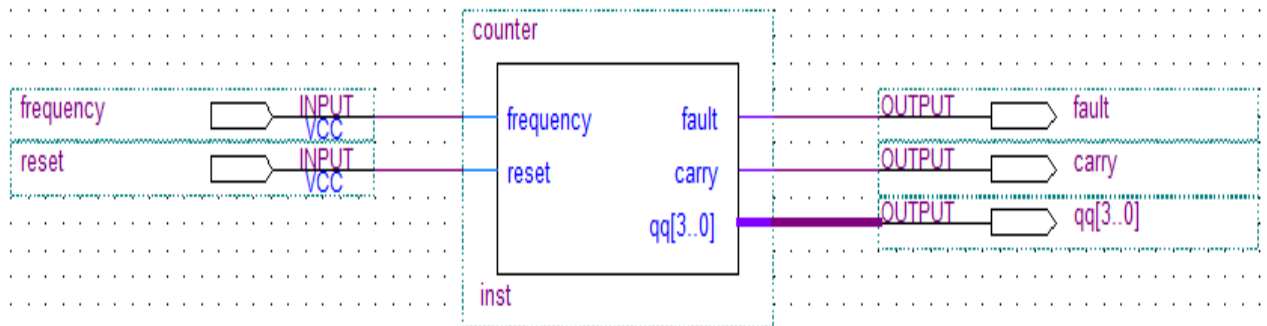


Рисунок 3.21 – Графічне зображення елемента counter

Змн.	Арк.	№ докум.	Підпис	Дата

Елемент control_device (див. рис. 3.22) виконує функції контролю за часом вимірювання частоти, часом відображення результату та скиданням значення в нуль. Код програми для даного елемента наведено в Додатку Б.

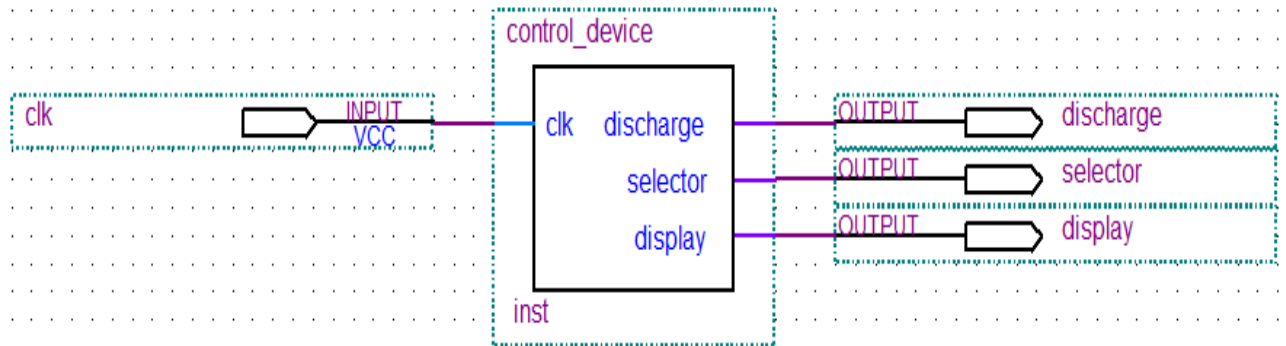


Рисунок 3.22 – Графічне зображення елемента control_device

Елемент decoder (див. рис. 3.23) перетворює завадостійкий біноміальний код, який формує біноміальний лічильник у двійково-десятковий код для відображення результату на семисегментному індикаторі. Код програми для даного елемента наведено в Додатку В.

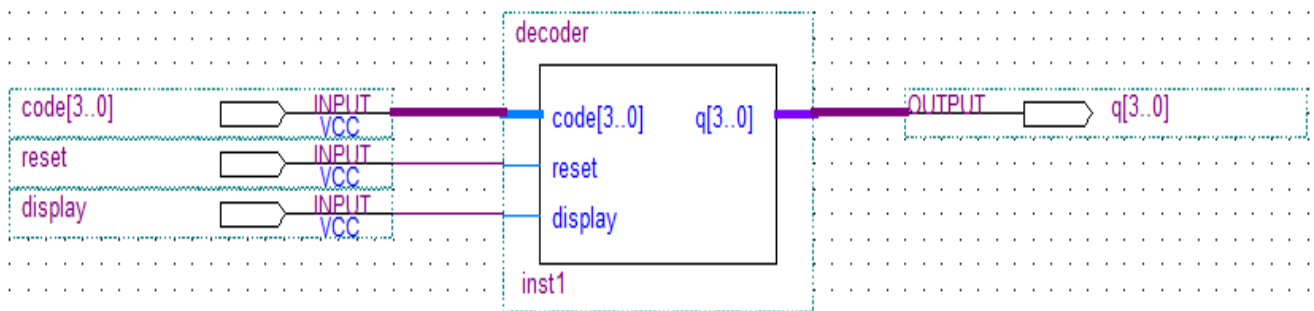


Рисунок 3.23 – Графічне зображення елемента decoder

2. Компіляція проекту. Компіляція являє собою процес перетворення опису проекту в його структурну реалізацію на обраному кристалі ПЛІС. Звіт про успішну компіляцію головного файлу проекту, що підтверджує його працездатність наведено на рисунку 3.24.

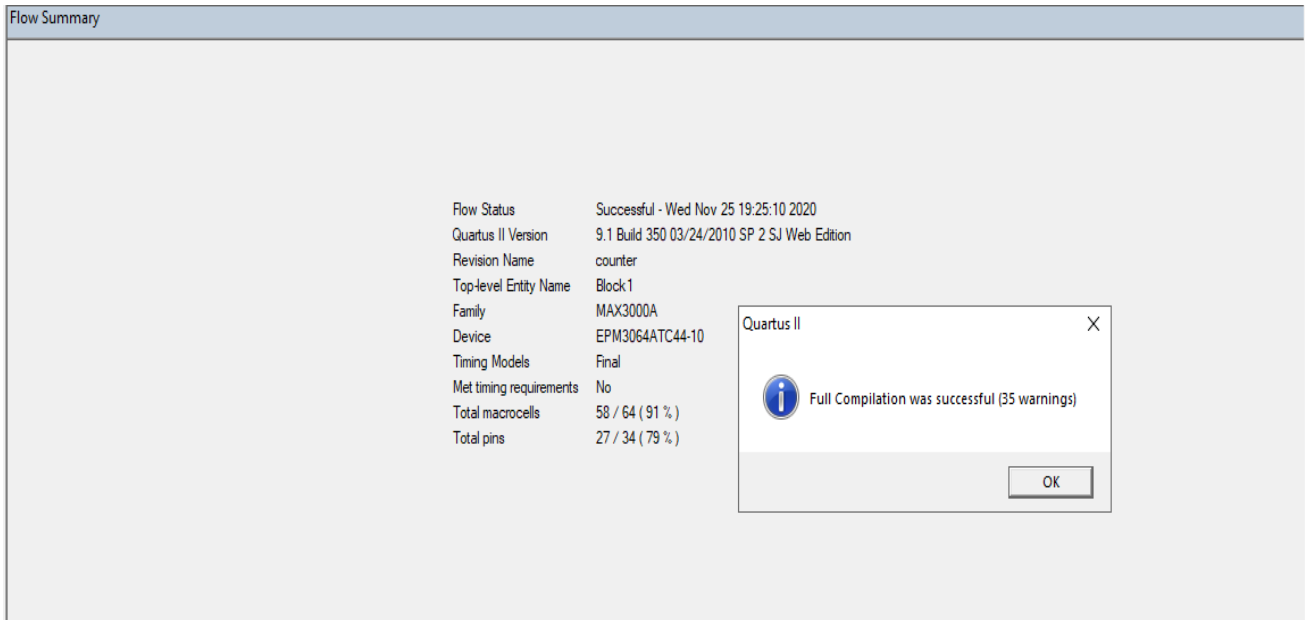


Рисунок 3.24 – Результат компіляції головного файлу проекту

3. Функціональне моделювання проекту. Після завершення етапу синтезу проекту може бути виконана верифікація опису проекту. В основі верифікації опису проекту лежить моделювання його роботи при імітації різних зовнішніх впливів. Якщо при моделюванні не враховуються затримки поширення сигналів, то таке моделювання називається функціональним. Існує два підходи до генерації зовнішніх, щодо проекту, впливів. Перший підхід полягає в формуванні впливів шляхом завдання послідовності вхідних сигналів в редакторі часових діаграм. Другий підхід полягає в написанні спеціальної тестуючої програми за допомогою однієї з мов HDL. При використанні другого підходу тестований об'єкт представляється як структурний компонент, з'єднаний з одного боку з генератором тестових впливів, з іншого боку з аналізатором реакцій. Пакет Quartus II підтримує реалізацію обох підходів. Верифікація може бути виконана як для окремих частин проекту, так і для проекту в цілому. Для виконання етапу верифікації також можуть залучатися кошти моделювання, розроблені сторонніми виробниками САПР.

Для функціонального моделювання розробленого проекту було обрано метод завдання послідовності вхідних сигналів в редакторі часових діаграм. Дослідження проводилися для компонентів схеми, щоб переконатися в правильності їх роботи.

Функціональне моделювання компонента counter наведено на рисунку 3.25, результат моделювання відповідає таблиці істинності роботи біноміального лічильника та заданому алгоритму роботи цього блоку.

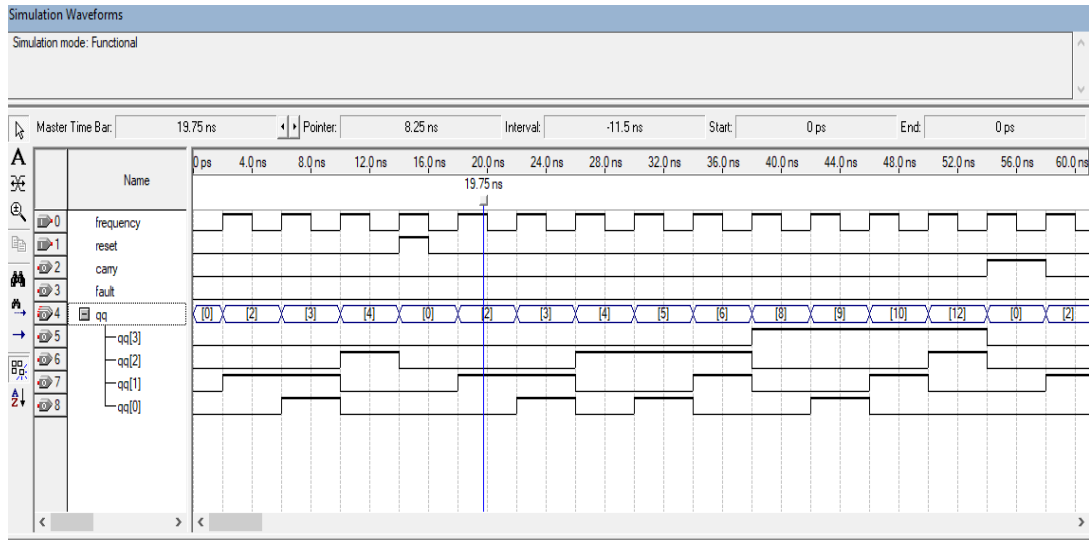


Рисунок 3.25 – Результат функціонального моделювання компонента counter

Функціональне моделювання компонента control_device наведено на рисунку 3.26, результат моделювання відповідає заданому алгоритму роботи цього блоку, а саме тривалість виміру частоти 1 секунда, тривалість відображення 3 секунди, а також 1 секунда на скидання всіх значень для повторного виміру частоти, враховуючи що тактова частота рівна 1 Гц.

Функціональне моделювання компонента decoder наведено на рисунку 3.27, результат моделювання відповідає заданому алгоритму роботи цього блоку, а саме перетворює завадостійкий біноміальний код в двійково-десятковий код для подачі його на пристрій відображення.

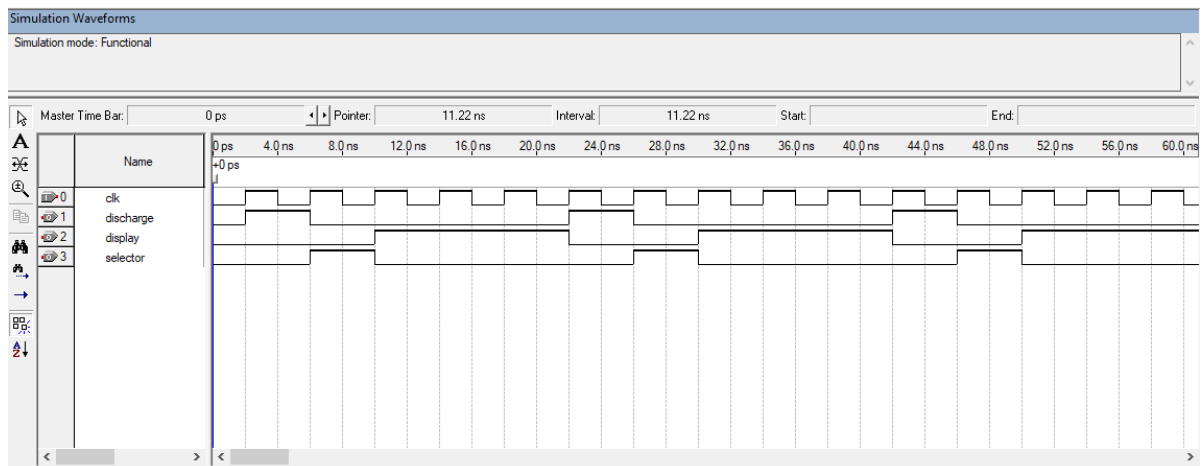


Рисунок 3.26 – Результат функціонального моделювання компонента control_device

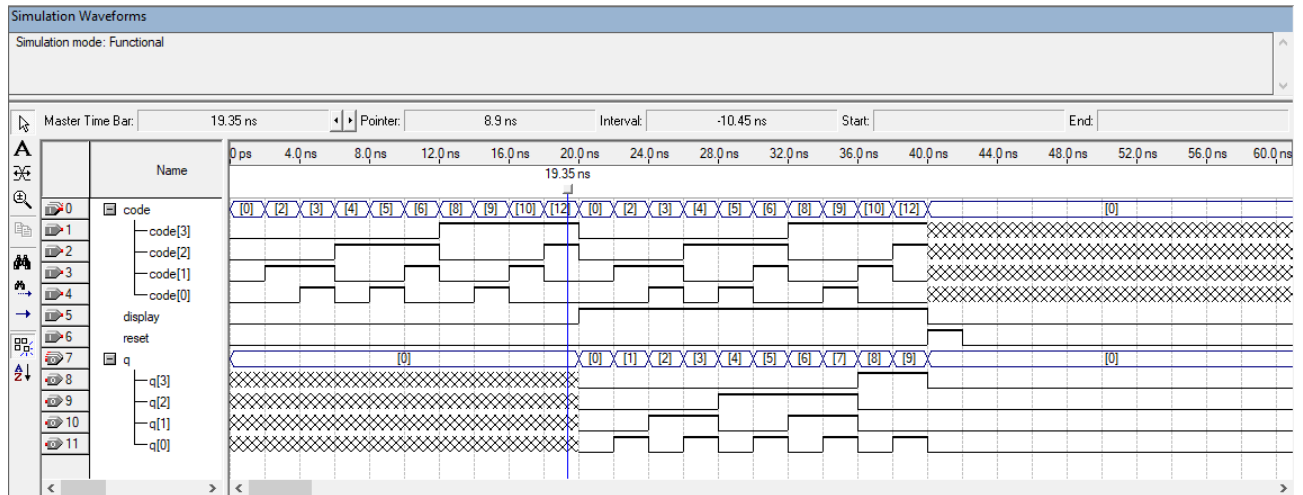


Рисунок 3.27 – Результат функціонального моделювання компонента decoder

4. Розміщення на кристалі ПЛІС. Модуль Chip Planner здійснює монтаж проекту в структуру обраного кристала програмованої логіки. Тобто, отримана на етапі синтезу модель повного представлення проекту в технічному базисі кристала відображається на внутрішні ресурси ПЛІС, якими є конфігуруються логічні блоки, блоки вбудованої пам'яті, вбудовані помножувачі і встановлюються відповідні з'єднання. Результатом компіляції проекту в пакеті Quartus II є завантажувальний файл, тобто конфігураційна інформація для обраної мікросхеми ПЛІС або для завантажувального ПЗУ цієї інтегральної схеми. Налаштування модуля Chip Planner наведено на рисунку 3.28.

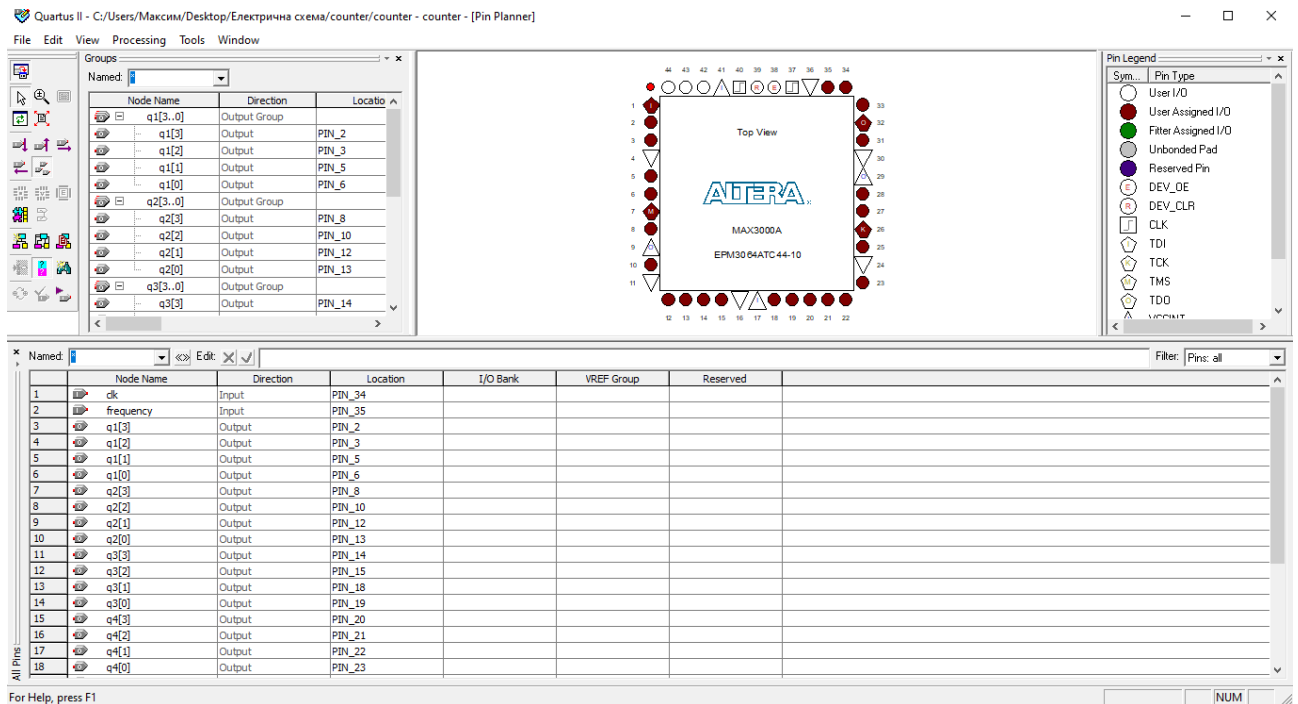


Рисунок 3.28 – Налаштування модуля Chip Planner

4 ТЕХНІКО ЕОНОМІЧНА ЧАСТИНА

4.1 Розрахунок повної собівартості системи

Витрати на матеріали та комплектуючі вироби визначаються виходячи з ціни за одиницю матеріалу/комплектуючого та їх необхідної кількості. Дані про ціни на матеріали та комплектуючі взято з прайс – листів роздрібних постачальників матеріалів, сировини, комплектуючих, послуг в розрахунку на 1 одиницю випуску.

Результати розрахунків за цією статтею приведено в таблицях 4.1 та 4.2.

Таблиця 4.1 – Розрахунок витрат на комплектуючі.

№ з/п	Назва комплектуючого	Кількість, шт.	Ціна за одиницю, грн	Вартість, грн
Конденсатори				
1	СВВ-81- 2200пФ – 2000В (±10%)	1	1,50	1,50
2	Н1803-47 мФ – 450В (±10%)	1	10,50	10,50
3	33 - 33 пФ - 50 В (±10%)	1	0,15	0,15
4	EDLC - 0.1Ф - 5.5В	1	14,5	14,5
5	К10-17- 56 пФ - 63В (±10%)	1	3,50	3,50
6	СВВ-21 - 0,033мкФ – 250В (±10%)	2	1,50	2
7	К50-35-25В-1000 мкФ	2	6	12
8	КМ-56-Н90-0,047мкФ	2	10	20
9	СL-21- 10мкФ- 63v (±5%)	1	17,75	17,75
Мікросхеми				
1	К142ЕН5Г	1	85	85
2	ADP2108AUJZ-3.3-R7	1	76,50	76,50
3	74НС00	1	4,50	4,50
4	74НС04D	1	3,90	3,90
5	ЕРМ3064АТС44-10NTQFP44	1	83,30	83,30

Продовження таблиці 4.1

6	HEF4511B	5	3,80	19
Резистори				
1	0,125Вт 1 кОм 5%	4	0,33	1,32
2	0,125Вт 15 кОм 5%	2	0,30	0,6
3	СП-П-6,8 кОм 1Вт	1	0,33	0,33
4	0,125Вт 100 Ом 5%	1	0,33	0,33
5	0,125Вт 470 1%	1	0,33	0,33
6	0,125Вт 8,2 кОм 5%	1	0,30	0,30
7	0,125Вт 300 Ом 5%	36	0,30	10,8
8	0,25Вт 10 МОм 1%	1	0,6	0,6
9	0,25Вт 100 кОм 1%	1	0,6	0,6
Діоди				
1	КД503А	3	1	3
2	КЦ405Е	1	6	6
Інше				
1	Кварцовий резонатор КХ-49	1	13	13
2	Трансформатор ЕІ54/23.5/14к 12В 1А	1	117,75	117,75
3	Індуктивність 1 мкГн 0.815А	1	25	25
4	Роз'єм JTAG DC3-6P 6 контактів 2,54 мм	1	20	20
5	Семисегментний індикатор BS-A51DRD	5	12	60
Всього				614,06

Таблиця 4.2 – Розрахунок витрат на сировину та матеріали

Матеріал, сировина	Одиниця виміру	Норма витрат	Ціна за одиницю, грн	Вартість, грн
Провід монтажний 0,5мм	кг	0,15	100	15
Склотекстоліт	м ²	0,05	600	30
Флюс	кг	0,03	150	4,50
Припій	кг	0,05	400	20
Лак	кг	0,1	50	5
Матеріали для корпусу	кг	0,25	300	75

Всього	149,50
--------	--------

З урахуванням транспортно-заготівельних витрат ($k_{Т-З} = 5 \div 15\%$) вартість комплектуючих та матеріалів складе:

$$KM = \frac{(K + M) \cdot (100 + k_{Т-З})}{100} = \frac{(614,06 + 149,50) \cdot (100 + 10)}{100} = 839,9 \text{ (грн)}$$

Витрати на основну заробітну плату:

$$Зп = \sum_{i=1}^n T\Gamma_i \cdot Нч_i,$$

де $T\Gamma_i$ – годинна тарифна ставка окремого спеціаліста (інженера-електронщика, лаборанта тощо), що задіяний у виробництві пристрою (установки), грн/год;

$Нч_i$ – витрачений час робітником на виробництво і наладку пристрою (установки);

n – кількість працівників, задіяних у виробництві пристрою (установки).

Годинна тарифна ставка розраховується, виходячи з величини місячного окладу спеціаліста:

$$T\Gamma_i = \frac{Tм_i}{Вф_i \cdot 8}$$

$Tм_i$ – місячний оклад (ставка) спеціаліста, грн;

$Вф_i$ – фактично відпрацьований час за розрахунковий період (місяць), днів (змін).

На сьогоднішній день ці параметри мають такі значення:

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						71
Змн.	Арк.	№ докум.	Підпис	Дата		

$$T_{m_i} = 12\,497 \text{ грн,}$$

$$B\phi_i = 24 \text{ дні.}$$

Розрахуємо годинну тарифну ставку:

$$T_{r_i} = \frac{12\,497}{24 \cdot 8} = 65,08$$

На основі отриманого значення вираховуємо витрати на основну заробітну плату враховуючи, що $N_{ч_i} = 3$ години, $n = 1$.

$$З_{п} = 3 \cdot 65,08 = 195,24 \text{ (грн).}$$

Визначимо значення додаткової заробітної плати:

$$З_{д} = З_{п} \cdot \frac{K_{д}}{100},$$

Де $K_{д}$ – відсоток, який визначає значення додаткової заробітної плати (10 ÷ 30 % від $З_{п}$).

Приймаємо значення $K_{д} = 15\%$ і отримуємо наступний результат:

$$З_{д} = 195,24 \cdot 0,15 = 29,28 \text{ (грн).}$$

Відрахування на соціальні заходи містять відрахування від суми основної і додаткової зарплати за встановленими ставками:

					<i>ЕлІТ 8.171.00.10.002 ПЗ</i>	Арк.
						72
Змн.	Арк.	№ докум.	Підпис	Дата		

- на обов'язкове державне пенсійне страхування;
- на державне страхування від нещасних випадків;
- на обов'язкове державне соціальне страхування на випадок безробіття;
- у зв'язку з тимчасовою втратою працездатності і витратами, зумовленими народженням дитини і похованням.

Враховуючи всі вище названі ставки отримуємо наступне співвідношення для знаходження значення відрахування на соціальні заходи:

$$V_{сз} = (З_{п} + З_{д}) \cdot \frac{36,3}{100} = (195,24 + 29,28) \cdot 0,363 = 81,5 \text{ (грн).}$$

Витрати на утримання і експлуатацію устаткування. У разі, якщо устаткування перебуває на балансі підприємства витрати на утримання і експлуатацію устаткування (ВУЕУ) = основна зарплата * %ВУЕУ, (приймаємо %ВУЕУ=120÷150%).

$$ВУЕУ = З_{п} \cdot 1,35 = 195,24 \cdot 1,35 = 263,57 \text{ (грн).}$$

Загальновиробничі витрати являють собою витрати, пов'язані з управлінням підрозділом, витрати на службові відрядження співробітників підрозділу (цеху), амортизаційні відрахування від вартості основних фондів загально цехового призначення і т.д.

Визначаються в розмірі 130÷250% від основної зарплати. Прийmemo загальновиробничі витрати в розмірі 150% від основної зарплати:

$$V_{зв} = З_{п} \cdot 1,5 = 195,24 \cdot 1,5 = 292,86 \text{ (грн)}$$

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						73
Змн.	Арк.	№ докум.	Підпис	Дата		

Сума статей:

1. Матеріали та комплектуючі.
2. Основна заробітна плата.
3. Додаткова заробітна плата.
4. Відрахування на соціальні заходи.
5. Витрати на утримання і експлуатацію устаткування.
6. Загальновиробничі витрати.

Враховуючи всі перелічені статті виробнича собівартість системи дорівнює:

$$\sum_{cc} = KM + Зп + З_д + В_{сз} + ВУЕУ + В_{зв} = 839,9 + 195,24 + 29,28 + 81,5 + 263,57 + 292,86 = 1702,35 \text{ (грн).}$$

Адміністративні витрати можуть містити в собі:

- витрати, пов'язані з управлінням підприємства;
- витрати на службові відрядження адміністрації підприємства;
- витрати на пожежну й сторожову охорону;
- витрати, пов'язані з підготовкою (навчанням) і перепідготовкою кадрів;
- витрати на перевезення працівників до місця роботи і назад;
- витрати на сплату відсотків за фінансові кредити, а також відсотків за товарні і комерційні кредити; витрати, пов'язані зі сплатою відсотків за користування матеріальними цінностями, взятими в оренду (лізинг);
- витрати, пов'язані з оплатою послуг комерційних банків і інших кредитно-фінансових установ;
- податки, відрахування.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						74
Змн.	Арк.	№ докум.	Підпис	Дата		

Визначаються в розмірі 140-200% від основної зарплати. Прийmemo за 160%, що дорівнює:

$$V_a = 3п \cdot 1,5 = 195,24 \cdot 1,6 = 312,38.$$

Витрати на збут включають витрати на рекламу та перед реалізаційну підготовку системи. Орієнтовно ці витрати визначаються в розмірі 5-10% від виробничої собівартості і складуть приблизно $V_p = 85,11$ грн.

Отже повна собівартість системи становить:

$$\sum_{\text{пс}} = \sum_{\text{сс}} + V_a + V_p = 1702,35 + 312,38 + 85,11 = 2099,84 \text{ (грн)}.$$

На основі всіх отриманих даних складемо таблицю калькуляція собівартості системи (див. табл. 4.3).

Таблиця 4.3 – Калькуляція собівартості системи

Найменування статей калькуляції	Проектний варіант, грн
1. Матеріали та комплектуючі.	839,9
2. Основна заробітна плата	195,24
3. Додаткова заробітна плата.	29,28
4. Відрахування на соціальні заходи.	81,5
5. Витрати на утримання і експлуатацію устаткування	263,57
6. Загальновиробничі витрати.	292,86
Виробнича собівартість	1702,35
7. Адміністративні витрати.	312,38
8. Витрати на збут.	85,11
Повна собівартість системи	2099,84

4.2 Визначення ціни системи

У ринковій економіці існують різні методи ціноутворення: с/в плюс прибуток, забезпечення фіксованого обсягу прибутку, залежно від рівня попиту та ін. Розрахунок оптової ціни системи проведемо за схемою «собівартість плюс прибуток».

$$C_{\text{опт}} = \sum_{\text{пс}} + \frac{\sum_{\text{пс}} \cdot R}{100} = 2099,84 + \frac{2099,84 \cdot 35}{100} = 2834,78 \text{ (грн)},$$

де R – рентабельність системи, приймається в розмірі до 35% від його собівартості.

Відпускна ціна системи включає податок на додану вартість (ПДВ =20%) :

$$C_{\text{розд}} = C_{\text{опт}} \cdot 1,2 = 3401,73 \text{ (грн)}.$$

Позитивні сторони даної методики полягають у її простоті, комплексній очевидності такої функції ціни як відшкодування витрат на виробництво і забезпечення прибутковості від створення та реалізації системи. Недолік даної методики полягає в тому, що вона не враховує ринкові фактори ціноутворення і насамперед попит. Однак в умовах ринкової економіки існують ситуації, коли підприємствам доцільно її застосовувати: в умовах відсутності конкуренції (монополії), при обмеженні рентабельності продукції з боку держави, виконанні одноразових замовлень, виготовленні оригінальної продукції.

Необхідно відзначити, що для встановлення реальної ціни яка б відповідала умовам існуючого ринку систем, необхідні відповідні маркетингові дослідження.

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						76
Змн.	Арк.	№ докум.	Підпис	Дата		

4.3 Визначення річних витрат користувача

Річні експлуатаційні витрати $V_{\text{срв}}$ включають витрати на електроенергію (живлення пристрою), заробітну плату обслуговуючого персоналу, амортизаційні відрахування, витрати на поточний ремонт та інші витрати.

Витрати на електроенергію (живлення пристрою) визначаються за формулою:

$$V_e = W \cdot C_e \cdot t,$$

де W – потужність пристрою, кВт;

C_e – вартість одного кВт·год, грн/кВт·год (тариф для промислових користувачів);

t – час роботи пристрою у році, год.

Прийемо для параметрів такі значення: $W = 2,5 \cdot 10^{-3}$ кВт, $t = 1000$ год.,

$$C_e = 2,65 \frac{\text{грн}}{\text{кВт}} \cdot \text{год.}$$

$$V_e = 2,5 \cdot 10^{-3} \cdot 2,65 \cdot 1000 = 6,60 \text{ (грн)}.$$

Річна сума амортизаційних відрахувань визначається за відповідними нормами амортизації від первісної вартості пристрою, що включає: ціну пристрою; витрати на транспортування й монтаж, які приймаються в розмірі 5 – 15% від ціни.

Амортизацію електронних пристроїв (установок) доцільно нараховувати за прямолінійним методом:

$$A = F \cdot a,$$

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						77
Змн.	Арк.	№ докум.	Підпис	Дата		

де F – первісна вартість пристрою; a – річна норма амортизації.

$$F = C_{\text{розд}} + B_{\text{тм}} = 3401,73 + 340,17 = 3741,9 \text{ (грн)},$$

де $C_{\text{розд}}$ – роздрібна (договірна) ціна пристрою;

$B_{\text{тм}}$ – витрати на транспортування й монтаж пристрою (10% від $C_{\text{розд}}$).

Річна норма амортизації обчислюється прямолінійним методом відповідно до строку корисного використання пристрою:

$$a = \frac{1}{T_{\text{вик}}} = 0,25$$

де $T_{\text{вик}}$ – строк корисного використання пристрою, років. Відповідно до нового Податкового кодексу України допускається не менше 2 років. Для разрубленого пристрою $T_{\text{вик}} = 4$ роки.

Отже амортизація

$$A = 0,25 \cdot 3741,9 = 935,47 \text{ (грн)}.$$

Витрати на поточний ремонт та інші витрати включають в себе вартість електронних елементів, які виходять зі строю протягом року та вартість демонтажних та монтажних робіт. Витрати на ремонт приймаються рівними 5% від капітальних витрат з урахуванням прогнозування відмов:

$$B_{\text{пр}} = F \cdot \frac{k_{\text{пр}}}{100} = 3741,9 \cdot \frac{5}{100} = 187,09 \text{ (грн)}.$$

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
						78
Змн.	Арк.	№ докум.	Підпис	Дата		

Де $k_{пр}$ – відсоток витрат на поточний ремонт.

Отримані результати підсумуємо в таблиці 4.4.

Таблиця 4.4 – Річні експлуатаційні витрати користувача

Статті експлуатаційних витрат	Сума, грн
Вартість електроенергії	6,60
Амортизаційні відрахування	935,47
Витрати на поточний ремонт	187,09
Всього ($V_{срв}$)	1129,16

4.4 Розрахунок повної ціни користувача

Ціна користувача $C_{кор}$ включає в себе капітальні вкладення F та сумарні річні витрати на експлуатацію пристроїв $V_{срв}$ протягом строку використання пристрою:

$$C_{кор} = F + V_{срв} \cdot T_{вик} = 3741,9 + 1129,16 \cdot 4 = 8258,54 \text{ (грн).}$$

4.5 Висновки з техніко-економічної частини

Провівши порівняння техніко-економічних параметрів розробленого пристрою з аналогами можливо заявити про його конкурентоспроможність на ринку за рахунок використання біноміальних систем числення, що підвищують його завадостійкість, і впровадження його в виробництво (див. табл. 4.5). Загальну ціну розробленого пристрою можливо зменшити за допомогою автоматизації процесу.

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		79

Таблиця 4.5 – Порівняння техніко-економічних показників електронної системи-аналога та проектної електронної системи

Показник	Одиниці вимірювання	Значення
Потужність пристрою	Вт	2,5
Середній наробіток на відмову	рік	6000
Ймовірність безвідмовної роботи	%	99
Маса	кг	1,5
Виробнича собівартість	грн	1702,35
Повна собівартість	грн	2099,84
Відпускна ціна	грн	3401,73
Річні експлуатаційні витрати користувача	грн	1129,16
Повна ціна користувача	грн	8258,54

ВИСНОВОК

В ході виконання дипломного проекту було розроблено біноміальний пристрій для вимірювання частоти, який використовує завадостійкі біноміальні коди, що підвищують його завадостійкість.

В ході виконання проектування було виконано наступні пункти:

- розглянуто основні принципи роботи частотомір та ознайомлено з їх схемами;
- розроблено алгоритм роботи пристрою, що конструюється;
- розроблено структурну та функціональну електричну схеми біноміального пристрою для вимірювання частоти;
- на основі структурної та функціональної електричних схем було розроблено принципову електричну схему та проведено розрахунок параметрів її основних вузлів;
- на основі алгоритму роботи біноміальних кодів та алгоритму роботи вузлів пристрою, що розробляється було запрограмована ПЛІС за допомогою мови VHDL;

Для програмування ПЛІС було використано програмного пакету Quartus II.

					<i>ЕлІТ 8.171.00.10.002 ПЗ</i>	<i>Арк.</i>
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		<i>81</i>

СПИСОК ЛІТЕРАТУРИ

- 1 Борисенко А.А., Ермаков М.С. “Формирование помехоустойчивых перестановочных кодов на основе факториальных чисел”, III Міжнародна конференція “Комп’ютерна алгебра і інформаційні технології” САІТ-Odessa-2018-С. 129-132
- 2 Borysenko O., Horiachev O., Serdiuk V., Yermakov M. “Protection of information based on factorial numbers”, Ukrainian Scientific Journal of Information Security, 2018, vol. 24, issue 3, pp. 169-174.
- 3 Борисенко А. А. Биномиальный счет и счетчики: монография. – Сумы: СумГУ, 2008. – 152 с.
- 4 <http://www.payatel.ru/571-shema-prostogo-cifrovogo-chastotomera.html>
- 5 <http://vksn.narod.ru/measur/vr1108.html>
- 6 <http://www.irls.narod.ru/izm/frm/fmt27.htm>
7. Ермаков М.С. “Завадостійкий біноміальний таймер”, «Інтелектуальний потенціал – 2020» - збірник наукових праць молодих науковців і студентів / Колектив авторів – Хмельницький: ПВНЗ УЕП, 2020. – Частина 1. С. 21-22
8. В.Е. Китаев и др. Расчет источников электропитания устройств связи.-М. Радио и связь. 1993.
9. О. А. Борисенко, А. О. Горішняк, В. В. Сердюк, М. М. Яковлев, М. С. Ермаков “Оцінка завадостійкості рівноважних кодів”, Тези доповідей II Міжнародної науково-практичної конференції “Інформаційна безпека та інформаційні технології” - Кропивницький 2020. – с 31.
10. Ефремов Н.В. Введение в систему автоматизированного проектирования Quartus II: учебное пособие. – М.: ГОУ ВПО МГУЛ, 2011. -147 с.
11. Quartus II Handbook Version 10.1. Интернет ресурс. http://www.altera.com/literature/hb/qts/quartusii_handbook.pdf
12. О. А. Борисенко, А. О. Горішняк, В. В. Сердюк, М. М. Яковлев, М. С. Ермаков “Програмування та інформаційно-комунікаційні технології”, II Міжнародної науково-практичної конференції “Інформаційна безпека та

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
						82
Змн.	Арк.	№ докум.	Підпис	Дата		

інформаційні технології”: тези доповідей, 2 – 3 квітня 2020 р. –
Кропивницький: ЦНТУ, 2020. С. 31

					<i>ЕЛІТ 8.171.00.10.002 ПЗ</i>	Арк.
						83
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

ДОДАТОК А

Код програми для компонента counter

```
library ieee;
use ieee.std_logic_1164.all;
entity counter is
port ( frequency: in std_logic;
      reset: in std_logic;
      fault: out std_logic;
      carry: out std_logic;
      qq: out std_logic_vector (3 downto 0));
end counter;
architecture algorithm of counter is
signal k: integer range 0 to 4;
signal q: std_logic_vector (3 downto 0):="0000";
begin
  process (frequency)
  begin
    if (q = "0000") then -- блок виявлення помилок і задання параметру для перевірки
      k <= 0;
    elsif (q = "1000" or q = "0100" or q = "0010") then
      k <= 1;
    elsif (q = "1100" or q = "1010" or q = "1001" or q = "0110" or q = "0101" or q =
"0011") then
      k <= 2;
    else
      k <= 3;
    end if;

    if (RISING_EDGE(frequency)) then
      carry <= '0';
      fault <= '0';
      if (k = 0) then
```

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		84

```

q <= "0010";
elsif ( k = 1 and q = "0010") then
q <= "0011";
elsif (k = 1 and q = "0100") then
q <= "0101";
elsif (k = 1 and q = "1000") then
q <= "1001";
elsif (k = 2 and q = "0011") then
q <= "0100";
elsif (k = 2 and q = "0101") then
q <= "0110";
elsif (k = 2 and q = "0110") then
q <= "1000";
elsif (k = 2 and q = "1001") then
q <= "1010";
elsif (k = 2 and q = "1010") then
q <= "1100";
elsif (k = 2 and q = "1100") then
q <= "0000";
carry <= '1';
elsif (k > 2) then -- виявлення помилки і подання сигналу про її виявлення
fault <= '1';
end if;
if (reset = '1') then -- сброс лічильника в нуль
q <= "0000";
end if;
end if;
end process;
qq <= q;
end algorithm;

```

ДОДАТОК Б

Код програми для компонента control_device

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.STD_LOGIC_UNSIGNED.all;
entity control_device is
port ( clk: in std_logic;
      discharge: out std_logic;
      selector: out std_logic;
      display: out std_logic
      );
end control_device;
architecture algorithm of control_device is
signal c: std_logic_vector (2 downto 0);
begin
process (clk)
begin
if (clk'event and clk='1') then
c <= c + '1';
if (c = "001") then
selector <= '1';
display <= '0';
discharge <= '0';
elsif (c = "010") then
selector <= '0';
display <= '1';
discharge <= '0';
elsif (c = "100") then
c <= "000";
elsif( c = "000") then
display <= '0';
selector <= '0';
```

					ЕлІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		86

```
discharge <= '1';  
end if;  
end if;  
end process;  
end algorithm;
```

					<i>ЕЛІТ 8.171.00.10.002 ПЗ</i>	Арк.
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		87

ДОДАТОК В

Код програми для компонента decoder

```
library ieee;
use ieee.std_logic_1164.all;
entity decoder is
port ( code: in std_logic_vector (3 downto 0);
      reset: in std_logic;
      display: in std_logic;
      q: out std_logic_vector (3 downto 0));
end decoder;
architecture algorithm of decoder is
begin
process (code)
begin
if (display = '1') then
case (code) is
when "0000" => q <= "0000";
when "0010" => q <= "0001";
when "0011" => q <= "0010";
when "0100" => q <= "0011";
when "0101" => q <= "0100";
when "0110" => q <= "0101";
when "1000" => q <= "0110";
when "1001" => q <= "0111";
when "1010" => q <= "1000";
when "1100" => q <= "1001";
when others => q <= "0000";
end case;
end if;
if (reset = '1') then
q <= "0000";
end if;
```

					ЕЛІТ 8.171.00.10.002 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		88

end process;
end algortm

					<i>ЕліТ 8.171.00.10.002 ПЗ</i>	Арк.
<i>Змн.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		89

