

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ**

**КАФЕДРА ЕЛЕКТРОНІКИ І КОМП'ЮТЕРНОЇ ТЕХНІКИ**

**ПОЯСНЮВАЛЬНА ЗАПИСКА**

**ДО КВАЛІФІКАЦІЙНОЇ РОБОТИ МАГІСТРА  
НА ТЕМУ:**

**КОМБІНАТОРНА СИСТЕМА ЗАВАДОСТІЙКОГО  
КОДУВАННЯ ДВІЙКОВИХ ДАНИХ**

**ЗАВДУВАЧ КАФЕДРОЮ**

**А.С. ОПАНАСЮК**

**КЕРІВНИК РОБОТИ**

**І.А. КУЛИК**

**КОНСУЛЬТАНТ**

**З ЕКОНОМІЧНОЇ ЧАСТИНИ**

**О.М. МАЦЕНКО**

**РОЗРОБИВ СТУД. ГР. ЕС.мз-91с**

**С.С. ТИТАРЕНКО**

**СУМЫ 2020**

## РЕФЕРАТ

Пояснювальна записка: \_\_\_ листів; 32 рисунка; таблиць 23; 19 джерел.

Графічні матеріали: 1 схема алгоритму, 1 схема електрична структурна, 1 схема електрична функціональна, 1 схема електрична принципова, 2 додатки.

У цій кваліфікаційній роботі магістра спроектована комбінаторна система завадостійкого кодування двійкових даних, в якій здійснюється перетворення двійкового коду в двійковий факторіально-десятковий код на двох блоках лічильників, один з яких працює в віднімаючому режимі, а інший – в підсумовуючому. У перший вхідний блок лічильників завантажується звичайна двійкова комбінація, а з другого вихідного блоку лічильників за результатами перетворення знімається факторіально-десятковий код. За тактовими імпульсами вміст лічильників змінюється на одиницю.

При досягненні віднімаючими лічильниками нульового значення надходження імпульсів припиняється. Підсумовуючі лічильники при цьому мають необхідний факторіально-десятковий код. З метою комплексності і повноти виконання завдання також була спроектована система зворотного перетворення кодів.

Область застосування даних систем – генерування комбінаторних конфігурацій, засоби обчислювальної техніки, пристрої надійної передачі даних. Дозволяє досить легко розширювати діапазон перетворюються кодових комбінацій, не вимагає коштів при налагодженні.

Ключові слова: перетворювач кодів, лічильний пристрій, факторіальна система числення, двійково-факторіальний код.

Ключевые слова: преобразователь кодов, счетные устройства, факториальная система счисления, двоично-факториальный код.

Key words: codes converter, account units, factorial number system, binary-factorial code.

## ЗМІСТ

СПИСОК УМОВНИХ СКОРОЧЕНЬ .....	
ВВЕДЕННЯ .....	
1 ОГЛЯД ЛІТЕРАТУРИ	
І ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ .....	
1.1 Системи числення застосовані в електронних системах .....	
1.2 Опис лічильників та їх характеристики .....	
1.3 Постановка задачі проектування .....	
2 НАУКОВО-ДОСЛІДНИЦЬКА ЧАСТИНА .....	
2.1 Постановка проблеми .....	
2.2 Опис факторіальної системи числення .....	
2.3 Практичне значення факторіальних систем числення .....	
2.4 Висновки .....	
3 РОЗРОБКА СТРУКТУРНИХ СХЕМ І АЛГОРИТМІВ	
ФУНКЦІОНУВАННЯ РОЗРОБЛЮВАНОЇ СИСТЕМИ .....	
3.1 Модуль перетворення двійкового коду в двійково-факторіальний код .....	
3.2 Модуль перетворення двійково-факторіального коду в двійковий код .....	
4 РОЗРОБКА ФУНКЦІОНАЛЬНИХ СХЕМ	
БЛОКІВ РОЗРОБЛЮВАНОЇ СИСТЕМИ .....	
4.1 Функціональні схеми блоку двійкового віднімання і блоку виявлення нуля .....	
4.2 Функціональна схема блоку двійковий-факторіального підсумовування .....	
4.3 Функціональні схеми блоку двійково-факторіального віднімання і блоку виявлення нуля .....	

4.4	Функціональна схема блоку двійкового підсумовування .....
4.5	Функціональна схема блоків вихідних регістрів .....
5	РОЗРОБКА ПРИНЦИПОВИХ СХЕМ БЛОКІВ РОЗРОБЛЮВАНОЇ СИСТЕМИ .....
5.1	Вибір елементної бази .....
5.2	Принципові схеми блоку двійкового віднімання і блоку виявлення нуля (пряме перетворення) .....
5.3	Принципова схема блоку двійково-факторіального підсумовування .....
5.4	Принципова схема блоку вихідних регістрів .....
5.5	Принципові схеми блоків генератора і дозволу .....
5.6	Розрахунок основних технічних параметрів розроблювальної системи .....
6	ЕКОНОМІЧНА ЧАСТИНА .....
6.1	Підходи до розрахунку чисельності інженерно-технічного персоналу .....
6.2	Розрахунок повної собівартості розроблюваної системи .....
6.3	Розрахунок ціни розроблюваної системи .....
	ВИСНОВОК .....
	СПИСОК ЛІТЕРАТУРИ .....
	ДОДАТОК .....

## СПИСОК УМОВНИХ СКОРОЧЕНЬ

ВІС – велика інтегральна схема

ДК – двійковий код

ДФК – двійково-факторіальний код інтегральна схема

ІМС – інтегральна мікросхема

КМДП – логіка на комплементарних метал-оксід-напівпровідникових транзисторах

ПЛІС – програмована логічна

ТТЛ – транзисторно-транзисторна логіка

ТТЛШ – транзисторно-транзисторна логіка з діодами Шотки

## ВВЕДЕННЯ

У цифрових пристроях доводиться мати справу з різними видами інформації. Це в чистому вигляді двійкова інформація, така як включений прилад або вимкнений, справно пристрій чи ні. Інформація може бути представлена у вигляді текстів, і тоді доводиться літери алфавіту кодувати за допомогою двійкових рівнів сигналу. Досить часто інформація може являти собою числа. Числа можуть бути представлені в різних системах числення. Форма запису в них чисел істотно різниться між собою.

Числа і системи числення, які їх генерують, відмінні від традиційних двійкової, шістнадцяткової та двійково-десятькової систем числення знаходять все більш і більше використання в електронних системах різноманітного призначення. Перспективним напрямом застосування нетрадиційних систем числення таких, як факторіальні, фібоначчєві, біноміальні системи чисел, є побудова спеціалізованих систем управління, передачі і обробки даних з підвищеною надійністю, з можливістю ефективного вирішення складних задач оптимізації, генерування комбінаторних конфігурацій тощо.

Значний інтерес до нетрадиційних систем числення виникає при розробці методів і пристроїв завадостійкого кодування, які змінюють вигляд кодування даних. У системах передачі даних, автоматизованих системах управління і ЕОМ використовують кілька форм представлення інформації. Вхідні і вихідні пристрої оперують зі звичними людині десятковими кодами, обчислення ведуться в двійкових кодах, проміжною формою представлення чисел служить двійковий-десятьковий код. Але в процесі обробки інформації, її передачі по каналах зв'язку і зберіганні необхідно забезпечити перешкодозахищеність даних. Одним з ефективних способів захисту інформації є завадостійке кодування, яке апаратно реалізується за допомогою перетворювачів кодів. У широкому сенсі слова до перетворювачів кодів можна віднести багато цифрових пристроїв, зокрема дешифратори і шифратори. Таким чином, завжди існує задача перетворення одного кодового представлення інформації в інше.

Одним з перспективних напрямів розвитку методів завадостійкого кодування є застосування факторіальних чисел і факторіальних систем числення та побудова кодуєчих і декодуєчих пристроїв на їх основі.

# 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ

## 1.1 Системи числення застосовані в електронних системах

Число – це величина, яка виражає кількість однорідних об'єктів.

Системою числення називають сукупність правил запису чисел обмеженою кількістю символів, названих цифрами. Системи числення поділяють на позиційні і непозиційні. Серед позиційних систем розрізняють системи з безпосереднім або кодованим поданням чисел. Розрядом цифри називається місце (або позиція) цифри в позиційній системі. Основою  $p$  системи числення називають кількість різних цифр, які застосовуються для написання чисел:  $0, 1, \dots, p-1$ . На рисунку 1.1 наведено класифікацію систем числення. Нижче класифікації надано подання десяткового числа 11 у різних системах числення [1, 2].

Існують різні системи числення, і від їх особливостей залежить наочність представлення числа за допомогою цифр і складність виконання арифметичних операцій. Якщо в системі числення кожній цифрі в будь-якому місці числа відповідає одне і те ж значення – кількісний еквівалент, то така система числення називається непозиційною. Таким чином, для непозиційних систем числення розташування цифри в запису числа не має ніякого значення [1, 2].

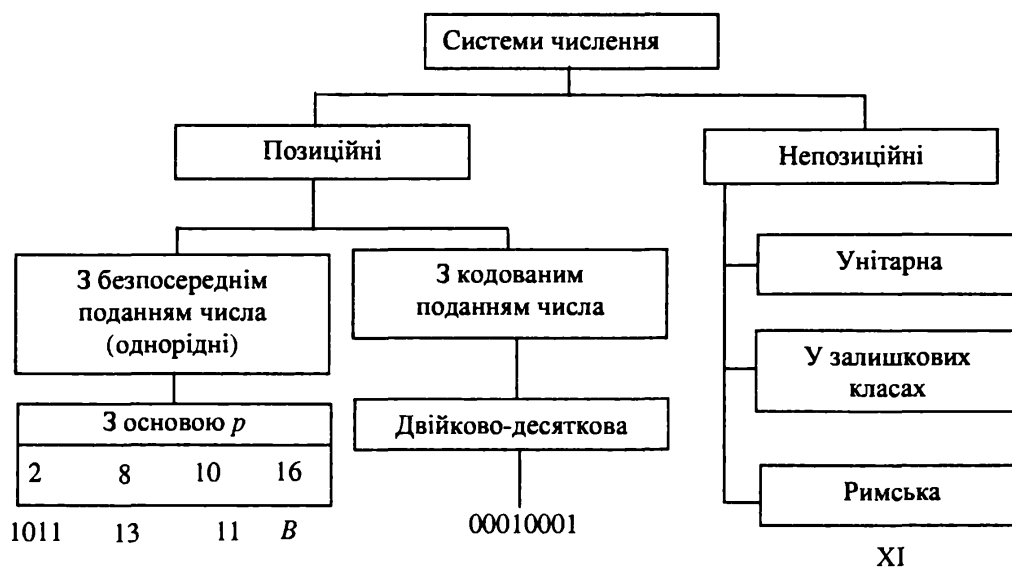


Рисунок 1.1 – Класифікація систем числення

До *непозиційних систем числення* належать: римська, унітарна і система залишкових класів.

У цифровій техніці використовуються позиційні системи числення. Система числення називається позиційною, якщо одна і та ж цифра має різне значення, яке визначається її позицією в послідовності цифр, що зображає число. Це значення змінюється в однозначній залежності від позиції цифри по деякому закону.

До *позиційних систем числення* відносять системи, у яких кожна цифра займає певне положення (розряд або позицію) у ряду цифр, що зображують число. Щоб одержати значення числа, потрібно кожен розряд помножити на число, яке називається вагою розряду. Ваги окремих розрядів являють собою геометричну прогресію зі знаменником, що дорівнює основі системи числення  $p$ . Позиційні системи числення, в яких цифри всіх розрядів набувають значення  $0, 1, \dots, p-1$ , а основа  $p$  є однаковою для всіх розрядів, називають однорідними. Подання числа  $X$  в однорідній позиційній системі числення з основою  $p$  має вигляд [1, 2]:

$$X = \sum_{s=1}^n x^{(s)} p^{n-s} = x^{(1)} p^{n-1} + x^{(2)} p^{n-2} + \dots + x^{(n)} p^0 = x^{(1)} x^{(2)} \dots x^{(n)} .$$

Число  $X$ , що містить  $n$  розрядів цілої частини і  $k$  розрядів дробу, можна виразити формулою:

$$X = \sum_{s=1}^{n+k} x^{(s)} p^{n-s} = x^{(1)} p^{n-1} + x^{(2)} p^{n-2} + \dots + x^{(n)} p^0 + x^{(n+1)} p^{-1} + \\ + x^{(n+2)} p^{-2} + \dots + x^{(n+k)} p^{-k} = x^{(1)} x^{(2)} \dots x^{(n)}, x^{(n+1)} x^{(n+2)} \dots x^{(n+k)} .$$

Систему, в якій кількість символів менша, ніж кількість цифр, а кожен розряд кодується певною комбінацією кількох символів, називають *системою з кодованим поданням чисел*. Такою є, наприклад, *двійково-десятькова система числення*, яка містить десять цифр, але тільки два символи, причому кожна з десяти цифр кодується числами двійкової системи:  $0 = 0000$ ,  $1 = 0001, \dots, 9 = 1001$ . До систем з кодованим поданням чисел відноситься також *двійково-факторіальна система числення*.

*Двійкова система числення*, або система з основою 2, використовує цифри 0 і 1. Такі цифри називаються бітами (Binary Digits). Фізично в цифрових



електронних системах значення 0 відповідає напрузі низького рівня (L-рівня), а значення 1 – напрузі високого рівня (H-рівня).

У таблиці 1.1 наведено значення ваг перших чотирьох двійкових позицій і показано відповідність між двійковим числом  $1001_2$  та його десятковим еквівалентом  $9_{10}$ . Розряд, якому відповідає значення ваги позиції 1, називається молодшим бітом, а розряд, якому відповідає найбільше значення ваги позиції (у цьому разі 8), – старшим бітом.

У таблиці 1.2 подано десяткові числа від 0 до 15 та їх двійкові еквіваленти.

*Трійкова система числення.* Існують три канонічні трійкові системи числення: дві зміщені, цифри розрядів яких набувають значень  $\{0, 1, 2\}$  та  $\{-2, -1, 0\}$ , і одна симетрична, цифри розрядів якої набувають значень  $\{-1, 0, 1\}$  [1, 2].

Таблиця 1.1 – Значення позицій двійкових чисел [1]

Степінь основи	3	2	1	0
Значення ваг позицій	8	4	2	1
Двійкове число	Старший біт 1	0	0	Молодший біт 1
Десяткове число	8	+ 0	+ 0	+ 1 = $9_{10}$

Таблиця 1.2 – Двійкові еквіваленти десяткових чисел від 0 до 15 [1]

Числа											
десяткові		двійкові				десяткові		двійкові			
Значення ваг позицій											
$10^1$	$10^0$	$2^3$	$2^2$	$2^1$	$2^0$	$10^1$	$10^0$	8	4	2	1
0	0	0	0	0	0	0	8	1	0	0	0
0	1	0	0	0	1	0	9	1	0	0	1
0	2	0	0	1	0	1	0	1	0	1	0
0	3	0	0	1	1	1	1	1	0	1	1
0	4	0	1	0	0	1	2	1	1	0	0
0	5	0	1	0	1	1	3	1	1	0	1
0	6	0	1	1	0	1	4	1	1	1	0
0	7	0	1	1	1	1	5	1	1	1	1

У симетричній системі числення використовуються трійкові вагові коефіцієнти розрядів:  $3^0, 3^1, 3^2, \dots$ , а значення -1, 0, 1 відповідають трьом логічним рівням напруги. Подання чисел у симетричній системі має вигляд [1, 2]:

$$X = \sum_{s=1}^n x^{(s)} 3^{n-s} = x^{(1)} 3^{n-1} + x^{(2)} 3^{n-2} + \dots + x^{(n)} 3^0,$$

де  $x^{(i)} \in \{-1, 0, 1\}$ .

У таблиці 1.3 наведено еквіваленти дев'яти додатних і від'ємних десяткових чисел у симетричній трійковій системі числення.

Скоротити довжину запису двійкових чисел можна, застосовуючи системи числення з кратною основою, тобто системи, основи яких  $p_1$  і  $p_2$  зв'язані співвідношенням  $p_2 = p_1^k$  де  $k$  – ціле додатне число. Прикладами таких систем є двійкова, вісімкова і шістнадцяткова системи ( $2^3 = 8$ ;  $2^4 = 16$ ). Вісімкову і шістнадцяткову системи числення, як правило, використовують як допоміжні для скорочення трудомісткості обробки інформації.

*Шістнадцяткова система числення* є системою з основою 16 та містить 16 символів: 0,1,2,3,4,5,6,7, 8,9, A, B, C, D, E, F. У таблиці 1.4 наведено двійкові та шістнадцяткові еквіваленти 16 перших десяткових чисел. Кожну шістнадцяткову цифру подають єдиною комбінацією чотирьох двійкових цифр. Так, шістнадцятковим еквівалентом двійкового числа  $10011110_2$  є число  $9E_{16}$ . Це означає, що старшу тетраду (4 старші розряди)  $1001$  двійкового числа записують як  $9_{16}$ , а молодшу тетраду  $1110$  – як  $E_{16}$  [1, 2].

Таблиця 1.3 – Десяткові числа та їх еквіваленти у симетричній трійковій системі [1]

Числа							
десяткові додатні	симетричні трійкові			десяткові від'ємні	симетричні трійкові		
Значення ваг позицій							
$10^0$	$3^2$	$3^1$	$3^0$	$10^0$	$3^2$	$3^1$	$3^0$
1	0	0	1	-1	0	0	-1
2	0	1	-1	-2	0	-1	1
3	0	1	0	-3	0	-1	0
4	0	1	1	-4	0	-1	-1
5	1	-1	-1	-5	-1	1	1
6	1	-1	0	-6	-1	1	0
7	1	-1	1	-7	-1	1	-1
8	1	0	-1	-8	-1	0	1
9	1	0	0	-9	-1	0	0

Таблиця 1.4 – Двійкові та шістнадцяткові еквіваленти десяткових чисел [1]

Десяткове число		Шістнадцятковий еквівалент	Двійковий еквівалент			
Значення ваг позицій						
$10^1$	$10^0$	$16^0$	$2^3$	$2^2$	$2^1$	$2^0$
0	0	0	0	0	0	0
0	1	1	0	0	0	1
0	2	2	0	0	1	0
0	3	3	0	0	1	1
0	4	4	0	1	0	0
0	5	5	0	1	0	1
0	6	6	0	1	1	0
0	7	7	0	1	1	1
0	8	8	1	0	0	0
0	9	9	1	0	0	1
1	0	A	1	0	1	0
1	1	B	1	0	1	1
1	2	C	1	1	0	0
1	3	D	1	1	0	1
1	4	E	1	1	1	0
1	5	F	1	1	1	1

Двійково-десятькова система числення – система, у якій кожен десятковий цифру від 0 до 9 подають 4-розрядним двійковим еквівалентом. Така система числення дозволяє скоротити програмні та апаратні витрати при перетворенні двійкових чисел, які використовують під час обробки інформації у процесорі, на десяткові, що виводять на пристрої відображення. Ця система є ефективною і при перетворенні десяткових чисел на двійкові. Двійково-десятькові числа записують з індексом 2-10 або ДДК (двійково-десятьковий код), наприклад  $01001001_{2-10}$ ,  $0100_{\text{ДДК}}$  [1, 2].

Позиційні системи числення мають ряд переваг перед непозиційними. Основною перевагою слід вважати зручність виконання таких арифметичних операцій, як додавання, віднімання, множення, ділення, добування кореня та ін. Тому в цифровій техніці, як правило, застосовуються позиційні системи числення. Вибір підстави системи числення залежить від фізичних елементів, на основі яких будується той або інший пристрій. У цифровій техніці широко використовуються елементи з двома стійкими станами. У цих елементах відмінність між окремими фіксованими станами носить якісний, а не кількісний

характер, завдяки чому уявлення чисел з їх допомогою може бути реалізовано значно надійніше, ніж за допомогою елементів, в яких число чітко помітних станів перевищує два. Зокрема, виконання елемента з десятьма чітко помітними станами є складне технічне завдання. Вказана обставина стало однією з головних причин поширення в цифровій техніці позиційних систем з недесяткових підставою, в першу чергу двійковій, а також восьмеричної і шістнадцятковій систем числення.

Але все більш поширене застосування знаходять нетрадиційні позиційні неоднорідні систем числення такі, як факторіальні, фібоначчєві, біноміальні системи чисел, котрі використовуються для побудови спеціалізованих систем й пристроїв управління, передачі і обробки даних з підвищеною надійністю, з можливістю ефективного вирішення складних задач оптимізації, генерування комбінаторних конфігурацій тощо.

## 1.2 Опис лічильників та їх характеристики

Лічильник – це цифрова схема, котра під дією вхідних імпульсів переходить з одного стану в інший, фіксуючи тим самим число імпульсів, що надійшли на її вхід, у тому чи іншому коді [3, 4].

Основною операцією лічильників є зміна вмісту лічильника наодиницю (іноді умовну). Якщо одиниця додається, то лічильник називається таким, що підсумовує та виконує операцію інкрементації. Якщо лічильник одиницю віднімає, то він називається від'ємним та виконує операцію декрементації. Якщо лічильник і підсумовує, і віднімає, то він називається реверсивним.

Головна характеристика лічильника – модуль (коефіцієнт перерахунку). Модуль визначає максимальне число можливих станів лічильника.

*Класифікація лічильників [3, 4]:*

1. За методом роботи у часі:
  - 1.1. синхронні; 1.2. асинхронні.
2. По засобу кодування:
  - 2.1. двійкові лічильники (лічильники з груповою структурою);
  - 2.2. двійково-кодовані лічильники з довільним модулем;

2.3. лічильники з недвійковим кодуванням: лічильники у коді Грея, лічильники у коді "1 з n";

2.4. поліномінальні лічильники.

Загалом лічильники будуються на тригерах типу JK та типу T.

Двійковий лічильник – це лічильник, що має модуль перерахунку  $M = 2^n$ , де  $n$  – ціле число та має у стані рахування послідовні коди чисел на виходах. На рисунку 1.2 показаний двійковий трьохрозрядний асинхронний підсумовуючий лічильник, на рисунку 1.3 – часові діаграми його роботи, на рисунку 1.4 – двійковий трьохрозрядний асинхронний віднімаючий лічильник, на рисунку 1.5 – часові діаграми його роботи [3, 4].

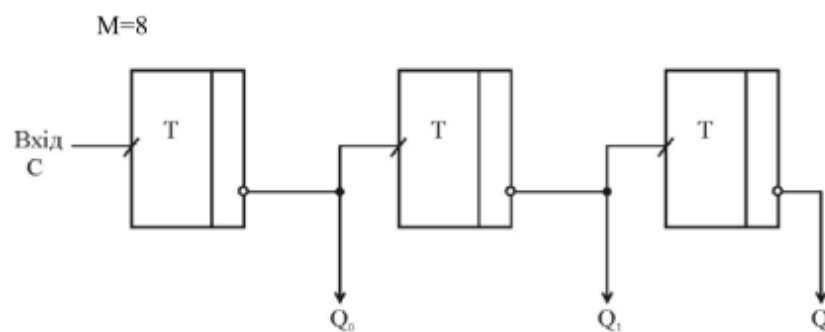


Рисунок 1.2 – Асинхронний підсумовуючий лічильник

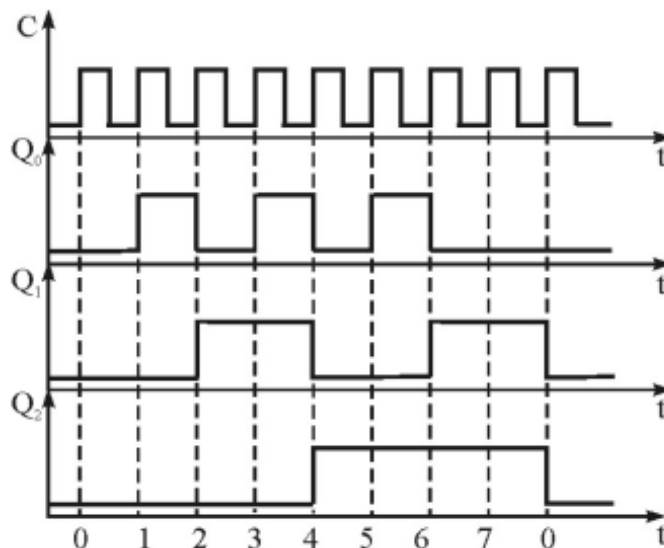


Рисунок 1.3 – Часова діаграма роботи асинхронного підсумовуючого лічильника

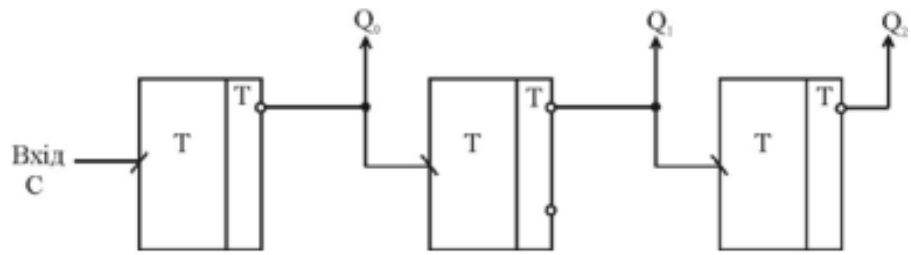


Рисунок 1.4 – Асинхронний підсумовуючий лічильник

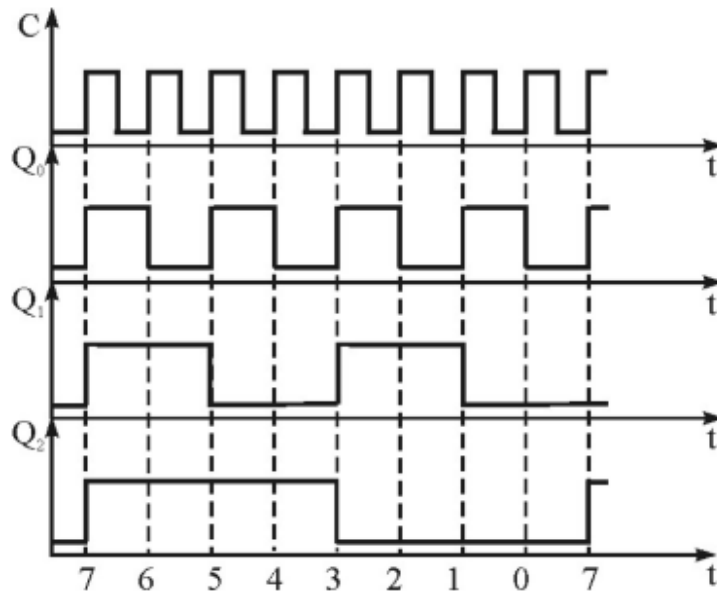


Рисунок 1.5 – Часова діаграма роботи асинхронного віднімаючого лічильника

На рисунку 1.6 демонструється двійковий реверсивний асинхронний лічильник (реалізація двох розрядів зі схемою керування на пряму рахування).

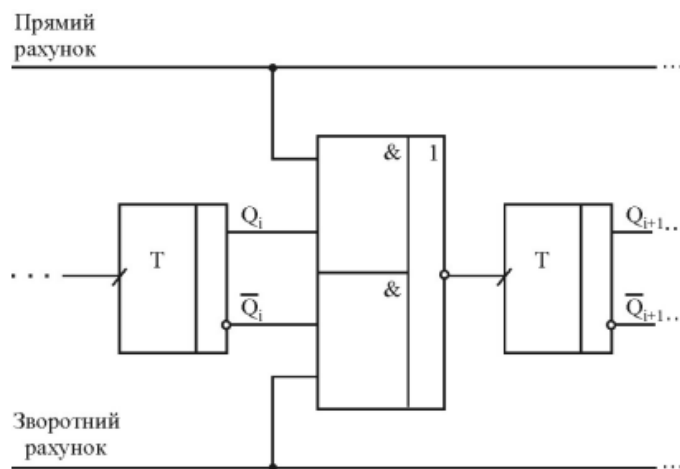


Рисунок 1.6 – Схема реверсивного лічильника

Всі наведені схеми належать до асинхронних лічильників, оскільки в них кожен тригер перемикається вихідним сигналом попереднього, і ці перемикання відбуваються не одночасно [3, 4]. Особливістю послідовних лічильників є виникнення у перехідних процесах неправдивих станів із-за затримок перемикання тригерів (рисунок 1.7).

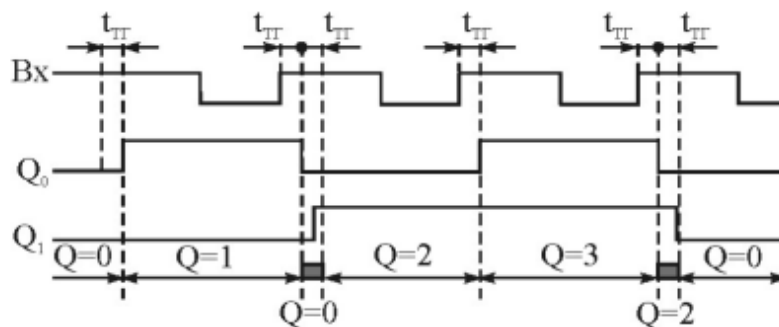


Рисунок 1.7 – Часові діаграми роботи послідовного двійкового лічильника [3]

Синхронні лічильники з паралельним переносом мають максимальну швидкодію (рисунок 1.8). У них відсутні такі неправдиві стани.

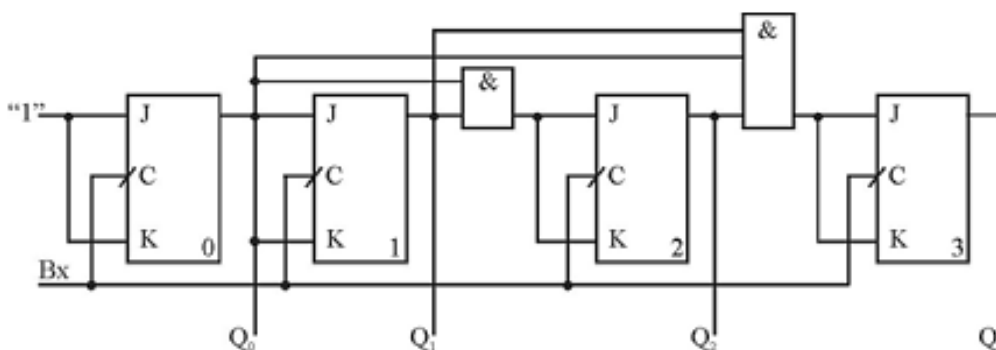


Рисунок 1.8 – Схема паралельного лічильника

Зі збільшенням числа розрядів реалізація таких лічильників ускладнюється, оскільки у схемі встановлюються вентиля з великим числом входів, таким чином зростає навантаження на виходи тригерів.

Для того, щоб здолати обмеження на побудову паралельних лічильників великої розрядності, використовуються схеми лічильників з груповою

структурою. При цьому лічильник розбивається на групи, що зв'язані ланцюгами міжгрупового переносу (рисунок 1.9).

Двійково-кодовані лічильники з довільним модулем – це лічильники з модулем, нерівним цілій степені числа 2. Для кожної конкретної задачі розроблюється своя схема, при цьому можливе використання декількох способів побудови [3, 4]:

1. модифікація міжрозрядних зв'язків;
2. керування скиданням.

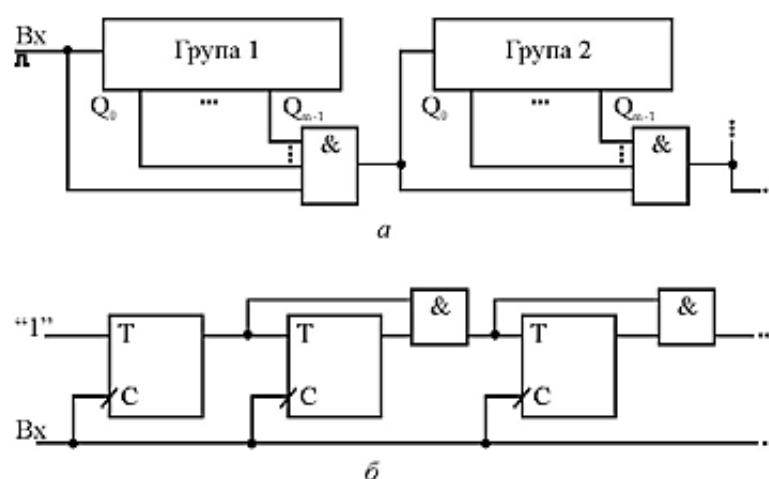


Рисунок 1.9 – Схема паралельного лічильника

Розглянемо короткі характеристики лічильників з недвійковим кодуванням [3, 4]:

*Лічильники в коді Грея.*

Код Грея – це код, у якому при переході від будь-якої кодової комбінації до наступної змінюється тільки один розряд. Для кожної конкретної задачі будується своя схема.

*Лічильники у коді "1 з n".*

Такі лічильники застосовуються у системах синхронізації та системі керування. На їх основі розроблюють імпульсні послідовності з заданими часовими діаграмами. Лічильник у коді "1 з n" має один вхід, на який подаються імпульси генератора, та n виходів. При цьому перший імпульс генератора подається на перший вхід, другий – на другий, третій – на третій і т.д. (така структура називається розподільовач тактів). Основою таких



лічильників є зрушуючі регістри, замкнені у кільце. Для кожної конкретної задачі будується своя схема.

#### *Лічильник Джонсона.*

Будується на базі зрушуючих регістрів. Має зворотний зв'язок на перший тригер від інверсії вихідного сигналу (рисунок 1.10).

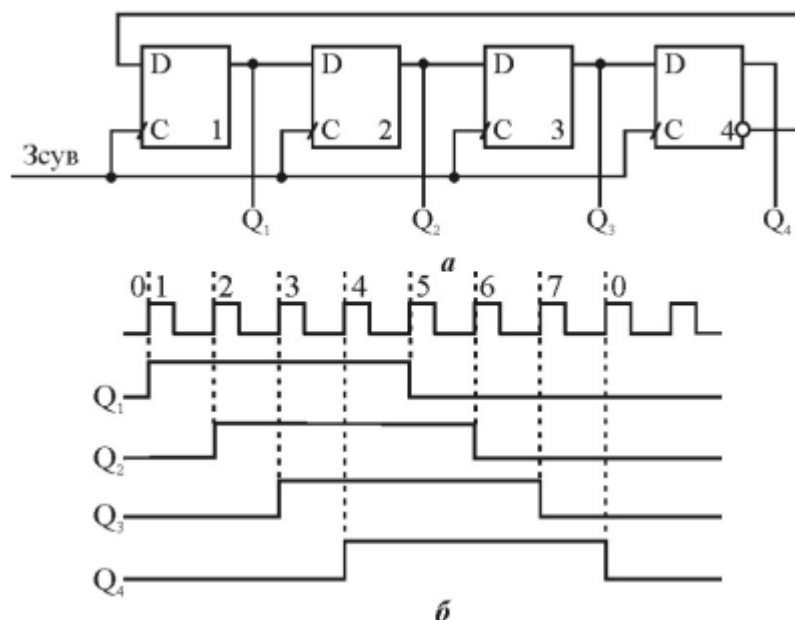


Рисунок 1.10 – Схема лічильника Джонсона (а) та часові діаграми його роботи (б)

#### *Поліномінальні лічильники.*

Поліномінальні лічильники – це зрушуючі регістри з лінійними зворотними зразками, генератори псевдовипадкових послідовностей. Використовуються у пристроях тестового діагностування цифрових пристроїв, для вирішення математичних задач методом Монте-Карло, при моделюванні систем з урахуванням випадкового розкиду їх параметрів і таке інше.

### 1.3 Постановка задачі проектування

На підставі огляду літератури з побудови комбінаторної системи завадостійкого кодування на основі факторіальних чисел можна укласти наступне.

1. Існують чотири способи побудови пристроїв перетворення кодів:

- а) за допомогою комбінаційних логічних схем;
- б) на основі постійного пам'яті;
- в) на основі програмованих логічних схем (ПЛІС);
- г) за допомогою рахункових пристроїв.

2. З точки зору простоти реалізації, відсутністю необхідності засобів налагодження і програмування, простоти розширення кодової таблиці слід вибрати для синтезу заданої системи спосіб на основі підсумовуючих і віднімаючих лічильників.

3. Аналіз технічного завдання та потреб практики дозволяють сформулювати такі технічні вимоги до параметрів проектованої комбінаторної системи завадостійкого кодування на основі факторіальних чисел:

Кількість перетворюваних комбінацій	$\leq 256$
Кількість розрядів вхідних двійкових комбінацій	$\leq 8$
Кількість факторіальних розрядів вихідного двійкової-факторіального коду (ДФК)	$\leq 6$
Середній час затримки перетворення кодів	$\leq 20$ мкс
Частота переключення лічильників	$\geq 20$ МГц

## 2 НАУКОВО-ДОСЛІДНИЦЬКА ЧАСТИНА

### 2.1 Постановка проблеми

Такий клас комбінаторних об'єктів, як перестановки, широко і ефективно застосовується на практиці для вирішення відомих завдань: 1) перешкодостійка передача даних; 2) захист даних від несанкціонованого доступу; 3) комбінаторна оптимізація. Так, наприклад, для побудови гнучких і швидких блокових апаратних шифрів з метою захисту інформаційно-телекомунікаційних систем використовуються перестановки, які управляються, фіксовані перестановки та перестановки, від яких залежить вид перетворюваних даних [5, 6]. З урахуванням розміщення і значень елементів перестановок вони з успіхом можуть бути застосовані для виявлення і корекції помилок в даних, які передаються по каналах зв'язку [7]. Випадково породжені перестановки в якості вхідних конфігурацій вихідних даних необхідні для оцінки складності та ефективності алгоритмів, наприклад за методом Монте-Карло [8].

Загальним методом породження різних комбінаторних об'єктів, в тому числі перестановок, є метод, який базується на пошуку з поверненням [8]. Безпосереднє застосування цього методу зазвичай призводить до алгоритмів, виконання яких вимагає великих витрат за часом. Щоб знизити ці часові витрати при породженні перестановок необхідно адаптувати цей загальний метод до конкретного завдання. У даній роботі пропонується для генерування перестановок використовувати факторіальні числа, які за своїми структурам і властивостями подібні між собою.

Таким чином, цілями науково-дослідницької роботи є:

- 1) розробка алгоритмів породження перестановок на базі факторіальних чисел і зворотного перетворення;
- 2) розробка структур електронних систем, які реалізують алгоритми породження перестановок на базі факторіальних чисел і зворотного перетворення.

## 2.2 Опис факторіальної системи числення

Факторіальні системи числення відносяться до систем зі змішаною основою. Зазвичай під факторіальною системою числення розуміють вираз, який має вигляд [9]:

$$F_{\langle\phi\rangle} = X_n \cdot n! + X_{n-1} \cdot (n-1)! + \dots + X_z \cdot z! + \dots + X_1 \cdot 1! + X_0 \cdot 0!, \quad (2.1)$$

де  $z = 0, 1, \dots, n$ ;  $0 \leq X_z \leq z$ .

Воно має назву нумераційної або числової функції.

Максимальне число  $F_{\max}$  в факторіальній системі числення має вид  $n(n-1)\dots z\dots 10$ . Тоді  $F_{\langle\phi\rangle} = F_{\max} = (n+1)! - 1$ . Це виходить з наведених нижче перетворень над  $F_{\langle\phi\rangle}$ , коли  $X_z = z$ . У цьому випадку

$$\begin{aligned} F_{\langle\phi\rangle} = F_{\max} &= (n+1-1) \cdot n! + ((n-1)+1-1) \cdot (n-1)! + \dots \\ &\dots + (z+1-1) \cdot z! + \dots + (1+1-1) \cdot 1! + (0+1-1) \cdot 0! = \\ &= (n+1)! - n! + n! - (n-1)! + \dots + (z+1)! - z! + \dots \\ &\dots + 2! - 1! + 1 - 1! = (n+1)! - 1. \end{aligned} \quad (2.2)$$

Мінімальне число  $00\dots 0\dots 0$  в факторіальній системі числення  $F_{\min} = 0$ . Дійсно, якщо усі розряди  $X_z = 0$ ,

$$F_{\langle\phi\rangle} = F_{\min} = 0 \cdot n! + 0 \cdot (n-1)! + \dots + 0 \cdot z! + \dots + 0 \cdot 1! + 0 \cdot 0! = 0.$$

Діапазон факторіальних чисел  $R = F_{\max} + 1$ . Для його знаходження враховується, окрім максимального числа, ще й ноль.

При виконанні арифметичних операцій в факторіальній системі числення в нульовому розряді використовують правила унарної (одиночної) системи числення, в першому – двійкової, у другому – трійкової і т.д.

*Приклад.* Виконати операції додавання і віднімання факторіальних чисел  $A_{\langle\phi\rangle} = 23110$  і  $B_{\langle\phi\rangle} = 12200$ , знайти величину максимального числа.

*Рішення:*

$$\begin{array}{r} 23110 \\ + 12200 \\ \hline 42010 \end{array} \qquad \begin{array}{r} 23110 \\ - 12200 \\ \hline 10210 \end{array}$$

*Перевірка:*

$$2 \cdot 4! + 3 \cdot 3! + 1 \cdot 2! + 1 \cdot 1! + 0 \cdot 0! = 69_{\langle 10 \rangle};$$

$$1 \cdot 4! + 2 \cdot 3! + 2 \cdot 2! + 0 \cdot 0! = 40_{<10>};$$

$$4 \cdot 4! + 2 \cdot 3! + 0 \cdot 2! + 1 \cdot 1! + 0 \cdot 0! = 109_{<10>};$$

$$1 \cdot 4! + 0 \cdot 3! + 2 \cdot 2! + 1 \cdot 1! + 0 \cdot 0! = 29_{<10>}.$$

Максимальне число  $F_{\max} = 4 \cdot 4! + 3 \cdot 3! + 2 \cdot 2! + 1 \cdot 1! + 0 \cdot 0! = 119$ . Діапазон факторіальних чисел для даного випадку  $P = F_{\max} + 1 = 120$ .

Операції множення і ділення виконуються за допомогою операцій додавання і віднімання за загальними правилами для однорідних систем числення.

Перетворення числа з степенної системи числення в факторіальну проводиться в наступному порядку.

Першим кроком буде ділення числа, яке перетворюється, на одиницю. Якщо знайдене частка буде більше одиниці, то наступним кроком буде ділення його на два і тоді отриманий залишок від ділення запишеться як цифра першого розряду факторіального числа. Потім аналізується величина отриманої при діленні на два частки. Якщо вона менше трьох, то в другий розряд факторіального числа записується його значення, а в усі старші розряди – нулі. Якщо більше трьох, то виконується ділення цієї частки на три, причому із залишком і часткою виконуються тіж операції, які розглядалися на другому етапі алгоритму. Ця процедура триває до тих пір, поки частка не стане менше свого подільника. Після чого справа наліво вписуються всі отримані раніше залишки. Їх послідовність створює шукане число.

*Приклад.* Перетворити десяткове число  $D = 69_{<10>}$  в факторіальне число  $F_{<ф>}$ .

*Рішення:*

$$\begin{array}{r}
 -69 \overline{) 1} \\
 \underline{-69} \\
 0 \quad \underline{68} \\
 \quad \quad 1
 \end{array}
 \quad
 \begin{array}{r}
 \overline{) 2} \\
 \underline{-34} \\
 \quad \underline{33} \\
 \quad \quad 1
 \end{array}
 \quad
 \begin{array}{r}
 \overline{) 3} \\
 \underline{-11} \\
 \quad \underline{8} \\
 \quad \quad 3
 \end{array}
 \quad
 \begin{array}{r}
 \overline{) 4} \\
 \underline{-2} \\
 \quad 2
 \end{array}$$

*Відповідь:*  $F_{<ф>} = 23110$ .

## 2.3 Практичне значення факторіальних систем числення

*Побудова перестановок.* Факторіальні системи числення дають можливість побудови широкого класу комбінаторних конфігурацій, серед яких особливе значення мають перестановки. Їх можна породжувати в заданому порядку або випадково. Також за допомогою факторіальних чисел вирішується завдання перетворення перестановок в відповідні їм числа степеневих систем числення, тобто виконувати завдання нумерації перестановок [9].

Розглянемо алгоритм побудови перестановок у випадковому порядку. Це означає, що кожна перестановка будується без аналізу перестановок, які були побудовані раніше. Для цього спочатку будуються факторіальні числа, а потім на їх основі формуються перестановки [9].

Для того, щоб знайти відповідність між числом в факторіальній системі числення і перестановкою необхідно цифру, яка стоїть в  $n$ -му розряді числа залишити без змін. Наступну цифру  $(n-1)$ -го розряді необхідно порівняти з попередньою і якщо вона дорівнює або більше за неї, то цифру  $(n-1)$ -му розряді потрібно збільшити на одиницю. В іншому випадку вона залишається без змін. Скоригована таким чином цифра  $(n-1)$ -го розряду порівнюється з другим елементом перестановки. Цифра  $(n-2)$ -го розряду порівнюється з цифрою  $n$ -го розряду факторіального числа і якщо вона більше або дорівнює їй, то її значення збільшується на одиницю і потім порівнюється з цифрою  $(n-1)$ -го розряду.

Якщо вона більше або дорівнює цифрі  $(n-1)$ -го розряду, то її необхідно також збільшити на одиницю. Якщо ні, то залишити без зміни. Скоригований таким чином цифра  $(n-2)$ -го розряду є третім елементом перестановки. Відповідно отримують і інші елементи перестановки, які відповідають молодшим елементів факторіального числа, в тому числі і нульовому розряду.

*Приклад.* Знайти перестановку  $V_{\langle \text{пер} \rangle} = 035241$ .

*Рішення.* Відповідно до розглянутих вище правилам побудови за допомогою факторіального числа отримаємо, що

$$F_{\langle \text{ф} \rangle} = 023110 \leftrightarrow V_{\langle \text{пер} \rangle} = 035241.$$

*Нумерація перестановок.* Зворотнє завдання переходу від перестановки до факторіальному числу містить наступні кроки: в якості цифри  $n$ -го розряду факторіального числа береться старший  $n$ -й елемент перестановки. Наступна цифра повинна дорівнювати  $n$ -му елементу перестановки, якщо вона менше цього елемента або зменшеному на одиницю його значенню, якщо вона більше цього елемента.

Відповідно з  $z$ -го елемента перестановки віднімається стільки одиниць, скільки в перестановці буде менших попередніх йому елементів. Якщо таких елементів не буде, то цифра  $z$  факторіального числа буде дорівнювати  $z$ -му елементу перестановки.

*Приклад.* Дана перестановка  $V_{\langle \text{пер} \rangle} = 045321$ . Треба знайти відповідне їй число в факторіальній системі числення.

*Рішення.* Спираючись на розглянуте вище правило нумерації перестановок за допомогою факторіальних чисел отримуємо, що  $V_{\langle \text{пер} \rangle} = 045321 \leftrightarrow F_{\langle \text{ф} \rangle} = 033210$ .

За допомогою факторіального числа  $F_{\langle \text{ф} \rangle}$  і числової факторіальної функції легко отримати номер перестановки, тобто

$$033210 = 0 \cdot 5! + 3 \cdot 4! + 3 \cdot 3! + 2 \cdot 2! + 1 \cdot 1! + 0 \cdot 0! = 95_{\langle 10 \rangle}.$$

Розглянута вище факторіальна система числення є тільки одна з класу факторіальних систем. Вона породжує в даному випадку всі можливі перестановки. Але можуть бути отримані й інші, більш складні факторіальні системи числення, які будуть породжувати факторіальні числа з іншою структурою і тим самим будувати перестановки з обмеженнями, тобто тільки частину перестановок із загального їх класу.

Наприклад, можна поставити умову, що після цифри 4 в перестановці може йти тільки цифра 5 або 6 і тоді будується вже складніша факторіальна система числення ніж в попередньому прикладі.

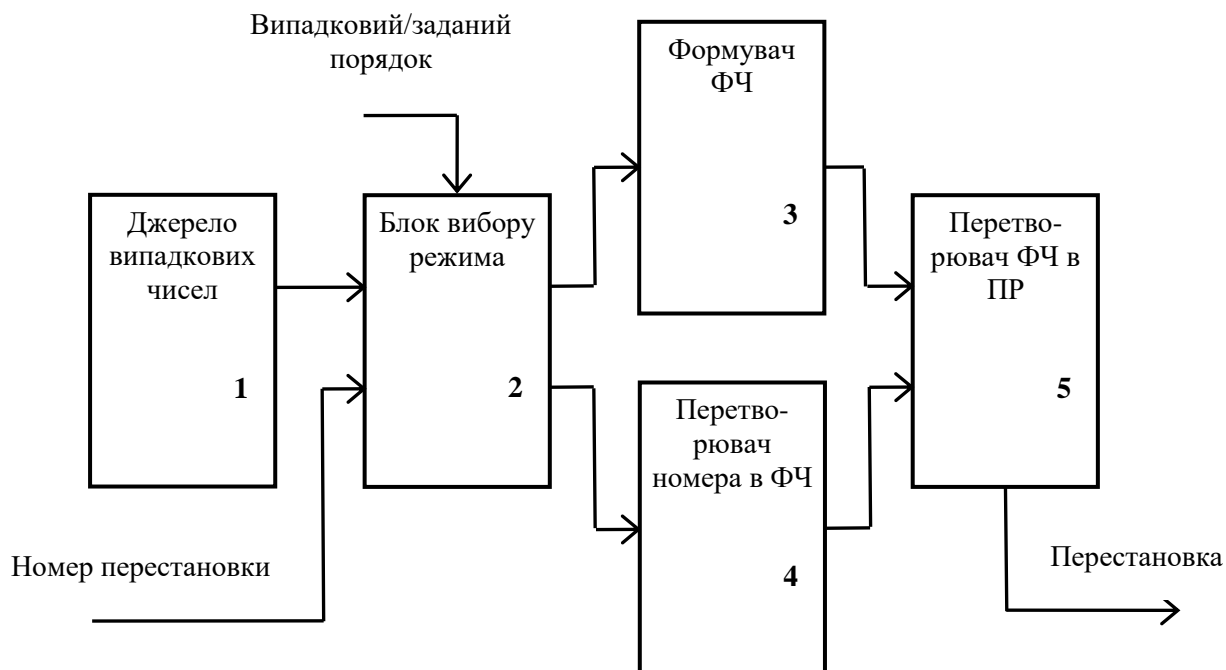


Рисунок 2.1 – Електронна система формування перестановок на базі факторіальних чисел, де ФЧ – факторіальне число, ПР – перестановка

Структура системи формування перестановок на базі факторіальних чисел відображена на рисунку 2.1. Алгоритм роботи даної системи полягає в наступному [9].

За заданим режимом роботи "Випадковий/заданий порядок" блок 2 вибору режиму активізує роботу або блоку 3 формувача факторіальних чисел, або блоку 4 перетворювача номера в ФЧ. Якщо система повинна генерувати перестановки в довільному порядку, тобто застосовується режим "Випадковий порядок", то включається в роботу блок 3, на вхід якого подаються числа з генератора 1 випадкових чисел. Блок 3 формує факторіальні числа, які відповідають числовій функції і обмеженням щодо значень кожного розряду числа (2.1). Далі факторіальне число надходить до блоку 5 перетворювача факторіального числа в перестановку, який працює згідно з розробленим алгоритмом.

Результатом роботи блоку 5 є перестановка, яка згенерована в довільному порядку. Якщо система повинна генерувати перестановки в заданому порядку,



тобто застосовується режим "Заданий порядок", то включається в роботу блок 4, на вхід якого подаються номери з зовнішнього пристрою. Цим зовнішнім пристроєм може бути обчислювальна машина, пристрій ручного введення даних, датчик і т.п.

Блок 4 формує факторіальні числа згідно з алгоритмом перетворення чисел з степеневі системи числення в факторіальну. Далі факторіальне число надходить до блоку 5 перетворювача факторіального числа в перестановку, результатом роботи якого є перестановка, згенерована в заданому порядку.

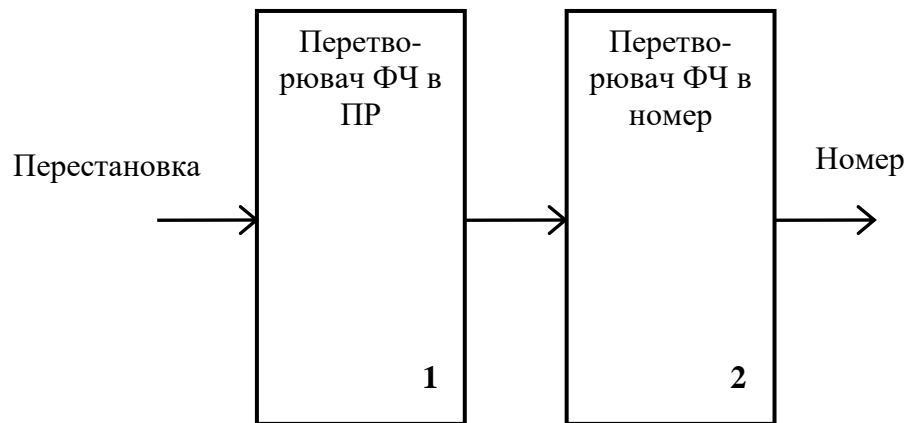


Рисунок 2.2 – Електронна система нумерації перестановок на базі факторіальних чисел, де ФЧ – факторіальне число, ПР – перестановка

Структура системи, яка вирішує зворотну задачу формування номерів перестановок на базі факторіальних чисел, відображена на рисунку 2.2. Алгоритм роботи даної системи формує алгоритм оберненої задачі перетворення перестановок в факторіальні числа, який реалізує блок 1, і алгоритм обчислення номера згідно числової функції (2.1), який реалізує блок 2.

## 2.4 Висновки

Факторіальна система числення є однією з класу факторіальних систем. Вона породжує всі можливі перестановки. Але можуть бути отримані й інші перестановки, більш складні, які будуть генеруватися факторіальними числами

з іншою структурою і тим самим будувати перестановки з обмеженнями, тобто тільки частину перестановок з їх загального класу. Розробка таких систем має науковий і практичний інтерес при вирішенні комбінаторних завдань.

Запропоновані алгоритми генерування перестановок і їх нумерації на основі факторіальних чисел дозволяють:

- 1) зменшити часові витрати на генерування перестановок в довільному або заданому порядку;
- 2) спростити технічну реалізацію пристроїв і систем, які генерують перестановки.

### 3 РОЗРОБКА СТРУКТУРНИХ СХЕМ І АЛГОРИТМІВ ФУНКЦІОНУВАННЯ РОЗРОБЛЮВАНОЇ СИСТЕМИ

#### 3.1 Модуль перетворення двійкового коду в двійково-факторіальний код

Завдання, які вирішуються при синтезі структурної схеми системи перетворення ДК в ДФК, є наступними:

- забезпечення буферизації і зберігання вихідної кодової комбінації;
- побудова схеми синхронізації системи перетворення;
- реалізація схем обміну керуючими сигналами між системою і джерелом вихідної комбінації, системою і приймачем результуючої комбінації;
- побудова схеми формування внутрішніх керуючих сигналів;
- забезпечення буферизації і зберігання результуючої кодової комбінації.

Структурна схема системи перетворення ДК в ДФК складається з наступних блоків: блоку 1 двійкового віднімання, блоку 2 генератора, блоку 3 дозволу, блоку 4 виявлення нуля, блоку 5 двійковий-факторіального підсумовування, блоку 6 вихідних регістрів (рисунок 3.1).

Блок 1 двійкового віднімання реалізує віднімаючу лічбу синхроімпульсів, перебираючи звичайні двійкові комбінації. Одночасно з цим блок 1 виконує функції буферизації і зберігання вихідної кодової комбінації, що надходить на його вхід. Оскільки кількість комбінацій, які перетворюються,  $N = 512$ , то розрядність  $n_{\text{дк}}$  вихідної двійкової комбінації:

$$n_{\text{дк}} = \lceil \log_2 N \rceil = \lceil \log_2 512 \rceil = 9.$$

Відповідно, розрядність входу даних блоку 1 дорівнює 9 розрядів.

Блок 2 генератора формує тактову послідовність синхроімпульсів заданої частоти, забезпечуючи при цьому синхронізацію системи перетворення ДК в ДФК.

Блок 3 дозволу служить для формування внутрішнього сигналу заборони подачі імпульсів після закінчення перетворення кодів.

Блок 4 виявлення нуля призначений для фіксації нульової комбінації блоку 1 двійкового віднімання, сигналізуючи при цьому завершення перетворення.

Блок 5 двійковій-факторіального підсумовування реалізує сумуючий рахунок синхроімпульсів, перебираючи двійкові-факторіальні комбінації. Остання комбінація даного блоку після формування сигналу заборони подачі імпульсів є результуючою комбінацією, що відповідає вихідної. Вихідна розрядність блоку 5 визначається числом  $N$  вхідних двійкових комбінацій. З огляду на необхідну вимогу, можемо отримати з рівності (2.2) параметр  $n$  факторіальної системи числення. Далі, використовуючи  $n$ , знаходимо загальне число  $n_{\text{ДФК}}$  розрядів ДФК на основі наступного виразу:

$$n_{\text{ДФК}} = \sum_{i=1}^n n_i = \sum_{i=1}^n \lceil \log_2(i+1) \rceil, \quad (3.1)$$

где  $n_i$  – число двійкових розрядів  $i$ -го розряду двійково-факторіального числа.

Так як  $N = 512$ , то з рівності (2.2) слідує

$$F_{\text{max}} = (n+1)! - 1 \geq N - 1 = 511;$$

$$(n+1)! \geq 512.$$

З вищенаведеної нерівності, отримуємо  $n = 5$ .

Таким чином, згідно з формулою (3.1) визначаються значення загального числа  $n_{\text{ДФК}}$  двійкових розрядів і чисел  $n_i$  двійкових розрядів  $i$ -го розряду ДФК:

$$n_{\text{ДФК}} = \sum_{i=1}^5 n_i = \sum_{i=1}^5 \lceil \log_2(i+1) \rceil =$$

$$= \lceil \log_2 6 \rceil + \lceil \log_2 5 \rceil + \lceil \log_2 4 \rceil + \lceil \log_2 3 \rceil + \lceil \log_2 2 \rceil =$$

$$= 3 + 3 + 2 + 2 + 1 = 11,$$

где двійкова довжина ( $i = 5$ )-го розряду ДФК –  $n_5 = 3$ ;

двійкова довжина ( $i = 4$ )-го розряду ДФК –  $n_4 = 3$ ;

двійкова довжина ( $i = 3$ )-го розряду ДФК –  $n_3 = 2$ ;

двійкова довжина ( $i = 2$ )-го розряду ДФК –  $n_2 = 2$ ;

двійкова довжина ( $i = 1$ )-го розряду ДФК –  $n_1 = 1$ .

Блок 6 вихідних регістрів служить для зберігання отриманої в результаті перетворення комбінації, прискорення роботи модуля перетворення і логічної розв'язки модуля з джерелом і приймачем кодів.

Модуль перетворення ДК в ДФК відповідно до структури на рисунку 3.1 працює наступним чином.

Вихідна двійкова комбінація заноситься в блок 1 двійкового віднімання по сигналу "Load" від джерела даних. Одночасно з цим сигналом проводиться скидання блоку 5 двійково-факторіального підсумовування в нульовий стан. Після зняття сигналу "Завантаження" блоки 1 і 5 починають сприймати синхроімпульси, що надходять з блоку 2 генератора через блок 4 дозволу. Блок 1 двійкового віднімання з приходом кожного імпульсу віднімає зі свого вмісту одиницю. Блок 5 двійково-факторіального підсумовування, навпаки, з приходом імпульсу додає до свого вмісту одиницю. При досягненні блоком 1 нульового стану спрацьовує блок 3 виявлення нуля, який замикає блок 4 дозволу, забороняючи тим самим подачу синхроімпульсів на блоки 1 і 5. Сигнал з блоку 3 дозволу надходить також на блок 6 вихідних регістрів, записуючи в нього результуючу двійково-факторіальну комбінацію з блоку 5. Крім того, сигнал з блоку 3 використовується як сигнал "Ready" для джерела і приймача кодів комбінацій, сповіщаючи їх про готовність до перетворення наступної двійкової комбінації.

Алгоритм роботи модуля перетворення ДК в ДФК, який складається з 10 операцій, показаний на рисунку 3.2, где <БДВ> – вміст блоку 1 двійкового віднімання, <БДФП> – вміст блоку 5 двійково-факторіального підсумовування, <БВР> – вміст блоку 6 вихідних регістрів, RDY – сигнал "Ready".

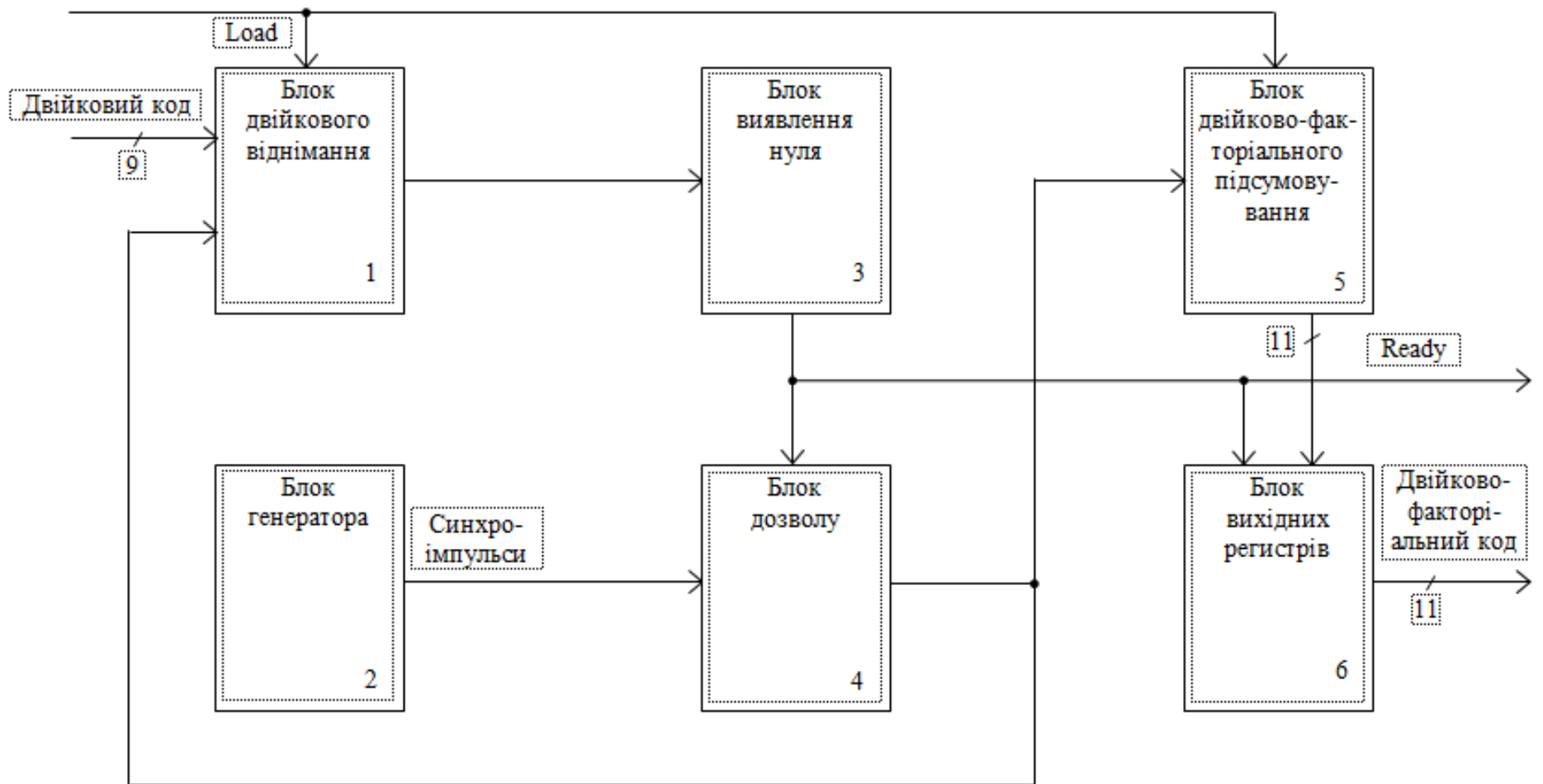


Рисунок 3.1 – Структурна схема модуля перетворення ДК в ДФК

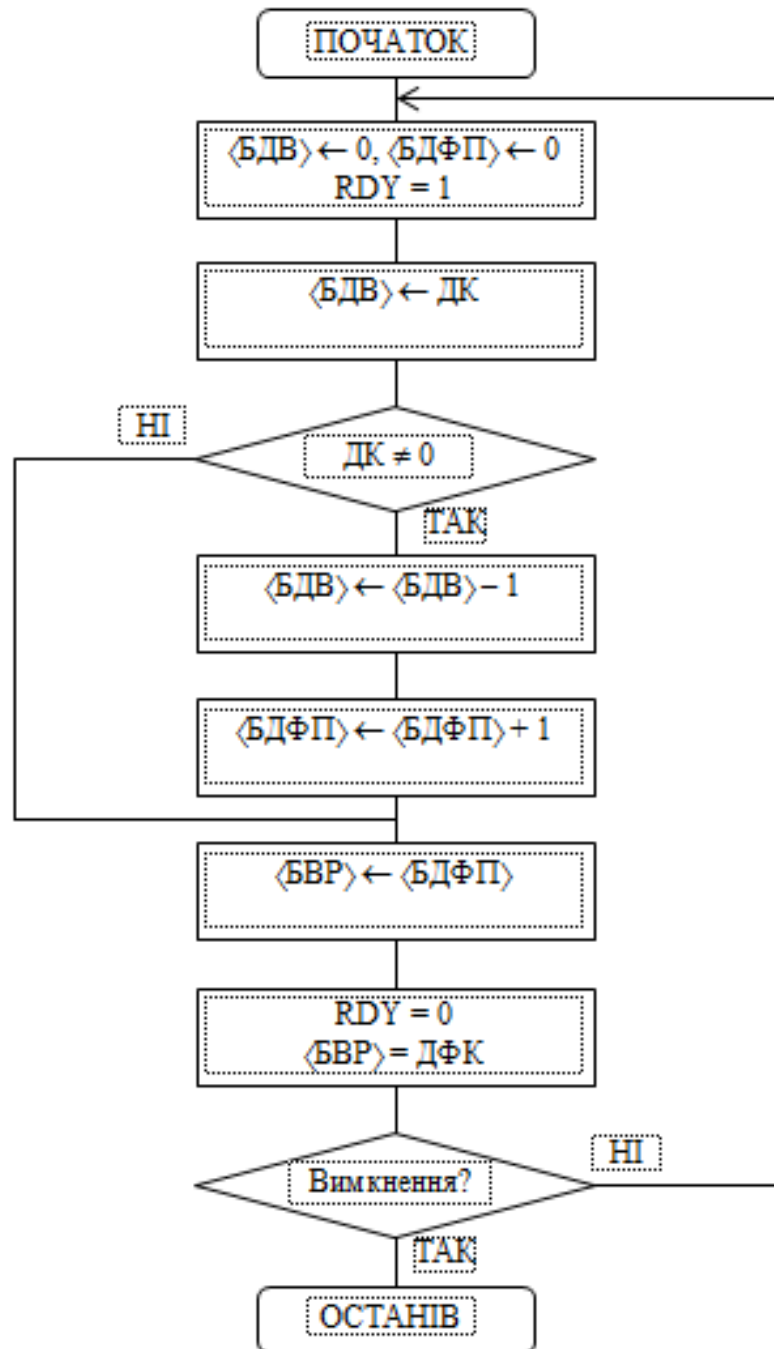


Рисунок 3.2 – Алгоритм роботи модуля перетворення ДК в ДФК

### 3.2 Модуль перетворення двійково-факторіального коду в двійковий код

При синтезі структурної схеми модуля зворотного (ДФК в ДК) перетворення кодів вирішуються ті ж завдання, що і при синтезі системи прямого кодоперетворення ДК в ДФК (підрозділ. 3.1).

Структурна схема системи перетворення ДФК в ДК складається з наступних блоків: блоку 1 двійково-факторіального віднімання, блоку 2 генератора, блоку 3 дозволу, блоку 4 виявлення нуля, блоку 5 двійкового підсумовування, блоку 6 вихідних регістрів (рисунок 3.3).

Блок 1 двійкового-факторіального віднімання забезпечує зменшення свого двійково-факторіального вмісту на одиницю з приходом кожного синхроімпульсу. Одночасно з цим блок 1 виконує функції буферизації і зберігання вихідної кодової комбінації, що надходить на його вхід. Кількість розрядів двійковий-факторіального коду дорівнює 6 (молодший нульовий розряд  $i = 0$  являє собою двійковий нуль): при  $i = 1$  двійкова довжина розряду ДФК дорівнює одиниці, при  $i = 2$  двійкова довжина розряду ДФК дорівнює двом, при  $i = 3$  двійкова довжина розряду ДФК дорівнює трьом, при  $i = 4$  двійкова довжина розряду ДФК дорівнює чотирьом, при  $i = 5$  двійкова довжина розряду ДФК дорівнює п'яти. У разі параметра  $n = 5$  факторіальної системи числення (2.1) відповідно до виразу (2.1)

$$F_{\max} = (n + 1)! - 1 = 6! - 1 = 719.$$

Таким чином, блок 1 может перебирати комбінації ДФК с нуля по  $F_{\max} = 719$ .

Тактовий генератор 2 формує тактову послідовність імпульсів заданої частоти, забезпечуючи при цьому синхронізацію модулів перетворення.

Блок 3 дозволу служить для формування внутрішнього сигналу заборони подачі імпульсів після закінчення перетворення кодів.

Блок 4 виявлення нуля призначений для фіксації нульової комбінації блоку 1 двійково-факторіального віднімання, сигналізуючи при цьому про завершення перетворення.

Блок 5 двійкового підсумовування реалізує збільшення на одиницю свого вмісту з приходом кожного синхроімпульсу, перебираючи звичайні двійкові комбінації. Остання двійкова комбінація даного блоку після формування



сигналу заборони подачі імпульсів є результуючою комбінацією, що відповідає вихідної. Оскільки кількість  $N = 512$  заданих комбінацій, що перетворюються, то вихідна розрядність блоку 5 визначається як

$$n_{Б5} = \lceil \log_2 N \rceil = \lceil \log_2 512 \rceil = 9.$$

Блок 6 вихідних регістрів служить для зберігання отриманої в результаті перетворення комбінації, уможливлення вихідних сигналів перетворювача кодів, логічної розв'язки модулів формування кодів з джерелом і приймачем даних. Вихідна розрядність блоку 6 дорівнює вихідній розрядності блоку 5 двійкового підсумовування:  $n_{Б6} = n_{Б5}$ .

Модуль зворотного перетворення кодів згідно структури на рисунку 3.3 працює наступним чином.

Вихідна двійкова комбінація заноситься в блок 1 двійково-факторіального віднімання за сигналом "Load" від джерела даних. Одночасно з цим сигналом проводиться скидання блоку 5 двійкового підсумовування в нульовий стан. Після зняття сигналу "Load" блоки 1 і 5 починають сприймати синхроімпульси, що надходять з тактового генератора 2 через блок 4 дозволу. Блок 1 двійково-факторіального віднімання з приходом кожного імпульсу віднімає зі свого вмісту одиницю. Блок 5 двійкового підсумовування, навпаки, з приходом імпульсу додає до свого вмісту одиницю.

При досягненні блоку 1 нульового стану спрацьовує блок 3 виявлення нуля, який замикає блок 4 дозволу, забороняючи тим самим подачу синхроімпульсів на блоки 1 і 5. Сигнал з блоку 3 дозволу надходить також на блок 6 вихідних регістрів, записуючи в нього результуючу двійкову комбінацію з блоку 5. Крім того, сигнал з блоку 3 використовується як сигнал "Ready" для джерела і приймача кодових комбінацій, сповіщаючи їх про готовність до перетворення наступної двійково-факторіальної комбінації.

Алгоритм роботи модуля зворотного перетворення ДФК в ДК, що складається з 10 операцій, показаний на рисунку 3.4, де  $\langle \text{БДФВ} \rangle$  – вміст блоку 1 двійково-факторіального віднімання,  $\langle \text{БДП} \rangle$  – вміст блоку 5 двійкового підсумовування,  $\langle \text{БВР} \rangle$  – вміст блоку 6 вихідних регістрів, RDY – сигнал "Ready".

Приклади з таблиці 3.1 демонструють відповідність 8-розрядних двійкових комбінацій 11-розрядним двійково-факторіальним комбінаціям, що надходять на вхід/вихід розроблюваних модулів перетворення кодів.

Таблиця 3.1 – Приклади відповідності двійкових комбінацій двійково-факторіальним

Десяткове число	Двійкові комбінації	Факторіальні числа	Двійково-факторіальний код
29	00011101	010210	00000100101
40	00101000	012200	00000110100
69	01000101	023110	00001011011
109	01101101	042010	00010010001
255	11111111	202110	01000010011

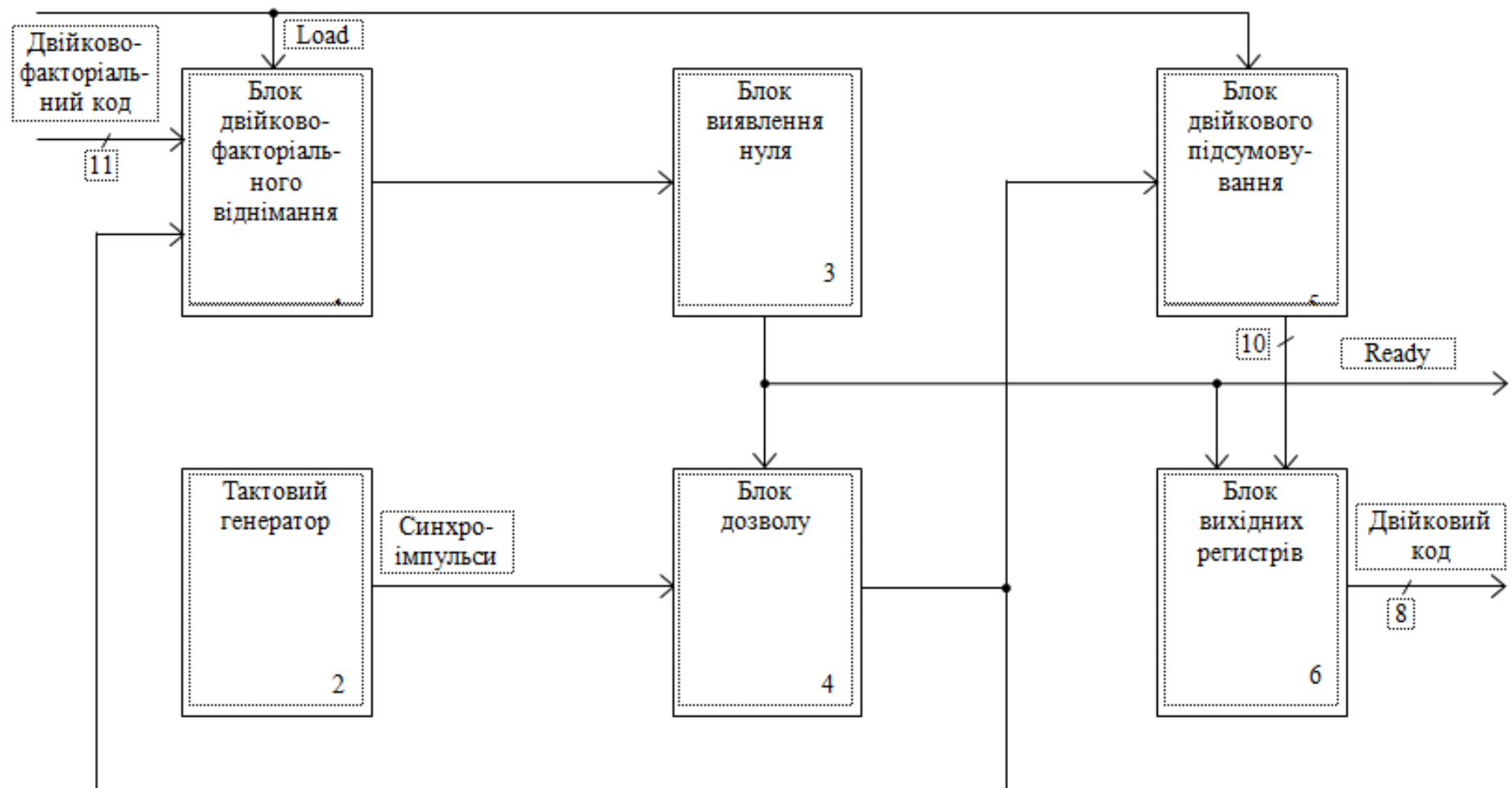


Рисунок 3.3 – Структурна схема модуля зворотного перетворення ДФК в ДК

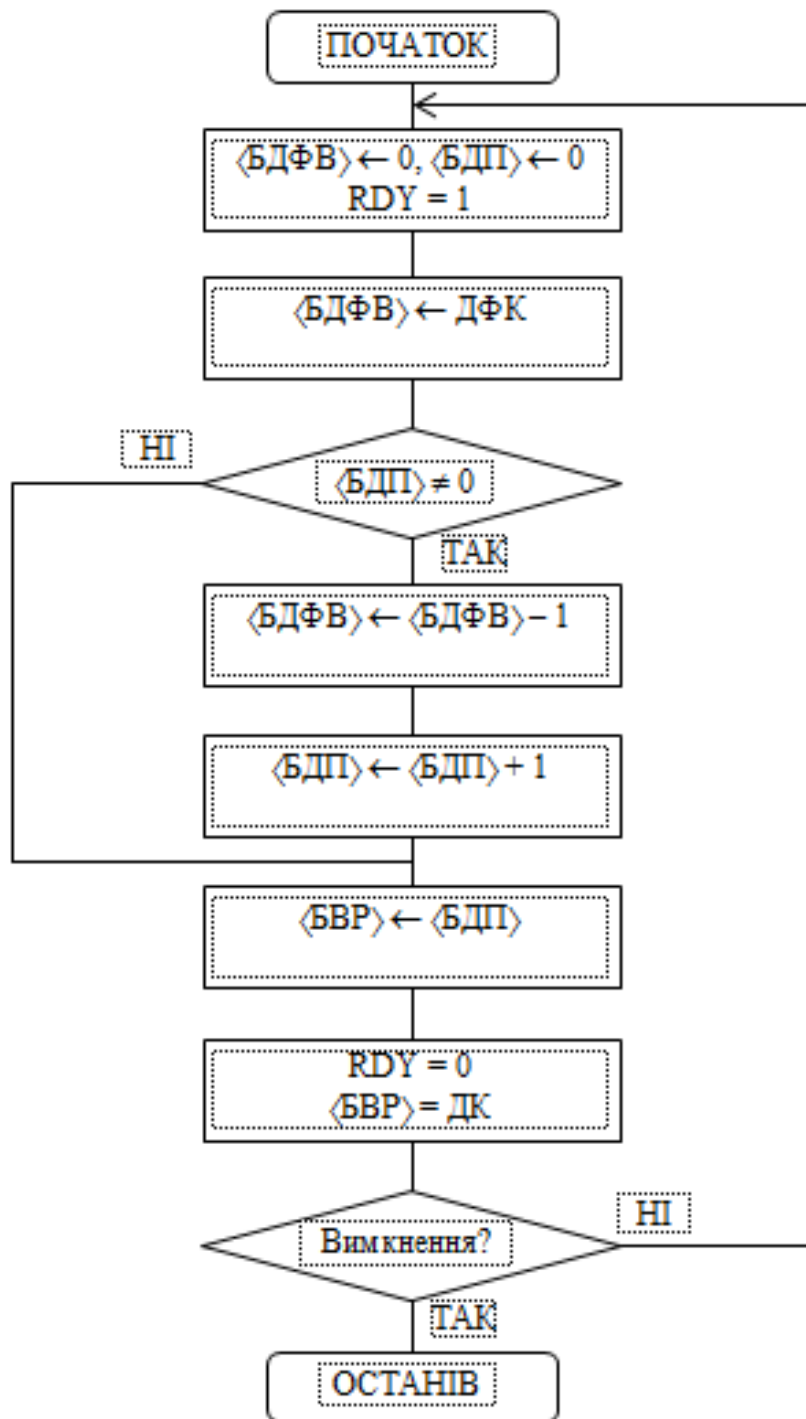


Рисунок 3.4 – Алгоритм роботи модуля перетворення двійково-факторіального кода в двійковий

## 4 РОЗРОБКА ФУНКЦІОНАЛЬНИХ СХЕМ БЛОКІВ РОЗРОБЛЮВАНОЇ СИСТЕМИ

### 4.1 Функціональні схеми блоку двійкового віднімання і блоку виявлення нуля

Блок двійкового віднімання (рисунок 4.1) реалізує функції:

- прийому і зберігання 8-розрядних вихідної і проміжної двійкових комбінацій;
- віднімання з свого вмісту одиниці.

Його основні технічні характеристики наступні:

- розрядність  $n_{\text{БДВ}} = n_{\text{дк}} = 8$ ;
- коефіцієнт рахунку  $K_{\text{лч}} = 2^8 = 256$ .

Блок виявлення нуля реалізує функції:

- фіксації нульового вмісту блоку довічного віднімання;
- формування сигналу "-Ready" для джерела і приймача даних, який одночасно служить заборонним сигналом для подачі синхроімпульсів.

Для побудови блоків двійкового віднімання і виявлення нуля пропонується використовувати такі функціональні елементи, як двійкові лічильники, які повинні бути віднімаючими (або мати можливість роботи в режимі віднімання) і з паралельним завантаженням даних. Крім того, лічильники повинні бути синхронними з паралельною подачею синхроімпульсів на всі складові їх тригери (див. рисунок 1.5, розділ 1) і мати здатність фіксувати нульову комбінацію.

У разі застосування чотирьохрозрядних лічильників функціональні схеми блоків двійкового віднімання і виявлення нульовою комбінації показані на рисунку 4.1. Елементи DD1 і DD2 є двійкові синхронні лічильники з коефіцієнтом  $K_{\text{лч}} = 16$ . Дані лічильники мають паралельні входи даних D0-D3, через які завантажуються вихідний двійковий код від джерела даних (молодша тетрада коду в DD1, а старша – в DD2) за сигналом "-Load" на вході -L. Синхроімпульси з блоку дозволу надходять на віднімаючий синхровхід -1. Вихід -PD лічильника DD1 використовується для подачі тактового сигналу позики для подальшого лічильника DD2.

Виявлення нульового вмісту DD1 і DD2 здійснюється за допомогою елемента АБО DD3, вихід якого є значення сигналу "-Ready" для зовнішніх пристроїв і сигналу заборони для блоку дозволу.

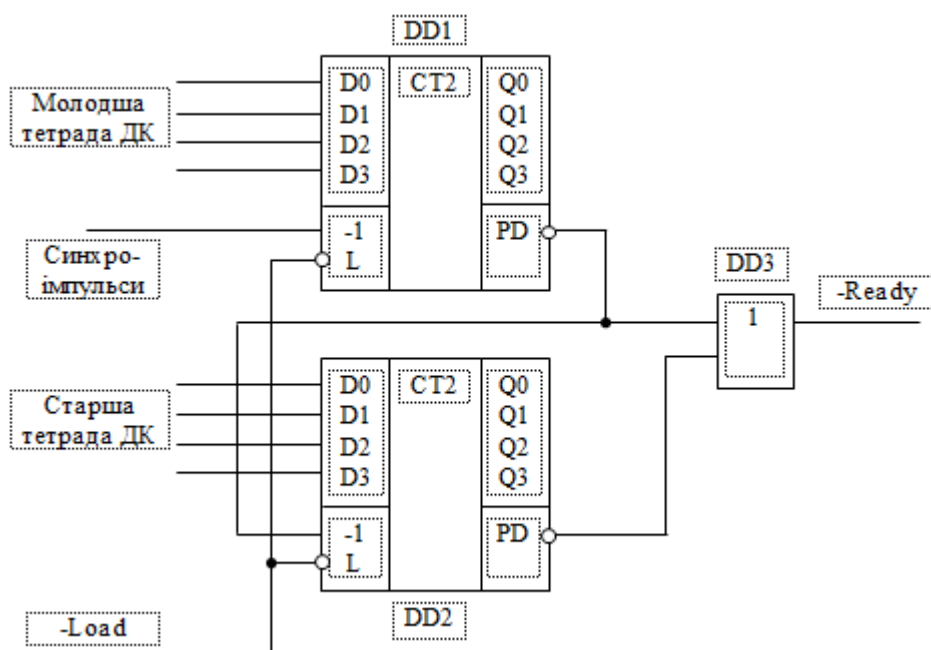


Рисунок 4.1 – Схема блоків двійкового віднімання й виявлення нуля

#### 4.2 Функціональна схема блоку двійковий-факторіального підсумовування

Блок двійковий-факторіального підсумовування (рисунок 4.2) реалізує функції:

- формування ДФК, відповідної вихідному ДК;
- додавання до їх вмісту 1.

Його основні технічні характеристики наступні:

- розрядність  $n_{\text{БДФП}} = n_{\text{ДФК}} = 11$ ;
- коефіцієнт рахунку  $K_{\text{лч}} = 720$  (але використовуються тільки 256 комбінацій ДФК).

Для побудови блоку двійковий-факторіального підсумовування пропонується використовувати функціональні елементи – двійкові лічильники, які повинні бути підсумовуючими. Лічильники повинні бути синхронними з паралельною подачею синхроімпульсов на всі складові їх тригери і мати керуючий вхід скидання в нуль. Конструктивно зручно для побудови блоку двійковий-факторіального підсумовування застосувати чотирьохрозрядні лічильники. На рисунку 4.2 представлена функціональна схема першого, другого і третього факторіальних розрядів ДФК.

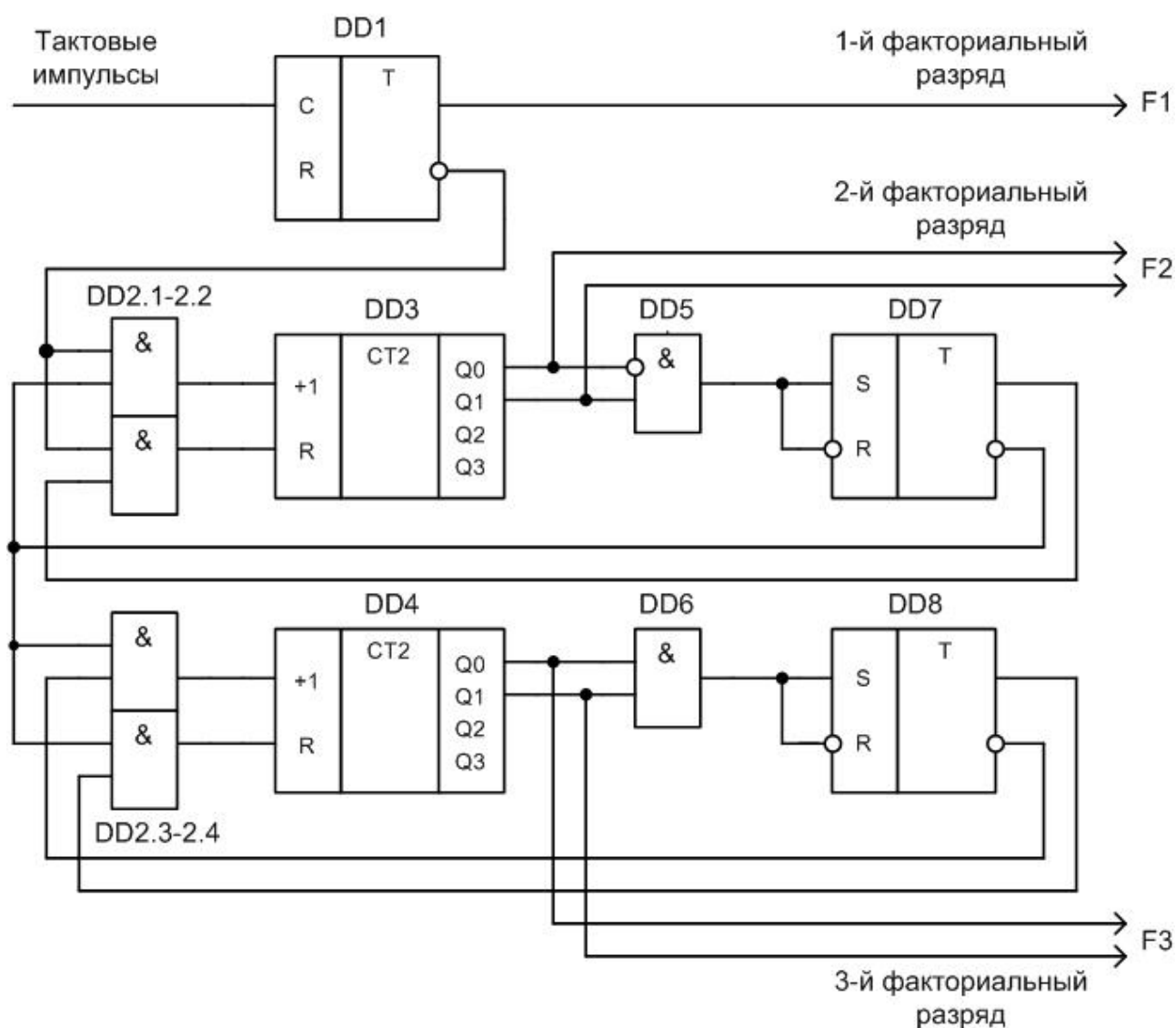


Рисунок 4.2 – Схема блоку двійково-факторіального підсумовування

На рисунку 4.2 перший факторіального розряд F1 побудований на основі рахункового тригера DD1, тобто елемента, що має коефіцієнт рахунку  $K_{лч} = 2$ . При цьому перший факторіальний розряд F1 має один двійковий розряд. Другий факторіальний розряд F2 реалізується на основі лічильника DD3 з коефіцієнтом рахунку  $K_{лч} = 3$  і його складають два двійкових розряди. Елемент DD5 грає роль дешифратора двійкового стану 10 лічильника DD3. RS-тригер DD7 управляє подачею імпульсів рахунку і сигналу скидання через елементи DD2.1-2.2 на синхровхід +1 і вхід скидання R лічильника DD3. Третій факторіальний розряд F3 побудований на основі лічильника DD4 з коефіцієнтом рахунку  $K_{лч} = 4$ .

Даний факторіальний розряд також складається з двох двійкових розрядів. Елемент DD6 грає роль дешифратора двійкового стану 11 лічильника DD4. RS-тригер DD8 управляє подачею імпульсів рахунку і сигналу скидання через елементи DD2.3-2.4 на синхровхід +1 і вхід скидання R лічильника DD4. Аналогічну структуру має функціональна реалізація четвертого і п'ятого факторіальних розрядів з тією лише відмінністю, що коефіцієнти рахунку дані розряди мають відповідно  $K_{лч} = 5$  і  $K_{лч} = 6$ . При цьому четвертий і п'ятий факторіальні розряди становлять три двійкових розряди.

#### 4.3 Функціональні схеми блоку двійково-факторіального віднімання і блоку виявлення нуля

Блок двійковий-факторіального віднімання (рисунок 4.3) реалізує функції:

- прийому і зберігання 11-розрядної вихідної і проміжної (меншою на 1) двійкових комбінацій;
- віднімання з свого вмісту одиниці.

Його основні технічні характеристики наступні:

- двійкова розрядність  $n_{БДФВ} = 11$ ;
- факторіальна розрядність  $n'_{БДФВ} = 5$ ;
- загальний коефіцієнт рахунку  $K_{лч} = 720$  (але перебираються тільки 256 комбінацій ДФК).



Блок виявлення нуля реалізує функції:

- фіксації нульового вмісту блоку двійково-факторіального віднімання;
- формування сигналу "-Ready" для джерела і приймача даних, який одночасно служить заборонним сигналом для подачі синхроімпульсів.

Для побудови блоків двійковій-факторіального віднімання і виявлення нуля пропонується використовувати такі функціональні елементи, як двійкові лічильники, які повинні бути віднімаючими (або мати можливість роботи в режимі віднімання) і з паралельним завантаженням даних. Лічильники повинні бути синхронними з паралельною подачею синхроімпульсів на всі складові їх тригери і мати здатність фіксувати нульову комбінацію. Крім того, для зберігання двійкового вмісту факторіальних розрядів і підзавантаження лічильників повинні бути використані регістри.

Функціональна схема блоку двійково-факторіального віднімання (схеми першого і другого факторіальних розрядів) показана на рисунку 4.3. Схема першого факторіального розряду F1 являє собою рахунковий тригер DD5, який реалізує коефіцієнт рахунку  $K_{лч} = 2$ . З прямого виходу тригера DD5 будуть надходити імпульси віднімаючого рахунку на схему другого факторіального розряду F2. Факторіальний розряд F2 виконаний на базі регістра підзавантаження DD1 і лічильника DD6. З регістра DD1 в лічильник DD6 постійно буде завантажуватися вміст факторіального розряду при досягненні DD6 нульового вмісту, яке фіксується сигналом "Digit Reload". Підзавантаження в лічильник DD6 буде здійснюватися до тих пір, поки лічильник старшого факторіального розряду не прийме нульове значення і не подасть сигнал "Load Enable". Надходження імпульсів віднімаючого рахунку і сигналів завантаження виконується через елементи DD2 і DD3. Управління подачею зазначених імпульсів забезпечується формуванням сигналів "Digit Reload" і "Load Enable". Елемент DD4 організовує подачу сигналів "Write BFC" при початковому завантаженні двійковій-факторіального коду і сигналів завантаження при роботі блоку двійковій-факторіального віднімання. Аналогічно до схеми другого факторіального розряду F2 мають схеми розрядів F3, F4 і F5.

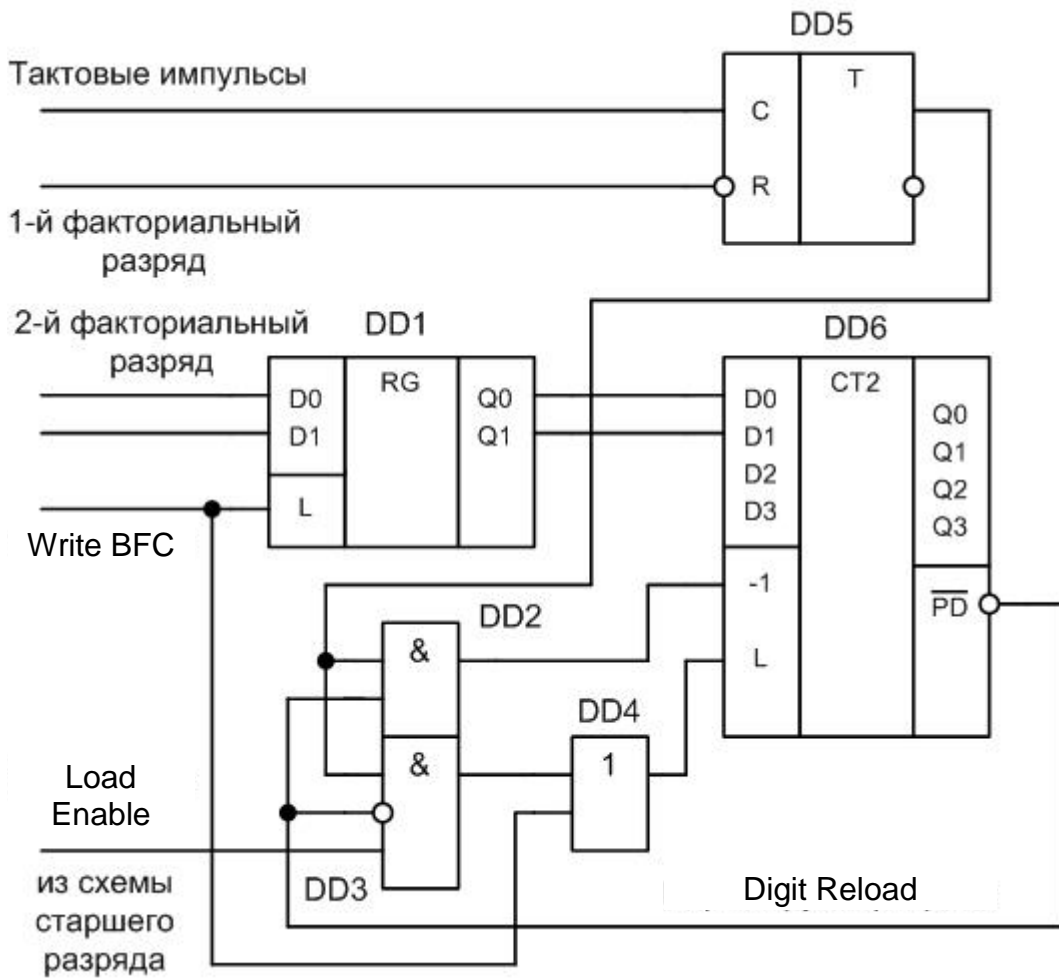


Рисунок 4.3 – Схема блоку двійково-факторіального віднімання (зворотне перетворення)

Блок виявлення нуля повинен забезпечувати контроль нульового вмісту блоку двійково-факторіального віднімання (рисунок 4.4). При появі нульової комбінації в лічильниках факторіальних розрядів F2, F3, F4 і F5 формуються сигнали "Digit Reload" (на схемі "-Reload"), Які разом з нульовим значенням інверсного виходу тригера факторіального розряду F1 ("-Reload F1") надходять на п'ятивходовий елемент І. З виходу п'ятивходового елемента знімається сигнал "-Ready", який інформує про завершення кодового перетворення і забороняє подачу імпульсів рахунку.

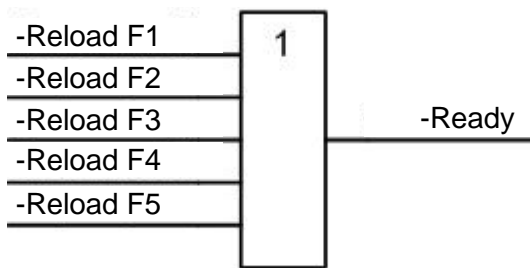


Рисунок 4.4 – Схема блоку виявлення нуля

#### 4.4 Функціональна схема блоку двійкового підсумовування

Блок двійкового підсумовування (рисунок 4.5) реалізує функції:

- формування двійкової комбінації, відповідної вихідній ДФК;
- додавання до їх вмісту одиниці.

Його основні технічні характеристики наступні:

- розрядність  $n_{БДП} = 8$ ;
- коефіцієнт рахунку  $K_{лч} = 2^8 = 256$ .

Для побудови блоку двійкового підсумовування пропонується використовувати функціональні елементи – двійкові лічильники, які повинні бути підсумовуючими. Лічильники повинні бути синхронними з паралельною подачею синхроімпульсів на всі складові їх тригери і мати керуючий вхід скидання в нуль. Функціонально зручно для побудови блоку підсумовуючого рахунку застосувати чотирьорозрядні лічильники (рисунок 4.5).

На рисунку 4.5 елементи DD1-DD2 є синхронні лічильники з коефіцієнтом рахунку  $K_{лч} = 16$ . Для перенесення з молодшої до старшої тетради двійкового коду використовуються виходи лічильників -PU, що позначають закінчення рахунку на збільшення. Сигнали з виходів лічильників DD1-DD2 надходять на входи блоку вихідних регістрів. При завантаженні нової двійково-факторіальної комбінації для перетворення елементи DD1-DD2 обнуляються сигналом "Load", який надходить на входи R лічильників.

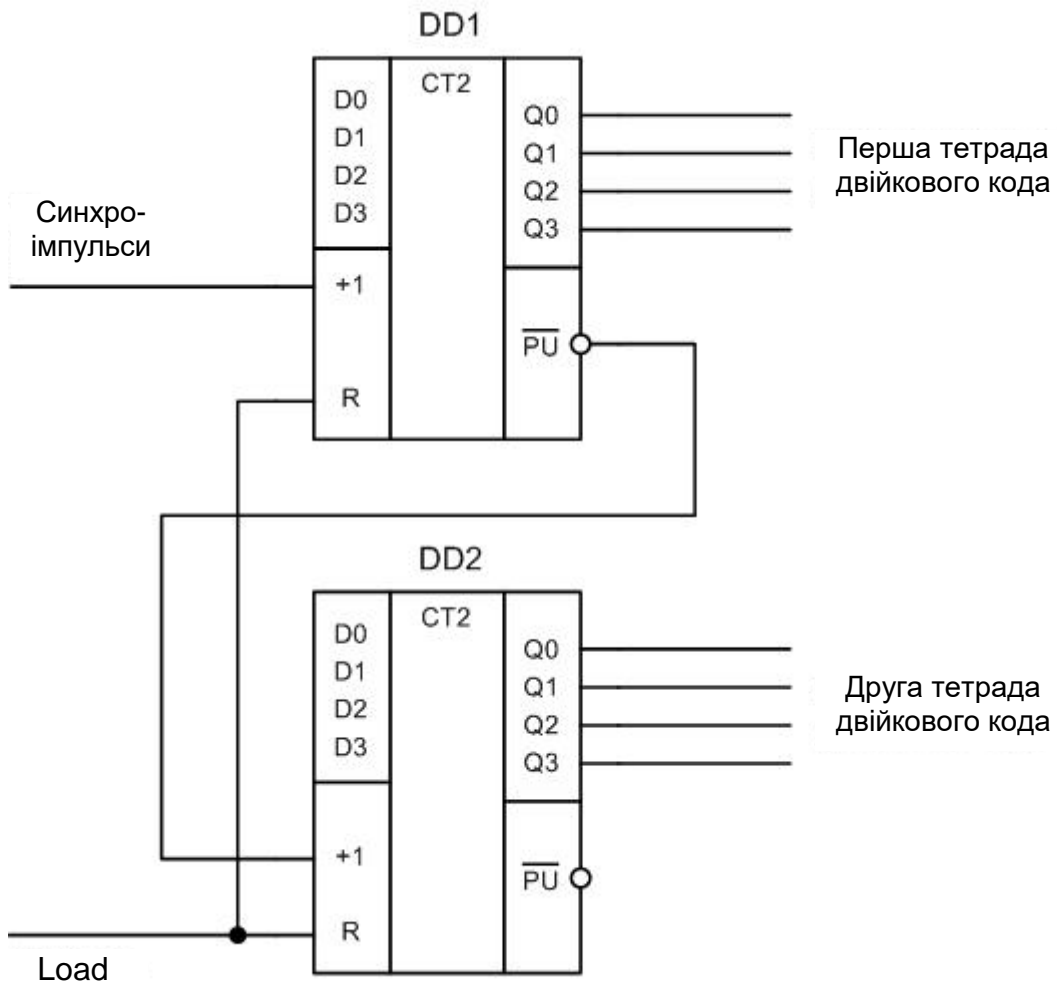


Рисунок 4.5 – Схема блоку двійкового підсумовування

#### 4.5 Функціональна схема блоків вихідних регістрів

Блок вихідних регістрів системи перетворення ДК в ДФК реалізує:

- зберігання результату перетворення – двійково-факторіальну комбінацію – з метою логічної розв'язки системи перетворення і зовнішніх пристроїв і, тим самим, прискорюючи операції перетворення;
- підвищення потужності вихідних двійкових сигналів з метою збільшення навантажувальної здатності системи перетворення ДК в ДФК.

Основною технічною характеристикою даного блоку є його розрядність, яка дорівнює розрядності комбінації, яка зберігається,  $n_{БВР} = n_{ДФК} = 11$ .

Для побудови даного блоку вихідних регістрів пропонується використовувати паралельний регістр DD1 зі входом -L паралельного завантаження даних і буферні підсилювачі (рисунок 4.6).

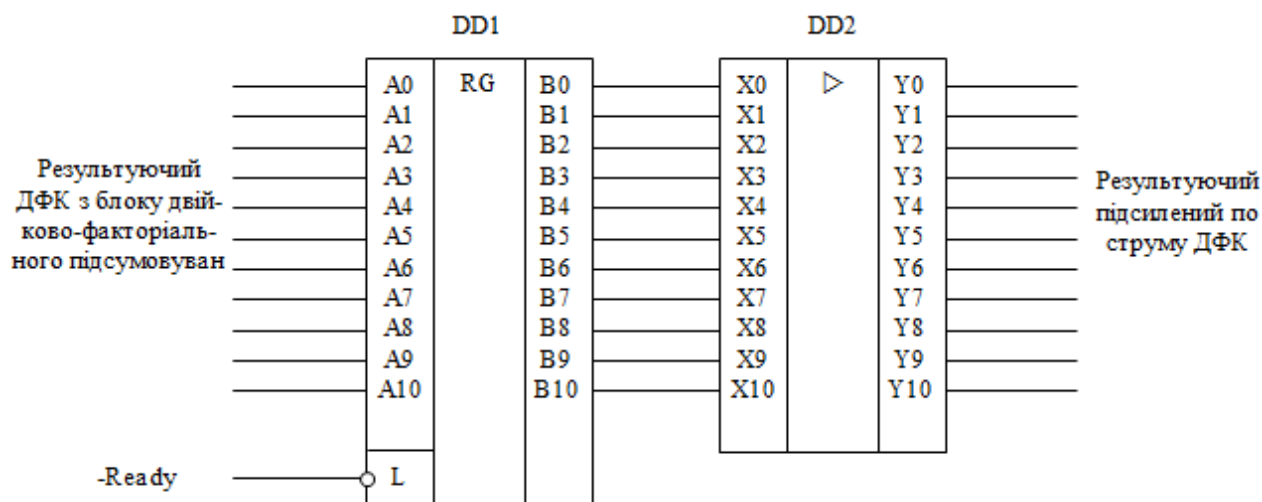


Рисунок 4.6 – Схема блоку вихідних регістрів (при прямому перетворенні ДК в ДФК)

Блок вихідних регістрів системи перетворення ДФК в ДК реалізує функції:

- зберігання результату перетворення – двійкову комбінацію – з метою логічної розв'язки системи перетворення кодів і зовнішніх пристроїв і, тим самим, прискорюючи операції перетворення;
- підвищення потужності вихідних двійкових сигналів з метою збільшення навантажувальної здатності системи перетворення ДФК в ДК.

Основною технічною характеристикою даного блоку є його розрядність, яка дорівнює розрядності комбінації, яка зберігається,  $n_{БВР} = 8$ .

Для побудови даного блоку вихідних регістрів пропонується використовувати паралельний регістр DD1 зі входом -L паралельного завантаження даних і буферні підсилювачі (рисунок 4.7).

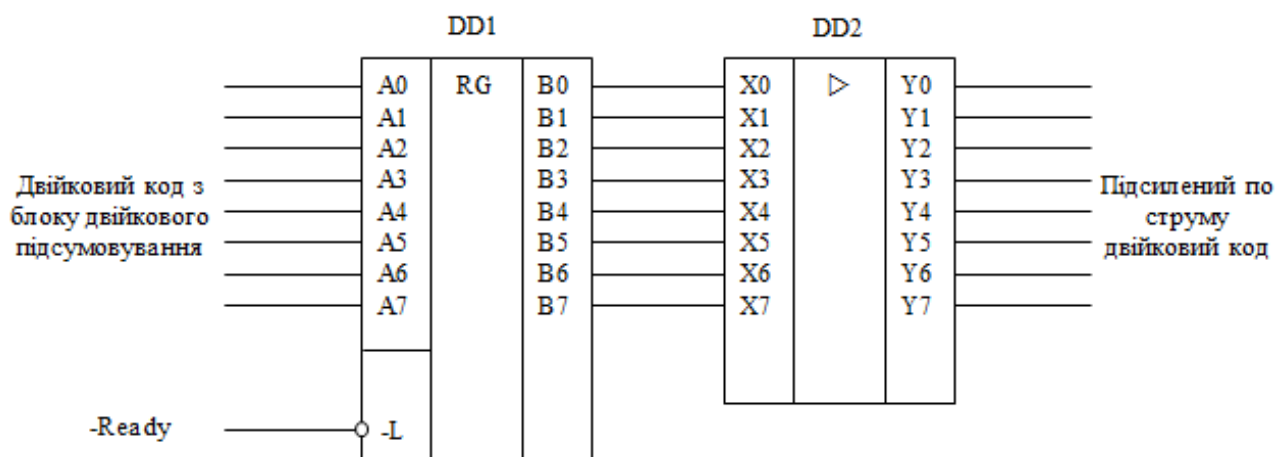


Рисунок 4.7 – Схема блоку вихідних регістрів (при зворотному перетворенні)

## 5 РОЗРОБКА ПРИНЦИПОВИХ СХЕМ БЛОКІВ РОЗРОБЛЮВАНОЇ СИСТЕМИ

### 5.1 Вибір елементної бази

В даний час випускається величезна кількість різноманітних цифрових мікросхем (ІМС): від найпростіших логічних елементів до складних процесорів, мікроконтролерів і спеціалізованих ВІС. Виробництвом цифрових ІМС займається безліч фірм, тому навіть класифікація цих ІМС є досить важке завдання [10, 11].

Однак в якості базису в цифровій схемотехніці прийнято розглядати класичний набір ІМС малої і середньої ступені інтеграції, в основі якого лежать ТТЛ серії сімейства 74, що випускаються вже кілька десятиліть низкою фірм, наприклад, американською фірмою Texas Instruments (ТІІ). Ці серії включають в себе функціонально повний комплект ІМС, використовуючи який, можна створювати найрізноманітніші цифрові пристрої. Навіть при комп'ютерному проектуванні сучасних складних ІМС з програмованої логікою (ПЛІС) застосовуються моделі найпростіших мікросхем цих серій сімейства 74. При цьому розробник малює на екрані комп'ютера схему в звичному для нього елементному базисі, а потім програма створює прошивку ПЛІС, що виконує потрібну опцію [10, 11].

Кожна мікросхема серій сімейства 74 має своє позначення, і система позначень вітчизняних серій істотно відрізняється від прийнятої за кордоном.

Як приклад розглянемо систему позначень фірми Texas Instruments (рисунок 5.1). Повне позначення складається з шести елементів [10, 12]:



Рисунок 5.1 – Система позначень фірми Texas Instruments

1. Ідентифікатор фірми SN (для серій АС і АСТ відсутня).
2. Температурний діапазон (тип сімейства):
  - 74 – комерційні мікросхеми (температура навколишнього середовища для біполярних мікросхем  $-0... +70^{\circ}\text{C}$ , для КМДП мікросхем –  $-40... 85^{\circ}\text{C}$ ),
  - 54 – мікросхеми військового призначення (температура -  $-55... +125^{\circ}\text{C}$ ).
3. Код серії (до трьох символів):
  - відсутня – стандартна ТТЛ-серія;
  - LS (Low Power Schottky) – малопотужна серія ТТЛШ;
  - S (Schottky) – серія ТТЛШ;
  - ALS (Advanced Schottky) – поліпшена серія ТТЛШ;
  - F (FAST) – швидка серія;
  - HC (High Speed CMOS) – високошвидкісна КМДП-серія;
  - HCT (High Speed CMOS with TTL inputs) – серія HC, сумісна по входу з ТТЛ;
  - AC (Advanced CMOS) – поліпшена серія КМДП;
  - АСТ (Advanced CMOS with TTL inputs) – серія AC, сумісна по входу з ТТЛ;
  - BCT (BiCMOS Technology) – серія з БіКМДП-технологією;
  - АВТ (Advanced BiCMOS Technology) – поліпшена серія з БіКМДП-технологією;
  - LVT (Low Voltage Technology) – серія з низькою напругою живлення.
4. Ідентифікатор спеціального типу (2 символи) – може бути відсутнім.
5. Тип мікросхеми (від двох до шести цифр).
6. Код типу корпусу (від одного до двох символів) – може бути відсутнім.

Наприклад, N – пластмасовий корпус DIL (DIP), J – керамічний DIL (DIC), T – плоский металевий.

Головне достоїнство вітчизняної системи позначень полягає в тому, що з позначення мікросхеми можна легко зрозуміти її функцію. Зате в системі позначень Texas Instruments видно тип серії з її особливостями.



Таблиця 5.1 – Порівняння параметрів однакових мікросхем в різних стандартних серіях [10, 11]

	K155ЛА3(SN7400N)	K555ЛА3(SN74LS00N)	KP1533ЛА3(SN74ALS00N)	KP1554ЛА3(SN74AC00N)
$t_{PLH}$ , нс не более	22	15	11	8,5
$t_{PHL}$ , нс не более	15	15	8	7,0
$I_{IL}$ , мА не более	-1,6	-0,45	-0,1	-0,001
$I_{IH}$ , мА не более	0,04	0,02	0,02	0,001
$I_{OL}$ , мА не менее	16	8	15	86
$I_{OH}$ , мА не менее	-0,4	-0,4	-0,4	-75
$U_{OL}$ , В не более	0,4	0,5	0,5	0,3
$U_{OH}$ , В не менее	2,4	2,7	2,5	4,4
$I_{CC}$ , мА не более	12	4,4	3	0,04

Серія K155 (SN74) – це найбільш стара серія, яка поступово зніметься з виробництва. Вона відрізняється не занадто гарними параметрами в порівнянні з іншими серіями. З цієї класичної серією прийнято порівнювати всі інші.

Серія K555 (SN74LS) відрізняється від серії K155 малими вхідними струмами і меншою споживаною потужністю (струм споживання – майже втричі менше, ніж у K155). За швидкодією (за часами затримок) вона близька до K155.

Серія KP531 (SN74S) відрізняється високою швидкодією (її затримки приблизно в 3-4 рази менше, ніж у серії K155), але великими вхідними струмами (на 25% більше, ніж у K155) і великою споживаною потужністю (струм споживання – більше в півтора рази в порівнянні з K155).

Серія KP1533 (SN74ALS) відрізняється підвищеним швидкодією приблизно вдвічі в порівнянні з K155 швидкодією і малою споживаною потужністю (в чотири рази менше, ніж у K155). Вхідні струми ще менше, ніж у K555.

Серія KP1531 (SN74F) відрізняється високою швидкодією (на рівні KP531), але малої споживаної потужністю. Вхідні струми і струм споживання приблизно вдвічі менше, ніж у K155.

Серія KP1554 (SN74AC) відрізняється від усіх попередніх тим, що вона виконана по КМДП-технології. Тому вона має надмалі вхідні струми і Надмале споживання при малих робочих частотах. Затримки приблизно вдвічі менше, ніж у K155.

Найбільшою різноманітністю наявних ІМС відрізняються серії К155 і КР1533, найменшим – КР1531 і КР1554.

Треба відзначити, що наведені співвідношення за швидкістю стандартних серій досить приблизні і вірні не для всіх різновидів ІМС, наявних в різних серіях. Точні значення затримок необхідно дивитися в довідниках, причому бажано в фірмових довідкових матеріалах.

ІМС різних серій зазвичай легко сполучаються між собою, тобто сигнали з виходів ІМС однієї серії можна подавати на входи мікросхем інших серій. Один з винятків – з'єднання виходів ТТЛ-мікросхем з входами КМДП-мікросхем серії КР1554 (74АС). При такому з'єднанні необхідне застосування резистора номіналом 560 Ом між сигналом і напругою живлення (рисунок 5.2) [10, 11].

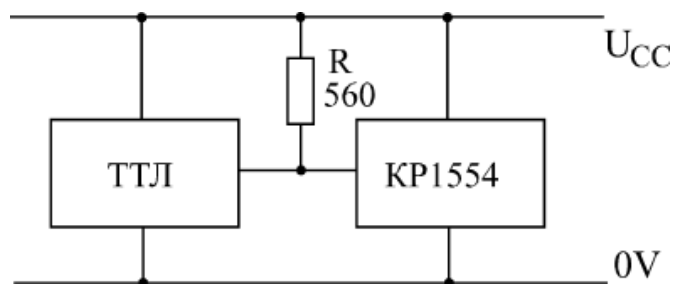


Рисунок 5.2 – Сполучення ТТЛ з CMOS

При виборі тієї чи іншої серії ІМС слід також враховувати, що ІМС найпотужнішою і найшвидшою серії КР531 створюють високий рівень перешкод по шинам живлення, а ІМС малопотужної серії К555 дуже чутливі до таких перешкод. Тому серію КР531 рекомендується використовувати тільки в крайніх випадках, при необхідності отримання дуже високої швидкодії. Не рекомендується також застосовувати в одному пристрої потужні швидкодіючі ІМС і ІМС мікросхеми.

В якості найбільш прийнятною за всіма параметрами вибираємо серію SN74ALS (КР1533).

## 5.2 Принципові схеми блоку двійкового віднімання і блоку виявлення нуля (пряме перетворення)

Для побудови блоку двійкового віднімання пропонується застосувати двійкові чотирьохрозрядні синхронні реверсивні лічильники SN74ALS193 TTLШ технології (рисунок 5.3) [12, 13]. У ІМС лічильник заснований на двоступеневих тригерах "майстер-помічник". Імпульсні тактові входи рахунку на збільшення +1 (не використовується) і на зменшення -1 (вивід 4) в даних мікросхемах роздільні. Стан лічильника змінюється по позитивним перепадах синхроімпульсів від низького рівня до високого на цих входах.

Для спрощення побудови лічильників з числом розрядів, що перевищують чотири, ІМС має виводи закінчення рахунку на збільшення (не використовується) і на зменшення (-PD, вивід 13). Від виводу 13 DD1 береться тактовий сигнал позики для подальшого лічильника DD2. По входу дозволу паралельного завантаження -L (вивід 11) дія тактової послідовності забороняється. Так як для рахунку використовується тільки один тактовий вхід -1 (вивід 4), то на другому +1 (вивід 5) має бути зафіксовано напруга низького рівня.

На виході -PD неактивний рівень – високий. Якщо рахунок досяг нуля, то з приходом наступного перепаду (з високого на низький рівень) на виході -PD з'являється сигнал низького рівня. Після повернення напруги на тактовому вході -1 до високого рівня напруга на виході -PD залишиться низькою ще на час, який відповідне подвійній затриці перемикавання логічного елемента TTLШ.

Потужність споживання лічильником SN74ALS193 (KP1533IE7) становить 110 мВт, а час затримки поширення сигналу – 23,5 нс. Режим роботи двійкового лічильника SN74ALS193 (KP1533IE7) показаний в таблиці 5.2 [13].

Факт виявлення нульової комбінації блоку двійкового віднімання фіксується шляхом логічної диз'юнкції виходів -PD лічильників DD1 і DD2. Для виконання операції диз'юнкції використовується логічний елемент 2АБО DD3, реалізований ІМС SN74ALS32 (KP1533ЛЛ1). Дана ІМС складається з чотирьох двухвходових діз'юнкторів АБО.

Потужність споживання SN74ALS32 (KP1533ЛЛ1) складає 14 мВт, а час затримки розповсюдження сигналу – 12 нс [12, 14].

Таблиця 5.2 – Режими роботи ІМС лічильника SN74ALS193 (КР1533ІЕ7)

Режим	Вхід								Вихід					
	'R	-L	'+1	-1	D0	D1	D2	D3	'Q0	'Q1	'Q2	'Q3	'PU	PD
'Скидання	В	х	х	Н	х	х	х	х	Н	Н	Н	Н	В	Н
	В	х	х	В	х	х	х	х	Н	Н	Н	Н	В	В
Паралельне завантаження	Н	Н	х	Н	Н	Н	Н	Н	Н	Н	Н	Н	В	Н
	Н	Н	х	В	Н	Н	Н	Н	Н	Н	Н	Н	В	В
	Н	Н	Н	х	В	В	В	В	В	В	В	В	Н	В
	Н	Н	В	х	В	В	В	В	В	В	В	В	В	В
Лічба на збільшення	Н	В	↑	В	х	х	х	х	Лічба на збільшення				В	В
Лічба на зменшення	Н	В	В	↑	х	х	х	х	Лічба на зменшення				В	В

' – входи/виходи, які не використовуються

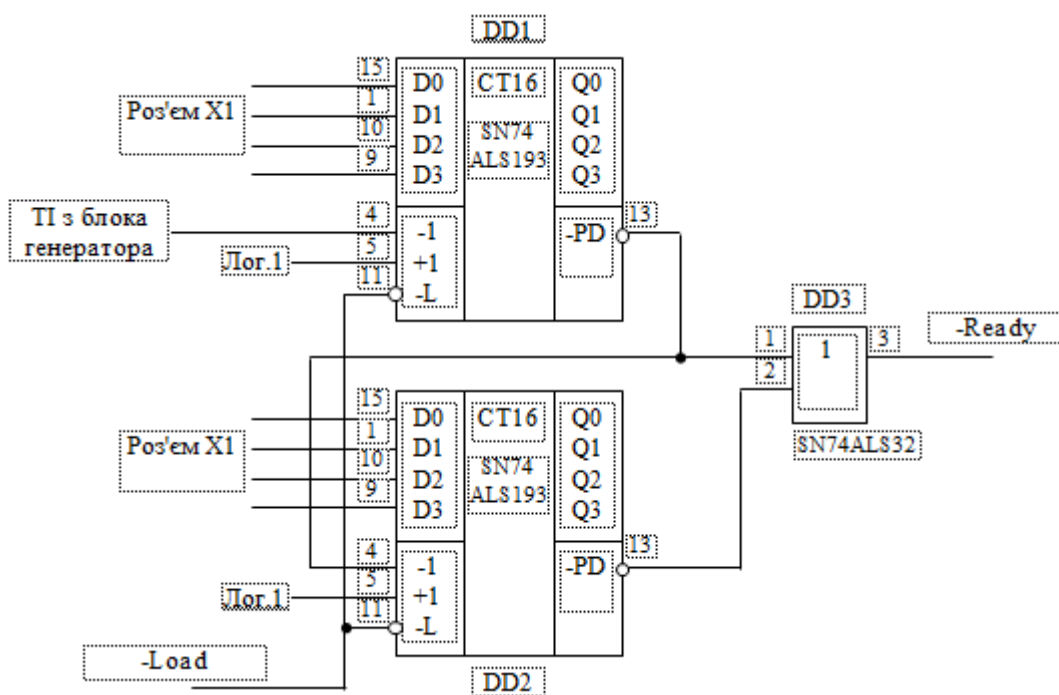


Рисунок 5.3 – Принципова схема блоків двійкового віднімання і виявлення нуля (пряме перетворення)

### 5.3 Принципова схема блоку двійково-факторіального підсумовування

Для побудови блоку двійково-факторіального підсумовування пропонується застосувати двійкові чотирьохрозрядні синхронні реверсивні лічильники SN74ALS193 (КР1533ІЕ7) ТТЛШ технології [12, 14]. У ІМС лічильник

заснований на двоступеневих тригерах "майстер-помічник". Імпульсні тактові входи рахунку на збільшення +1 (вивід 5) і на зменшення -1 (не використовується) в даних ІМС роздільні. Стан лічильника змінюється по позитивним перепадам синхроімпульсів від низького рівня до високого на цих входах.

На рисунку 5.4 показано схемотехнічна будова першого F1 і другого F2 факторіальних розрядів. Рахунковим елементом розряду F1 є рахунковий тригер DD4.1, побудований на основі D-тригера ІМС SN74ALS74 (KP1533TM2). На вхід С DD4.1 надходять тактові імпульси, які підраховуються з коефіцієнтом рахунку рівним 2. Значення сигналу з прямого виходу DD4.1 являє собою значення факторіального розряду F1. Рахунковим елементом розряду F2 є ІМС SN74ALS193 (KP1533IE7), за допомогою якого реалізується схема DD5 з коефіцієнтом рахунку рівним 3.

На базі інверторів DD1.2-DD1.3 ІМС SN74ALS04 (KP1533ЛН1), двухвходової схеми І-НЕ DD6 ІМС SN74ALS00 (KP1533ЛА3) і тригера DD4.2 SN74ALS74 (KP1533TM2) будується дешифратор двійкового стану 10 з фіксацією переповнення рахунку. Двухвходові схеми І DD2.1-2.2 розподіляють імпульси скидання з інверсного виходу -Q DD4.2 і рахунки на входи +1 підсумовуючого рахунку і скидання R DD5 SN74ALS193 (KP1533IE7). Крім того, скидання лічильника DD5 організовується не тільки по переповненню, але і за допомогою схеми АБО DD3 ІМС SN74ALS32 (KP1533ЛЛ1), з виходу якої надходить загальний сигнал скидання (в якості його виступає сигнал "-Загр. ДК"). Виходи Q0 і Q1 є двійковими розрядами F2-1 і F2-2 факторіального розряду F2.

Потужність споживання лічильником SN74ALS193 (KP1533IE7) становить 110 мВт, а час затримки поширення сигналу – 23,5 нс. Режими роботи двійкового лічильника SN74ALS193 (KP1533IE7) показані в таблиці 4.2 [13]. Потужність споживання ІМС SN74ALS04 (KP1533ЛН1) складає 12,25 мВт, час затримки поширення сигналу – 12 нс. Потужність споживання SN74ALS32 (KP1533ЛЛ1) складає 14 мВт, середній час затримки поширення сигналу – 12 нс [12, 14].

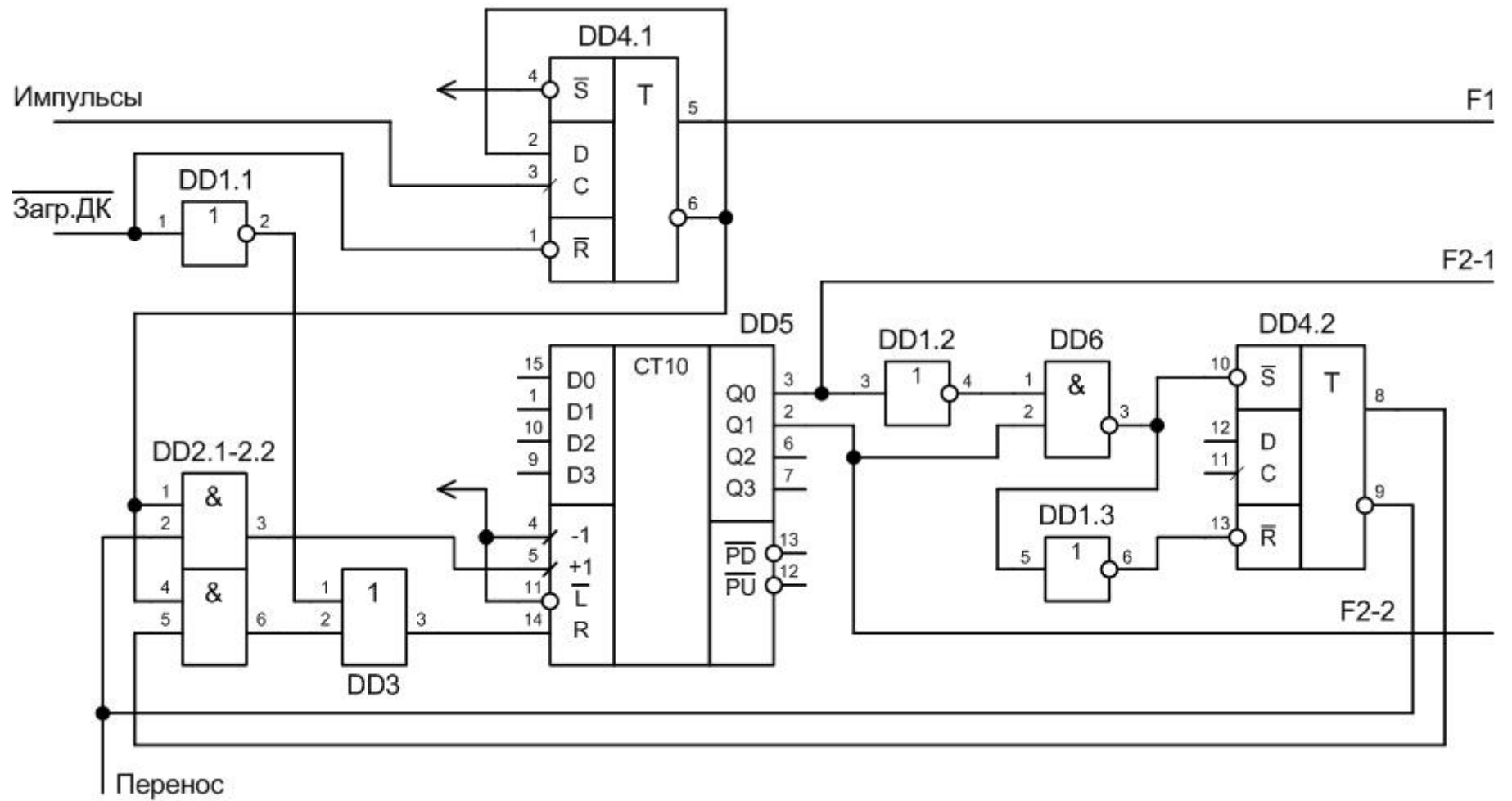


Рисунок 5.4 – Принципова схема розрядів F1 и F2 блоку двійково-факторіального підсумовування

## 5.4 Принципова схема блоку вихідних регістрів

Для побудови принципової схеми блоків вихідних регістрів для системи перетворення ДК в ДФК пропонується використовувати чотирьохрозрядні синхронні здвоєні паралельні регістри зберігання ІМС SN74ALS874 (КР1533ИР38) (рисунок 5.5) [12, 14].

У блоці вихідних регістрів системи перетворення ДК в ДФК регістри DD2-DD3 мають вхід С паралельної завантаження даних (виводи 14 і 23, завантаження здійснюється по високому рівню), входи -R скидання (виводи 1 і 13) і Z переведення в високоімпедансний стан (виводи 2 і 11). Так як обнуляти вміст регістрів і переводити їх в високоімпедансний стан немає необхідності (це не впливає на результат кодоперетворення), то на входи -R DD2.1-DD2.2 і DD3.1 подається логічна одиниця, а на входи Z тих же елементів – логічний нуль.

На входи DI1-DI4 регістрів DD2.1-DD2.2, DD3.1 подаються двійкові сигнали з виходів тригера і лічильників факторіальних розрядів F1, F2, F3, F4 і F5 (див. рисунок 5.4). Сигнал "-Ready" надходить на інвертор DD1 від виходу елемента 2АБО DD3 блоку двійкового віднімання (рисунок 5.3). В якості елемента DD1 блоку вихідних регістрів використовується ІМС SN74ALS04 (КР1533ЛН1), що включає в себе шість інверторів [12, 14].

Для підвищення вихідної навантажувальної здатності проектованої системи виходи блоку вихідних регістрів під'єднаємо до входів логічних елементів – підсилювачів струму (драйверів) DD4.1-DD4.2, DD5.1. Як елементи DD4.1-DD4.2, DD5.1 застосуємо ІМС SN74ALS244 (КР1533АП5), що включає в себе вісім півторювачів з високоімпедансним станом і роздільними керуючими сигналами -e для груп з чотирьох повторювачів. Так як входи -OE переведення в високоімпедансний стан немає необхідності використовувати, то їх слід заземлити.

Потужність споживання ІМС SN74ALS874 (КР1533ИР38) становить 155 мВт, а час затримки поширення сигналу – 13,5 нс. Потужність споживання ІМС SN74ALS04 (КР1533ЛН1) становить 12,25 мВт, час затримки поширення сигналу – 12 нс. Потужність споживання ІМС SN74ALS244 (КР1533АП5) становить 135 мВт, час затримки поширення сигналу – 15 нс. Вихідні струми

двійкових нуля і одиниці підсилювачів струму складають 24 мА і 12 мА відповідно [12, 14].

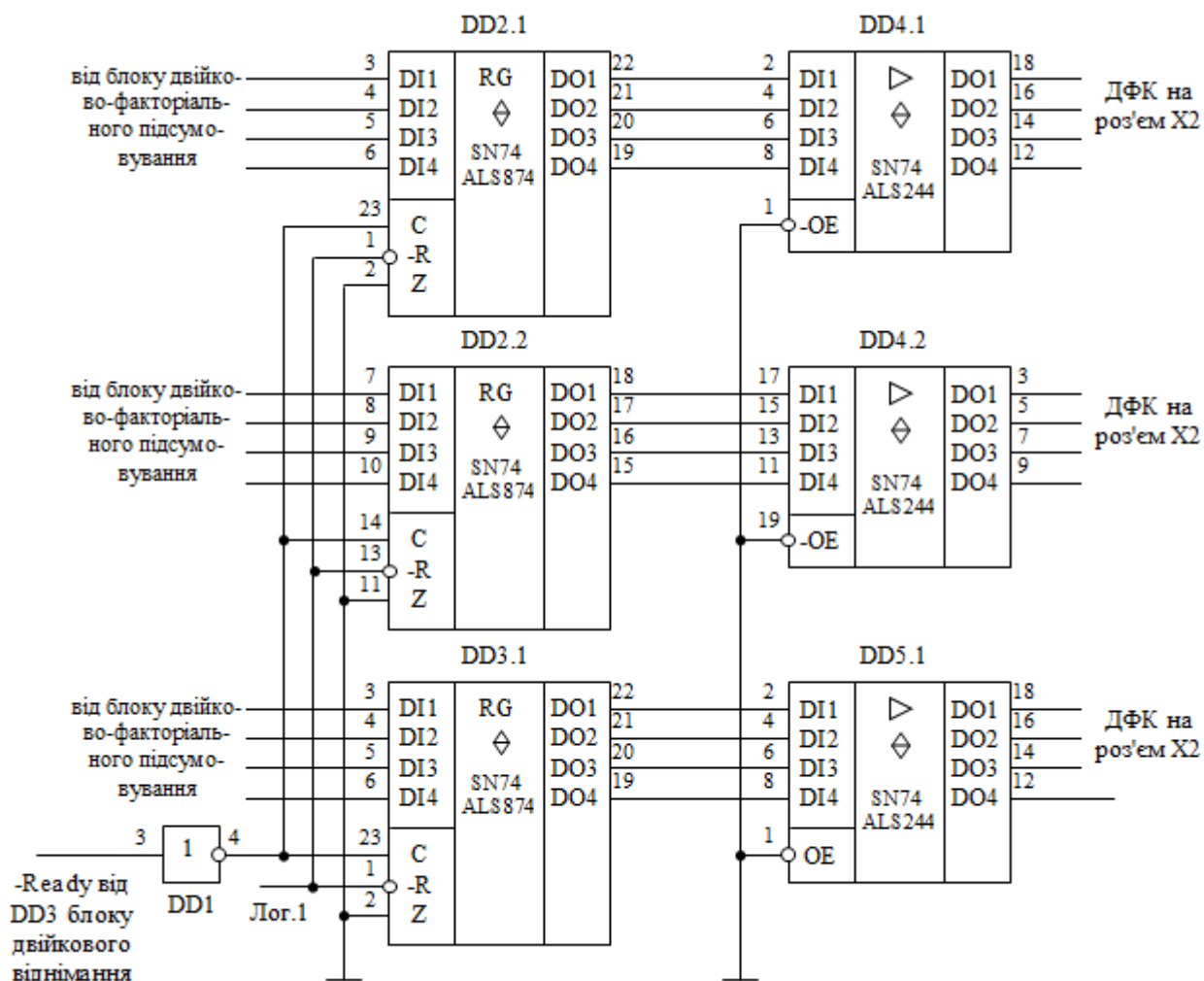


Рисунок 5.5 – Принципова схема блоку вихідних регістрів системи перетворення ДК в ДФК

### 5.5 Принципові схеми блоків генератора і дозволу

Як правило системи перетворення кодів використовують при побудові каналотворюючої апаратури, де важливе значення має стабільність частот схем синхронізації, тобто здатність зберігати частоту генерації незмінною при зміні температури, напруги живлення і/або інших параметрів схеми. Звичайні автоколивальні генератори мають досить низькою стабільністю. Загальнови-



ваним способом підвищення стабільності частоти є використання кварцових резонаторів.

На рисунку 5.6 приведена схема принципова блоку генератора з кварцовим резонатором ZQ1-10 [13], яка використовує послідовний резонанс, і блоку дозволу. Кварцовий резонатор включається в зворотний зв'язок інверторів DD1.1 і DD1.2, забезпечуючи поворот фази на  $\pi$  (по ланцюгу зворотного зв'язку). Особливістю "кварцових генераторів" є робота цифрових елементів (інверторів DD1.1 і DD1.2) в лінійному режимі, що визначається резистивними зворотними зв'язками  $R1 = R2 = 220$  Ом. Конденсатор  $C1 = 200$  пФ служить в якості фазозсуваного елемента. Частота синхроімпульсів, що генеруються блоком генератора, задається параметрами резонатора і в значно меншій мірі параметрами інших елементів схеми.

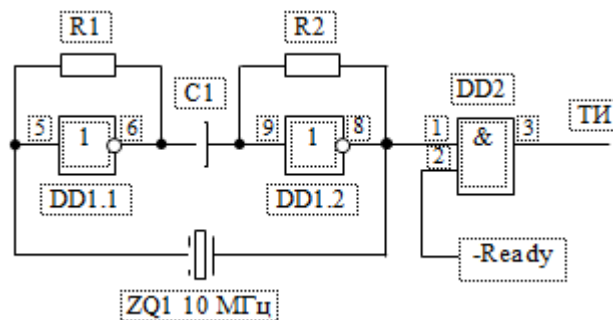


Рисунок 5.6 – Принципові схеми блоків генератора і дозволу

Блок дозволу у вигляді елемента 2І DD2 реалізує функцію заборони проходження через нього синхроімпульсів в залежності від рівня сигналу "-Ready". Елемент DD2, крім того, грає роль буфера для зменшення впливу навантаження на частоту тактового генератора. Схема блоків дозволу однакова для модулів прямого і зворотного перетворень кодів.

Для реалізації елементів DD1.1-DD1.2 використовується ІМС SN74ALS04 (КР1533ЛН1) ТТЛШ технології, що складається з шести інверторів. Середня потужність споживання SN74ALS04 (КР1533ЛН1) становить 12,25 мВт, середній час затримки сигналу – 12 нс [12, 14]. В якості елемента DD2 застосовується ІМС SN74ALS08 (КР1533ЛИ1) 2 І-4 ТТЛШ технології, що складається з чотирьох двухвходових елементів 2І. Середня потужність

споживання SN74ALS08 (КР1533ЛІІ1) становить 16 мВт, середній час затримки сигналу – 12 нс [12, 14].

## 5.6 Розрахунок основних технічних параметрів розроблювальної системи

До основних характеристик проектованої комбінаторної системи заводостійкого кодування будемо відносити:

- мінімальний і максимальний час формування вихідної комбінації ДФК;
- середній час формування вихідної комбінації ДФК;
- максимальна робоча частота;
- потужність і струм споживання;
- здатність навантаження комбінаторної системи по виходу.

Мінімальний час формування вихідної комбінації ДФК відповідає мінімальному числу синхроімпульсів, що подаються на входи блоків двійкового віднімання і двійково-факторіального підсумовування. Мінімальна кількість таких імпульсів є нуль, коли формується ДФК, відповідна нульовий двійковій комбінації 00h. В цьому випадку при надходженні сигналу "-Load" на входи -L двійкових лічильників блоку двійкового віднімання має пройти час  $t_{\min} = 23,5$  нс для появи сигналу "-Reday".

Максимальний час формування вихідної комбінації ДФК відповідає максимальному числу синхроімпульсів, що подаються на входи блоків двійкового віднімання і двійково-факторіального підсумовування. Очевидно, що це буде для випадку утворення ДФК 202110 (01000010011), що дорівнює ДК FFh. У загальному вигляді час, що витрачається на отримання двійково-факторіального числа N, дорівнює

$$t_N = (n - 1)T_{TI} + (n - 2)T_{TI} + \dots + T_{TI}, \quad (5.1)$$

де  $T_{TI}$  – період слідування синхроімпульсів з блоку генератора;

$f_{TI}$  – частота слідування синхроімпульсів з блоку генератора (для модуля перетворення кодів  $f_{TI} = 10$  МГц, підрозділ 5.5).

Тоді для максимальної комбінації ДФК 202110 при  $n = 6$ , використовуючи (5.1),

$$t_{\max} = 2 \cdot 10^{-6} + 4 \cdot 10^{-6} + 3 \cdot 10^{-6} + 2 \cdot 10^{-6} + 1 \cdot 10^{-6} = 12 \text{ мкс.}$$

З метою знаходження потужності і струму споживання проектованої комбінаторної системи завадостійкого кодування зведемо в таблицю 5.3 для всіх використовуваних ІМС їх кількість в комбінаторній системі та основні параметри. Потужність проектованої комбінаторної системи визначається за такою формулою

$$P = \sum_{k=1}^m v_k P_{\text{ксс}}, \quad (5.2)$$

где  $m$  – кількість різних найменувань ІМС;

$v_k$  – кількість ІМС даного  $k$ -го найменування, які застосовуються в системі;

$P_{\text{ксс}}$  – споживана потужність ІМС даного  $k$ -го найменування ІМС.

Таблиця 5.3 – Мікросхеми, які використані в проектованій системі, та їх основні параметри [12, 14]

№	Найменування ІМС	Кількість, шт.	Потужність $P_{\text{сс}}$ , мВт	Затримка $t_{\text{зд}}$ , нс
1	SN74ALS193 (КР1533ИЕ7)	6	110	23,5
2	SN74ALS74 (КР1533ТМ2)	3	20	15,5
3	SN74ALS874 (КР1533ИР38)	3	155	13,5
4	SN74ALS04 (КР1533ЛН1)	2	12,25	12
5	SN74ALS08 (КР1533ЛИ1)	3	16	12
6	SN74ALS32 (КР1533ЛЛ1)	1	17	12
7	SN74ALS02 (КР1533ЛЕ1)	1	16	12
8	SN74ALS00 (КР1533ЛА3)	1	9,6	12
9	SN74ALS244 (КР1533АП5)	2	135	15

Струм споживання комбінаторної системи завадостійкого кодування знаходиться як

$$I = \frac{P}{U_{\Pi}}, \quad (5.3)$$

где  $U_{\Pi}$  – напруга живлення комбінаторної системи завадостійкого кодування.

Для проектованої комбінаторної системи кодування  $m = 9$ , а значення  $i_k$  і  $P_{kcc}$  беремо відповідно до таблиці 5.3 за номером  $k$  в першому стовпчику таблиці. Таким чином, згідно з (5.2)

$$P = 6 \cdot 110 + 3 \cdot 20 + 2 \cdot 155 + 2 \cdot 12,25 + 3 \cdot 16 + 1 \cdot 17 + 1 \cdot 16 + 1 \cdot 9,6 + 2 \cdot 135 \approx 1415 \text{ мВт} \approx 1,42 \text{ Вт.}$$

З формули (5.3) струм споживання проектованої системи при  $U_{\Pi} = 5 \text{ В}$  відповідно дорівнює

$$I = \frac{1,42}{5} \approx 0,28 \text{ А.}$$

Навантажувальна здатність комбінаторної системи завадостійкого кодування визначається здатністю навантаження вихідних ІМС системи – буферних елементів SN74ALS244 (КР1533АП5), виходи яких приєднуються до гнізда X2. У загальному вигляді дана характеристика обчислюється для значення логічного нуля як

$$N_{\text{ВИХ}}^0 = \frac{I_{\text{ВИХ}}^0}{I_{\text{ВХ}}^0}, \quad (5.4)$$

для значення логічної одиниці як

$$N_{\text{ВИХ}}^1 = \frac{I_{\text{ВИХ}}^1}{I_{\text{ВХ}}^1}. \quad (5.5)$$

Буферні елементи мають на виході значення струму, який входить, при значенні логічного нуля  $I_{\text{ВИХ}}^0 = 24 \text{ мА}$  і струму, який виходить, при значенні логічної одиниці  $I_{\text{ВИХ}}^1 = 12 \text{ мА}$ . При цьому стандартні значення серії SN74ALS (КР1533) для вхідних струмів  $I_{\text{ВХ}}^0 = 0,2 \text{ мА}$  і  $I_{\text{ВХ}}^1 = 0,01 \text{ мА}$ . Відповідно, за формулами (5.4, 5.5) знаходимо

$$N_{\text{ВИХ}}^0 = \frac{24}{0,2} = 120, \quad N_{\text{ВИХ}}^1 = \frac{12}{0,01} = 1200.$$

Таким чином, до виходів комбінаторної системи завадостійкого кодування можна під'єднати до 120 входів ІМС серії SN74ALS (КР1533) ТТЛШ технології.

## 6 ЕКОНОМІЧНА ЧАСТИНА

### 6.1 Підходи до розрахунку чисельності інженерно-технічного персоналу

Персонал – особовий склад організації, що працює по найманню. Персонал працює на забезпечення цілей організації [15, 16, 17]. Персонал підприємства це сукупність всіх працівників підприємства, що забезпечують реалізацію його функцій.

По участі у виробничому процесі виділяються: промислово-виробничий персонал (ПВП), тобто працівники безпосередньо пов'язані з виконанням виробничого процесу і його обслуговуванням, і невиробничий персонал включає працівників, безпосередньо не пов'язаним з виробничим процесом, але ті, що створюють нормальні умови для роботи ПВП.

Промислово-виробничий персонал підрозділяється по місцю у виробничому процесі на наступні категорії [15, 16, 17].

1. Робітники. Вони діляться на основні й допоміжні. Основні робітники здійснюють виробництво профілюючої продукції підприємства. Допоміжні – обслуговують виробництво.

2. Інженерно-технічні працівники (ІТП). До цієї категорії ставляться фахівці, що здійснюють підготовку й керування виробничим процесом.

3. Адміністративно-управлінський персонал (АУП). Названа категорія фахівців здійснює керування підприємством. Вони забезпечують збір і обробку всієї управлінської інформації, підготовляють, приймають і реалізують управлінські рішення.

4. Молодший обслуговуючий персонал. Дану категорію становлять фахівці, які не приймають особисту участь у виробничому процесі, але обслуговують його. Це прибиральники, комірники, гардеробники й так далі.

5. Охорона. Дана категорія фахівців забезпечує безпеку підприємства, зберігаючи його матеріальні цінності від розкрадань і стихійних лих, забезпечуючи недоторканність інформації, що становить комерційну таємницю підприємства.

Персонал підприємства можна охарактеризувати за допомогою кількісних і якісних показників.

До кількісних показників ставляться чисельність і плинність: нормативна, облікова і явочна чисельність персоналу.

Чисельність персоналу характеризується наступними показниками: явочна чисельність, що включає всіх працівників, які прибули на роботу; облікова чисельність, що являє собою чисельність працівників зарахованих у штат підприємства на конкретну дату.

Середня явочна чисельність розраховуються шляхом розподілу числа явочної або фактичної чисельності за всі робочі дні місяця на число робочих днів у місяці. Розрахунок по середньої арифметичної простий [16]. Обліковий склад працівників ураховується на кожний календарний день місяця.

У ПВП щодня включаються всі постійні, тимчасові, сезонні працівники, якщо вони відробили повністю хоч один робочий день. Списковий склад щодня може змінюватися у зв'язку з рухом робочої сили.

Обліковий склад працівників у святкові й вихідні дні дорівнює обліковому складу за попередній робочий день. Середнеспискова чисельність ПВП побічно показує загальні витрати праці за певний період.

Економічний зміст показника – число чоловікомісяців перебування працівників у списках підприємства.

Середнеспискова чисельність  $T_{\text{міс}}$  ПВП розраховується за місяць двома способами:

1. Шляхом поділу суми  $T_{\text{кал.дні}}$  облікової чисельності працівників за всі календарні дні місяця на число  $n$  календарних днів у місяці:

$$T_{\text{міс}} = \frac{T_{\text{кал.дні}}}{n}.$$

2. Шляхом поділу суми чоловікоднів явок і неявок на роботу за всі календарні дні місяця на число  $n$  календарних днів у місяці:

$$T_{\text{міс}} = \frac{(\text{явок} + \text{неявок}) \text{чоловікоднів}}{n}.$$

Різниця між обліковою і явочною чисельністю характеризує цілоденні втрати часу і середнеспискова чисельність персоналу визначається як середня, протягом календарного періоду облікова чисельність персоналу.

Останній показник характеризує трудовий потенціал підприємства.

Нормативна чисельність – це чисельність робітників, зайнятих на нормованих роботах, визначають по нормативній трудомісткості виробництва продукції, а на ненормованих – по робочих місцях на основі норм обслуговування або норм штату.

Чисельність робітників по нормативній трудомісткості виробництва продукції розраховують по формулі [15, 16]:

$$Ч_{р\text{пл}} = \frac{T_p \cdot 100}{\Phi_e \cdot v},$$

де  $Ч_{р\text{пл}}$  – планова чисельність робітників;

$T_p$  – трудомісткість планового обсягу продукції (або робіт), годин;

$\Phi_e$  – ефективний фонд (річний) робітника часу однієї людини;

$v$  – очікуване перевиконання норм у результаті впровадження заходів щодо підвищення продуктивності праці, %.

Трудомісткість планового обсягу продукції визначають по діючим на підприємстві нормам витрат праці: нормам часу  $Н_{вр}$  в годинах на одиницю продукції або нормам виробітку  $Н_{вир}$  за одну годину:

$$T_p = Q_{\text{пл}} \cdot Н_{вр} \quad \text{або} \quad T_p = \frac{Q_{\text{пл}}}{Н_{вир}}.$$

При розрахунку чисельності робітників, що обслуговують машини, агрегати й різні види встаткування, використовують норми обслуговування або норми штату. У цьому випадку чисельність робітників безпосередньо не залежить від обсягу виробництва. Чисельність  $Ч_{р\text{пл}}$  робітників цієї категорії розраховують по формулах:

$$Ч_{р\text{пл}} = M \cdot Н_{м} \cdot З_{м} \cdot k_1 \quad \text{або} \quad Ч_{р\text{пл}} = \frac{M \cdot Н_{м} \cdot A}{Н_{обсл}},$$

де  $M$  – число робочих місць;

$Н_{м}$  – норма штату, тобто чисельність робітників, необхідних для обслуговування одного робочого місця в зміну відповідно до вимог технології процесу;

$З_{м}$  – число робочих змін;

$k_1$  – коефіцієнт перекладу явочної чисельності в облікову;

$Н_{обсл}$  – норма обслуговування, тобто число робочих місць, що повинен

обслуговувати одна людина відповідно до характеру технологічного процесу.

Важливим показником, що характеризує змінюваність персоналу, є плинність кадрів. Плинність  $P_k$  визначається в такий спосіб:

$$P_k = \frac{(П + У)}{Ч_{ппп}},$$

де  $П$  – число прийнятих впродовж планового періоду фахівців, чол.;

$У$  – число звільнених впродовж планового періоду фахівців, чол.;

$Ч_{ппп}$  – середнеспискова чисельність персоналу за плановий період, чол.

Плинність персоналу повинна бути оптимальною, для більшості підприємств вона становить 10-15%. Більше висока плинність приводить до високих втрат робочого часу, а занадто низька плинність сповільнює відновлення персоналу. Структура й чисельність персоналу відбиті в штатному розкладі підприємства [15, 16, 17].

Варто розрізнити поняття "кадри", "персонал" і "трудові ресурси підприємства".

Поняття "трудові ресурси підприємства" характеризує його потенційну робочу силу, "персонал" – весь особовий склад працюючих по найманню постійних і тимчасових, кваліфікованих і некваліфікованих працівників. Під кадрами підприємства розуміється основний (штатний, постійний), як правило, кваліфікований склад працівників підприємства.

Склад і кількісні співвідношення окремі категорії й груп працівників підприємства характеризують структуру кадрів.

До якісних показників ставляться професія, спеціальність і кваліфікація фахівців [15, 16, 17].

Під професією розуміється здатність фахівця здійснювати особливий рід діяльності, що вимагає теоретичних знань і практичних навичок. У свою чергу, спеціальність – вид діяльності в межах професії, що має специфічні особливості й вимагає додаткові навички й знань.

Кваліфікація це здатність фахівця виконувати роботу певної складності. Вона визначається теоретичною підготовкою, що залежить від рівня утворення, і досвіду здобувається в практичній діяльності. Кожна професія вимагає свого сполучення теоретичної підготовки й досвіду.



За рівнем кваліфікації фахівців кожної категорії можна розділити на чотири групи.

Так для робітників ці групи будуть, у міру зростання кваліфікації, називатися [15, 16, 17]:

- 1) некваліфіковані робітники, що не мають спеціальної підготовки;
- 2) малокваліфіковані, тобто робочі минулу підготовку протягом короткого часу;
- 3) кваліфіковані робітники пройшли підготовку, як правило з відривом від виробництва, протягом двох-трьох років;
- 4) висококваліфіковані, тобто минули тривалу підготовку і мають великий досвід роботи.

Для ІТП і АУП також можна виділити чотири рівні кваліфікації [15, 16, 17]:

- 1) працівники не мають фахової освіти, але мають досить великий досвід практичної роботи;
- 2) фахівці, що мають середнеспеціалізовану освіту;
- 3) фахівці високої кваліфікації, що мають вищу освіту;
- 4) фахівці вищої кваліфікації, що мають учені ступені (кандидата або доктора наук) або вчене звання (доцент, старший науковий співробітник, професор).

ІТП становлять ту частину осіб підприємства, які здійснюють організацію й керівництво виробничим і технологічним процесом.

При цьому підставою для віднесення працівників до ІТП є не освіта, а займана посада.

## 6.2 Розрахунок повної собівартості розроблюваної системи

Собівартість продукту – це виражені в грошовій формі поточні витрати підприємства на його виробництво й збут [18, 19, 20]. Видатки на виробництво утворюють виробничу (заводську) собівартість, а видатки на виробництво й збут - повну собівартість. Розрахунок собівартості продукту по статтях витрат називається калькуляцією.

Видатки, пов'язані з виробництвом і збутом (реалізацією) продукту

"комбінаторна система завадостійкого кодування двійкових даних", групуються по наступних статтях:

- матеріали й комплектуючі;
- основна заробітна плата;
- додаткова заробітна плата;
- соціальні відрахування від заробітної плати;
- оренда машинного часу або видатки на утримання й експлуатацію встаткування;
- загальновиробничі видатки;
- адміністративні видатки;
- видатки на збут (реалізацію) продукту.

*Видатки на матеріали й комплектуючі.* Матеріали й комплектуючі вироби розглядаються виходячи з відомостей на матеріали, сировину, що комплектують, кооперацію, що доводяться на одну одиницю випуску (таблиця 6.1).

*Видатки на основну заробітну плату ( $Z_o$ ).* Основна заробітна плата розраховується по наступній формулі:

$$Z_o = \sum_{i=1}^n TC \cdot Ч, \quad (6.1)$$

де  $TC = 40$  – тарифна ставка робітника, що задіяний у виробництві устрою, грн./година;

$Ч = 12$  – витрачений робітником час на виробництво й налагодження пристрою;

$n = 1$  – кількість працівників задіяних у виробництві.

Таким чином, використовую вираз (6.1),

$$Z_o = \sum_{i=1}^1 40 \cdot 12 = 40 \cdot 12 = 480 \text{ грн.}$$

*Додаткова заробітна плата.* Видатки на додаткову заробітну плату звичайно становить від 10% до 30% від основної:

$$Z_d = Z_o \frac{K_d \%}{100}, \quad (6.2)$$

де  $K_d$  – відсоток додаткової заробітної плати.

Таблиця 6.1 – Видатки на матеріали й комплектуючі вироби

Найменування комплектуючих	Ціна, грн.	Кількість, шт.	Сума на виріб, грн.
Конденсатори	3,00	6	18,00
Мікросхема SN74ALS193 (KP1533IE7)	10,00	6	60,00
Мікросхема SN74ALS04 (KP1533ЛН1)	5,00	2	10,00
Мікросхема SN74ALS08 (KP1533ЛИ1)	8,00	3	24,00
Мікросхема SN74ALS32 (KP1533ЛЛ1)	8,00	1	8,00
Мікросхема SN74ALS74 (KP1533ТМ2)	5,00	3	15,00
Мікросхема SN74ALS874 (KP1533ИР38)	10,00	3	30,00
Мікросхема SN74ALS02 (KP1533ЛЕ1)	10,00	1	10,00
Мікросхема SN74ALS00 (KP1533ЛА3)	5,00	1	5,00
Мікросхема SN74ALS244 (KP1533АП5)	12,00	2	24,00
Роз'єднувач	16,00	2	32,00
Резистори МЛТ	3,00	3	9,00
Резонатор кварцевий	25,00	1	25,00
<b>Разом:</b>			<b>270</b>

Приймаючи  $K_d = 20\%$ , по формулі (6.2) знаходимо

$$Z_d = 480 \cdot \frac{20\%}{100} = 96 \text{ грн.}$$

*Соціальні відрахування від заробітної плати.* Дані відрахування складаються з відрахувань від суми основної й додаткової зарплат відповідно до встановлених ставок:

- на обов'язкове державне пенсійне страхування;
- на державне страхування від нещасних випадків;
- на обов'язкове державне соціальне страхування на випадок безробіття;
- у зв'язку з тимчасовою втратою працездатності й витратами, обумовленими народженням дитини і похоронами:

$$V_{CB} = (Z_o + Z_d) \cdot \frac{36,3\%}{100}. \quad (6.3)$$

Підставляючи у вираження (6.3) значення  $Z_o$  й  $Z_d$ ,

$$V_{CB} = (480 + 96) \cdot \frac{36,3\%}{100} \approx 209 \text{ грн.}$$

*Видатки на утримання і експлуатацію встаткування.* Вважається, що встаткування перебуває на балансі підприємства. Видатки на утримання й експлуатацію встаткування (ВУЕ) рівняються відсотку ВУЕ від основної заробітної плати. Відсоток ВУЕ визначається з відомостей по аналізу повної

собівартості продукту (у середньому 120-150%):

$$ВУЕ = 3_0 \cdot \frac{ВУЕ\%}{100}, \quad (6.4)$$

або з обліком (6.4), приймаючи ВУЕ = 140%, одержуємо

$$ВУЕ = 480 \cdot \frac{140\%}{100} = 672 \text{ грн.}$$

*Загальвиробничі видатки.* Являють собою витрати, пов'язані з керуванням підрозділом (цехом), витрати на службові відрядження працівників підрозділу (цеху), амортизаційні відрахування від вартості основних фондів загальцехового призначення й т.д. Загальвиробничі видатки  $B_3$  визначається з відомостей по аналізі повної собівартості продукту (у середньому можуть становити 130-250%). Загальвиробничі видатки рівняються відсотку  $B_3$  виробничих видатків від основної зарплати:

$$B_3 = 3_0 \cdot \frac{B_3\%}{100}. \quad (6.5)$$

Отже, з обліком  $B_3 = 180\%$  з вираження (6.5) можна визначити

$$B_3 = 480 \cdot \frac{180\%}{100} = 864 \text{ грн.}$$

*Виробнича собівартість  $C_v$*  включає видатки на виробництво пристрою (таблиця 6.2, сума пп. 1-6):

$$C_v = 480 + 96 + 270 + 209 + 672 + 864 = 2591 \text{ грн.}$$

*Адміністративні видатки.* Адміністративні видатки можуть містити в собі: витрати, пов'язані з керуванням виробництва; витрати на службові відрядження адміністрації підприємства; витрати на пожежну охорону й охорону підприємства; витрати, пов'язані з підготовкою й перепідготовкою кадрів; витрати на перевезення працівників до місця роботи й назад; витрати на виплату відсотків за фінансові, товарні й комерційні кредити; витрати, пов'язані з оплатою відсотків за користування матеріальними цінностями, узятими в оренду (лізинг); витрати, пов'язані з оплатою послуг комерційних банків і інших кредитно-фінансових організацій. Адміністративні видатки  $B_a$  визначаються з відомостей по аналізі повної собівартості продукту (середньому можуть становити 140-200%). Адміністративні видатки рівняються відсотку адміністративних видатків від основної зарплати:

$$V_a = 3_o \cdot \frac{V_a \%}{100}. \quad (6.6)$$

Таким чином, приймаючи  $V_a = 140\%$ , з виразу (5.6) слідує

$$V_a = 480 \cdot \frac{140\%}{100} = 672 \text{ грн.}$$

*Позавиробничі (комерційні) видатки  $V_n$*  включають видатки на рекламу й передпродажну підготовку продукту. Орієнтовно ці видатки визначаються в розмірі 5-10 % від виробничої собівартості:

$$V_B = C_B \cdot \frac{V_B \%}{100}. \quad (6.7)$$

Отже, приймаючи  $V_n = 5\%$ , з вираження (6.7) можна визначити

$$V_B = 2591 \cdot \frac{5\%}{100} \approx 130 \text{ грн.}$$

*Повна собівартість  $C$*  виробленого продукту обчислюється як

$$C = C_B + V_a + V_B,$$

тобто з урахуванням знайдених значень  $C_B = 2591$  грн.,  $V_a = 672$  грн. і  $V_B = 130$  грн. одержуємо

$$C = 2591 + 672 + 130 = 3393 \text{ грн.}$$

Калькуляція собівартості продукту зведена в таблицю 6.2.

Таблиця 6.2 – Калькуляція собівартості продукту

Найменування статей калькуляції	Значення, грн.
1. Основна заробітна плата	480
2. Додаткова заробітна плата	96
3. Відрахування від заробітної плати	209
4. Матеріали й комплектуючі вироби	270
5. Видатки на утримання й експлуатацію встаткування	672
6. Загальвиробничі видатки	864
<b>Виробнича собівартість:</b>	<b>2591</b>
7. Адміністративні видатки	672
8. Позавиробничі (комерційні) видатки	130
<b>Повна собівартість:</b>	<b>3393</b>

### 6.3 Розрахунок ціни розроблюваної системи

У ринковій економіці існують різні методи ціноутворення: собівартість плюс прибуток, забезпечення фіксованого обсягу прибутку, залежно від рівня попиту [19, 20]. Розрахунок оптової ціни продукту провадимо за схемою "собівартість плюс прибуток":

$$\text{Ц}_{\text{опт}} = \text{C} + \text{П}, \quad (6.8)$$

де C – собівартість продукту;

П – величина прибутку.

Прибуток П визначається виходячи з нормативу (показника) рентабельності R виробництва продукції, установлюваного підприємством:

$$R = \frac{\text{П}}{\text{C}} \cdot 100\%, \quad (6.9)$$

Рентабельність R продукту береться в розмірі до 35%.

Тоді з формул (6.8) і (6.9) оптова ціна продукту визначається як

$$\text{Ц}_{\text{опт}} = \text{C} + \frac{R \cdot \text{C}}{100}, \quad (6.10)$$

а роздрібна ціна з урахуванням ПДВ, що становить 20%,

$$\text{Ц}_{\text{роз}} = 1,2 \times \text{Ц}_{\text{опт}}. \quad (6.11)$$

Застосовуючи вираження (6.10) і (6.11) з обліком  $R = 15\%$ , знаходимо значення оптової ціни

$$\text{Ц}_{\text{опт}} = 3393 + \frac{15\% \cdot 3393}{100} \approx 3902 \text{ грн.}$$

і значення роздрібною ціни

$$\text{Ц}_{\text{роз}} = 1,2 \times 3902 \approx 4682 \text{ грн.}$$

Таким чином, наведена орієнтовна оцінка собівартості розробленої системи, а також розрахована роздрібна ціна за схемою "собівартість плюс прибуток", що дозволяє судити про приблизну економічну вигоду застосування продукту. Позитивні сторони даної методики обумовлюються в її простоті, комплексній очевидності такої функції ціни як відшкодування витрат на виробництво й забезпечення прибутковості від створення й реалізації продукту. Недолік даної методики ґрунтується в тому, що вона слабо враховує ринкові фактори ціноутворення й, насамперед, попит [18, 19]. Однак у реальній

перехідній економіці існують ситуації, коли підприємствам доцільно її застосовувати: в умовах відсутності конкуренції (монополії), при обмеженні рентабельності продукції з боку держави, виконанні одноразових замовлень, виготовленні оригінальної продукції.

Використання даної комбінаторної системи завадостійкого кодування двійкових даних передбачає наявність додаткових електронних вузлів, сумісних з використовуваними методами кодування даних, що може в деякій мірі збільшити ціну пристрою в цілому. Для встановлення реальної ціни, яка б відповідала умовам існуючого ринку відповідних продуктів, необхідні відповідні маркетингові дослідження.

Проектована система може бути використана в складі каналотворюючої апаратури, автоматизованих систем управління і системах збору та передачі інформації. Її перевагами є простота виконання і налагодження, гнучкість в нарощуванні довжини двійкових комбінацій, які перетворюються, невеликі апаратурні витрати.

Подібні системи існують, але вони мають досить велику функціональну надмірність, що невиправдано завищує його вартість для множини областей застосування. Ціна систем-аналогів коливається в межах 200 ... 250 \$. Тому розроблена комбінаторна система завадостійкого кодування, ціна якої в 1,2-1,5 рази нижче, буде конкурентоспроможна і економічно вигідна для розробки.

## ВИСНОВОК

Розроблена комбінаторна система завадостійкого кодування забезпечує перетворення ДК в ДФК. Крім того, на функціональному рівні було вирішено завдання зворотного перетворення ДФК в ДК. В основі побудови розробленої системи лежать блоки лічильників, які віднімають та підсумовують. Перевагами отриманої електронної комбінаторної системи є:

- простота реалізації;
- відсутність необхідності засобів налагодження і програмування;
- простота розширення кодової таблиці.

В результаті проектування системи перетворення кодів ДК в ДФК отримані наступні технічні характеристики, які задовольняють наступним технічним вимогам:

- число комбінацій, які перетворюються – 256;
- число факторіальних розрядів ДФК – 5 (параметр факторіальної системи числення  $n = 6$ );
- максимальний час формування вихідної комбінації ДДК – 12 мкс;
- мінімальний час формування вихідної комбінації ДДК – 23,5 нс;
- максимальна робоча частота перемикання лічильника – 26,7 МГц;
- потужність споживання – 1,42 Вт;
- струм споживання – 0,28 А.

Синтезована електронна комбінаторна система завадостійкого кодування на базі рахункових пристроїв може бути ефективно використана в системах генерування перестановок, системах збору і передачі інформації, автоматизованих системах управління при організації надійної передачі даних.



## СПИСОК ЛІТЕРАТУРИ

1. Борисенко О.А. Дискретна математика: Підручник. – Суми: Університетська книга, 2019. – 255 с.
2. Трохимчук Р.М. Дискретна математика у прикладах і задачах : навч. посібник / Р.М. Трохимчук, М.С. Нікітченко; М-во освіти і науки України, Київ. нац. ун-т ім. Тараса Шевченка. – Київ : Київський університет, 2017. – 248 с.
3. Микушин А.В. Цифровые устройства и микропроцессоры: учебное пособие / А.В. Микушин, А.М. Сажнев, В.И. Сединин. – СПб.: БХВ-Петербург, 2010. – 832 с.
4. Лорія М.Г. Цифрова схемотехніка. Навчальний посібник/ М.Г. Лорія, П.Й. Єлісеєв, О.Б. Целіщев. – Сєверодонецьк: Вид-во Східноукр. нац. ун-ту ім. В. Даля, 2016. – 280 с.
5. Молдовян А.А. и др. Криптография: скоростные шифры. – СПб.: БХВ-Петербург, 2012. – 244 с.
6. Введение в криптографию / Под общ. ред. В. В. Яценко. – М., МЦНМО, 2010. – 272 с.
7. Scott A. Vanstone, Paul C. Van Oorschot, An introduction to error correcting codes with applications, ISBN 0-7923-9017-2.
8. Рейнгольд Э., Нивергельт Ю., Део Н. Комбинаторные алгоритмы: теория и практика. – М.: Изд-во "Мир", 1980. – 477 с.
9. Борисенко О.А. Електронна система генерації перестановок на базі факторіальних чисел/ О.А. Борисенко, І.А. Кулик, О.Є. Горячев // Вісник СумДУ, Серія "Технічні науки", № 1, 2007. – С. 183-188.
10. The TTL Data Book. Texas Instruments, 2010.
11. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
12. <http://www.texnic.ru/data/ims-sprav.htm>. Справочник микросхем. Подборка справочной документации на отечественные и зарубежные, цифровые и аналоговые микросхемам (оновлено 2020 р.).

13. Платт Чарльз. Энциклопедия электронных компонентов. Том 2. Тиристоры. Аналоговые и цифровые микросхемы. Светодиоды. ЖК-дисплеи. Источники звука / Чарльз Платт, Фредерик Янссон. – СПб: ВHV, 2016. – 368 с.

14 <http://www.diagram.com.ua/library/handbooks-ic/> Справочники по зарубежным микросхемам и транзисторам (Сторінка оновлена 2020 р.).

15. Гутгарц Р.Д. Эволюция подходов к проблеме управления кадрами предприятия // Менеджмент в России и за рубежом. – 2010. – № 5.

16. Зайцев Г.Г. Управление персоналом (учебное пособие) / Г.Г. Зайцев. – Изд-во "Северо-Запад", 2011. – 84 с.

17. Галенко В.П. Управление персоналом и эффективность предприятий / В.П. Галенко, О.А. Страхова, С.И. Файбушевич. – М.: Финансы и статистика, 2001. – 213 с.

18. Типове положення з планування, обліку і калькулювання собівартості продукції. Затверджено КМУ від 26 квітня 1996 № 473 // Бізнес. – № 32-35.

19. Економіка підприємства: Підручник / За заг. ред. д.е.н., проф. Л.Г. Мельника. – Суми: ВТД "Університетська книга", 2004. – 648 с.

20. Економіка підприємства: Підручник. – В 2 т. / За ред. С.Ф. Покровного. – К.: Вид-во "Хвиля-Прес", Донецьк: МП "Пошук", 2015. – 280 с.