

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

ДО КВАЛІФІКАЦІЙНОЇ РОБОТИ БАКАЛАВРА

на тему:

«Адаптивний лічильний пристрій на основі біноміальних кодів»

Завідувач кафедри

Опанасюк А. С.

Керівник проекту

Кулик І. А.

Розробив студент групи ЕС-71

Жижа В. В.

Суми 2021

СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Факультет _____ електроніки та інформаційних технологій

Кафедра _____ електроніки і комп'ютерної техніки

Напрямок підготовки _____ 171 Електроніка

Освітня програма _____ Електронні системи та компоненти

ЗАТВЕРДЖУЮ

Зав. кафедрою _____ Опанасюк А. С.

"__" _____ 202__ р.

ЗАВДАННЯ

на кваліфікаційну роботу бакалавра

1 Тема роботи _____

затверджена наказом по університету "___" _____ 202__ р. № _____

2 Термін здачі студентом завершеної роботи _____

3 Вихідні дані до роботи _____

4 Зміст розрахунково-пояснювальної записки (перелік питань, що належить розробити) 1. Огляд літератури та поставлення задачі роботи. 2. Вибір та обґрунтування алгоритму функціонування та структурної схеми пристрою. 3. Розробка функціональної схеми блоків пристрою. 4. Вибір елементної бази та розробка принципових електричних схем блоків пристрою.

5 Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень) 1. Схема електрична структурна. 2. Схема алгоритму. 3. Схема електрична функціональна. 4. Схема електрична принципова.

6 Дата видачі завдання _____

Керівник _____

Завдання прийняв до виконання _____

КАЛЕНДАРНИЙ ПЛАН

№ п/п	Назва етапів дипломного проекту	Термін виконання етапів роботи	Примітки
1	Огляд літератури й постановка завдання проектування	05.04.21 – 11.04.21	
2	Синтез структурної схеми й алгоритму роботи пристрою	12.04.21 – 20.04.21	
3	Розробка функціональної схеми пристрою	21.04.21 – 28.04.21	
4	Розробка принципів схем блоків пристрою	29.04.21 – 14.05.21	
5	Розробка принципової схеми пристрою	15.05.21 – 25.05.21	
6	Оформлення пояснювальної записки й креслень	26.05.21 – 10.06.21	
7	Представлення роботи керівнику і отримання відзиву	11.06.21	
8	Представлення роботи кафедрі для отримання рецензії	14.06.21	

Студент _____

Керівник _____

" ____ " _____ 2021 р.

РЕФЕРАТ

Метою роботи є проектування адаптивного лічильного пристрою, який працює в біноміальній системі числення.

Висока актуальність лічильних пристроїв робить необхідним вирішення задачі підвищення їх завадостійкості. Остання досягається шляхом введення в лічильник так званих заборонених комбінацій схемотехнічно та за допомогою перешкодостійких систем числення. Лічильні пристрої, які для своєї роботи використовують заборонені стани, вирішують досить нелегке завдання лічби та потребують розроблення контролюючих пристроїв, за роботою яких також доводиться слідкувати. Крім того, структура самого лічильника стає неоднорідною. Страждає також надійність лічильного пристрою, рівень якої може знизитися.

Одними із найбільш актуальних пристроїв для перешкодостійкої лічби є біноміальні лічильники, які для функціонування використовують біноміальні системи числення. Важливими особливостями біноміальних лічильників є високий рівень завадостійкості та однорідність структури. До того ж, відчутно різке зменшення апаратних витрат дешифраторів, які працюють з їх станами. Здебільшого, це призводить до зниження сумарних апаратних витрат пристрою у порівнянні з двійковими лічильниками. Приємним бонусом є можливість адаптації пристрою до характеру та інтенсивності перешкод та зміна коефіцієнта перерахунку.

Ключові слова: біноміальний, система числення, завадостійкість, лічильник, перешкоди.

ЗМІСТ

ВСТУП.....	6
РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ НА ПРОЕКТУВАННЯ.....	7
1.1 Надійність та відмовостійкість електронних пристроїв.....	7
1.2 Двійкові біноміальні системи числення.....	11
1.3 Типи і класифікація лічильних пристроїв.....	16
1.4 Постанова завдання на проектування.....	20
РОЗДІЛ 2 РОЗРОБКА СТРУКТУРНОЇ СХЕМИ ТА АЛГОРИТМУ ФУНКЦІОНУВАННЯ АДАПТИВНОГО ЛІЧИЛЬНОГО ПРИСТРОЮ.....	21
РОЗДІЛ 3 РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ АДАПТИВНОГО ЛІЧИЛЬНОГО ПРИСТРОЮ	26
РОЗДІЛ 4 РОЗРОБКА ПРИНЦИПОВИХ СХЕМ БЛОКІВ АДАПТИВНОГО ЛІЧИЛЬНОГО ПРИСТРОЮ	33
ВИСНОВКИ.....	45
СПИСОК ЛІТЕРАТУРИ.....	46
ПЕРЕЛІК ЕЛЕМЕНТІВ.....	47

					<i>ЕлІТ 6.171.00.10.343 ПЗ</i>			
<i>Зм.</i>	<i>Лист</i>	<i>№ докум</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розроб.</i>		Жижа В. В.			<i>Адаптивний лічильний пристрій на основі біноміальних кодів. Пояснювальна записка.</i>	<i>Лит.</i>	<i>Лист</i>	<i>Листів</i>
<i>Перевір.</i>		Кулик І. А.				у	5	47
<i>Реценз.</i>						<i>СумДУ гр. ЕС-71</i>		
<i>Н. Контр.</i>								
<i>Затверд.</i>		Опанасюк А. С.						

ВСТУП

Висока актуальність лічильних пристроїв робить необхідним вирішення задачі підвищення їх завадостійкості. Остання досягається шляхом введення в лічильник заборонених комбінацій схемотехнічно та за допомогою перешкодостійких систем числення. Лічильні пристрої, які для своєї роботи використовують заборонені стани, вирішують досить нелегке завдання лічби та потребують розроблення контролюючих пристроїв, за роботою яких також доводиться слідкувати. Крім того, структура самого лічильника стає неоднорідною, тобто виникають труднощі з проектуванням та налагодженням останньої. Страждає також надійність лічильного пристрою, рівень якої може знизитися.

Одними із найбільш актуальних пристроїв для перешкодостійкої лічби є біноміальні лічильники, які для функціонування використовують біноміальні ваги та різні алфавіти (двійковий, вісімковий).

Спроектвані на основі біноміальних систем числення лічильні пристрої не міститимуть контролюючого пристрою, але матимуть апаратну надлишковість, якщо порівнювати з лічильниками, які працюють з двійковою системою числення. Важливими особливостями біноміальних лічильників є високий рівень завадостійкості та однорідність структури. До того ж, відчутне різке зменшення апаратних витрат дешифраторів, які працюють з їх станами. Здебільшого, це призводить до зниження сумарних апаратних витрат пристрою у порівнянні з двійковими лічильниками. Приємним бонусом є можливість адаптації пристрою до характеру та інтенсивності перешкод та зміна коефіцієнта перерахунку.

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		6

РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ НА ПРОЕКТУВАННЯ

1.1 Надійність та відмовостійкість електронних пристроїв

Однією із найважливіших характеристик електронних пристроїв являється надійність. Підвищення надійності засноване на принципі запобігання неполадок за допомогою зниження інтенсивності відмов і збоїв за рахунок застосування електронних схем і компонентів з високим і надвисоким ступенем інтеграції, зниження рівня перешкод, полегшених режимів роботи схем, а також за рахунок удосконалювання методів складання апаратури.

Питання підвищення надійності та відмовостійкості повинні вирішуватися на різних рівнях, починаючи з елементної бази та закінчуючи структурою проектного пристрою або системи. Адже саме тоді кожен елемент і блок електронної системи на кожному такті роботи буде подавати сигнал про свою справність або несправність, а наявна система контролю і діагностики стане оперативною на нього реагувати.

Існує декілька основних напрямків забезпечення надійності, відмово- та завадостійкості електронних пристроїв (систем):

1. Використання структурного резервування. Найбільш ефективний варіант структурного резервування – дублювання. При збільшенні витрат в 2 рази дозволяє збільшити надійність в 1,5 рази. При подальшому збільшенні кратності резервування його ефективність по критерію $K_e = \text{надійність} / \text{вартість}$ швидко зменшується (табл. 1.1). Резервування на нижчому рівні опису ефективніше, ніж резервування на більш високому рівні. Так система з дублюванням всіх пристроїв ЕОМ має приблизно в 2,7 разів вищу надійність за систему з двох дубльованих ЕОМ;

Таблиця 1.1 – Ефективність резервування

Кратність резервування	K_e
1/1	0,75
2/1	0,611
3/1	0,52

рахунок того, що процес контролю буде відбуватися паралельно до основної задачі.

Але через те, що така завадостійка система повинна здійснювати контроль своєї роботи по кожному такту роботи, вимоги до її оперативності і швидкодії досягають максимуму. У такій системі при контролі роботи окремих мікросхем на їх нижніх рівнях, доводиться у багатьох випадках відмовлятися від програмних методів контролю і усунення відмов та збоїв і замінювати їх схемними. Здебільшого це ускладнює і піднімає вартість електронної системи, але, в той же час, значно підвищує її надійність і швидкодію в порівнянні з системами, де відсутній такий потактовий контроль.

Є дві основні тенденції в розвитку засобів обробки даних – застосування мікропроцесорів і створення досить повного набору мікроелектронних пристроїв. Перша передбачає програмний, а друга – схемотехнічний спосіб реалізації обчислювальних функцій.

Необхідність забезпечення відмовостійкості електронних пристроїв різного призначення, побудованих на програмованих логічних інтегральних схемах (ПЛІС), обумовлена високими функціональними вимогами до їх швидкодії, надійності, точності і безвідмовності. Одним з перспективних шляхів підвищення відмовостійкості електронних пристроїв на ПЛІС є використання при їх проектуванні вбудованих засобів самовідновлення. Програмні засоби самовідновлення представляють собою програмну надмірність, яка, в свою чергу, збільшує вартість пристроїв, тому що вимагає додаткових апаратних витрат. Однак цей недолік компенсується тим, що розглянуті засоби самовідновлення істотно поліпшують показники функціонування і надійності. Апаратно-програмні засоби самовідновлення є поєднанням апаратних і програмних засобів, які застосовуються на різних ієрархічних рівнях пристрою (системи) і забезпечують виправлення широкого класу відмов (неполадок) і оперативне відновлення працездатності електронного пристрою. Самовідновлювальні електронні пристрої (системи) повинні володіти такими властивостями: виявлення відмов (несправностей) в момент часу їх першого прояву (ця властивість реалізується за допомогою схем вбудованого контролю, які автоматично перевіряють наявність відмов); локалізація відмов (неполадок) з заданою глибиною (реалізується шляхом застосування вбудованих засобів автоматичного тестування);

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		9

перебудова (реконфігурація) структури пристрою (реалізується за допомогою програмних засобів); відновлення нормального функціонування пристрою (реалізується відповідними вбудованими апаратно-програмними засобами).

Схемна реалізація, в порівнянні з програмною, має у багато разів більшу швидкість виконання операцій і тому незамінна в пристроях, що працюють в реальному масштабі часу. Блоки електронних пристроїв, в свою чергу, складаються з елементів, виконаних у вигляді інтегральних мікросхем, таких як дешифратори, лічильники. Тому підвищення завадостійкості електронної системи в цілому потрібно починати саме з підвищення завадостійкості мікросхем. Їх вартість при сучасній технології виробництва збільшується не набагато, швидкодія практично не зменшується, а надійність збільшується в рази.

Найбільш розповсюдженими та універсальними елементами цифрової техніки в даний час виступають лічильники та дешифратори. Відмовостійкість дешифраторів дозволяє підвищити надійність пристроїв, в які вони входять, наприклад, мультиплексорів, суматорів, постійних запам'ятовуючих пристроїв, програмно-логічних матриць. За допомогою дешифраторів (повних і неповних) можна реалізувати будь-яку як завгодно складну логічну функцію і, відповідно, цифровий електронний пристрій, який використовує для своєї роботи цю функцію. А якщо ці дешифратори будуть ще і відмовостійкими, то це дозволяє на їх основі будувати відмовостійкі електронні системи.

Проте дешифратори – це лише комбінаційні схеми, тобто схеми без пам'яті. Хоча, в принципі, на їх основі можна реалізувати будь-який цифровий пристрій або систему, працюючу протягом одного такту, у вигляді матричної схеми, на практиці, поки що, неможливо обійтися без цифрових пристроїв з пам'яттю. Одним їх таких поширених і універсальних цифрових пристроїв є лічильник.

Особливе місце серед схем, що застосовуються для обробки даних, займають лічильники. До них можна віднести будь-який пристрій, який в процесі роботи проходить крізь кілька своїх станів. При наявності додаткових комбінаційних схем, зокрема, дешифратора, за допомогою лічильника можна реалізувати пристрій управління, кодуєчий пристрій, аналого-цифровий і цифро-аналоговий перетворювач, перетворювач кодів,

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		10

вимірювач частоти. Тому питанням підвищення завадостійкості та відмовостійкості лічильників на практиці приділяється значна увага. Лічильники важливі не тільки самі по собі, але і з точки зору отримання нових схемотехнічних рішень в області цифрових пристроїв.

Широке застосування лічильників вимагає підвищення їх надійності і, зокрема, завадостійкості. Остання властивість досягається введенням в лічильники заборонених станів. Однак, їх виявлення стає досить складним завданням і вимагає розробки додатково до лічильника контролюючого пристрою, за роботою якого необхідно стежити. Лічильник при цьому набуває неоднорідну структуру, яку непросто спроектувати і налагодити.

Подолати зазначені вище суперечності зокрема можна шляхом застосування завадостійких неоднорідних систем числення. Розроблені на їх основі лічильники в достатньою мірі проявляють стійкість перед перешкодами. Вони не містять спеціального контролюючого пристрою, хоча надмірність апаратури в порівнянні з двійковими лічильниками у них є..

Перевагою таких лічильників є можливість перебирати комбінаторні конфігурації: поєднання, поєднання з повтореннями, перестановки. Таким чином, лічильники завадостійких систем числення володіють важливими перевагами – завадостійкістю і багатофункціональністю. До цього класу пристроїв належать лічильники, що працюють в біноміальній системі числення – біноміальні лічильники [16]. Важливою їх особливістю є значне зменшення кількості апаратних витрат, необхідних для декодування їх станів. Крім того, такі лічильники дозволяють адаптуватися до інтенсивності і характеру перешкод, шляхом зміни коефіцієнта перерахунку.

Таким чином, підвищення надійності та забезпечення відмовостійкості електронних пристроїв на сьогоднішній день являються ледве не основними критеріями проектування та побудови сучасних електронних систем.

1.2 Двійкові біноміальні системи числення

Оскільки чисел набагато більше ніж цифр, то для запису числа зазвичай використовується набір (комбінація) цифр. Тільки для невеликої кількості чисел – для найменших за величиною цілих чисел – буває достатньо однієї цифри. Існує багато способів запису чисел за допомогою цифр, які називаються системою числення. Величина числа може залежати від порядку

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
						11
Зм.	Лист	№ докум.	Підпис	Дата		

цифр у записі, а може і не залежати. Це властивість визначається системою числення і служить підставою для найпростішої класифікації таких систем.

Система числення – це запис математичної структури, на базі якої можна отримати необмежену кількість різних кодів, комбінації яких є словами, а не числами. Всі системи числення поділяються на чотири групи: позиційні, непозиційні, змішані, унарні.

В обчислювальній техніці широко поширені двійкові, вісімкові, шістнадцяткові та інші позиційні системи числення, що мають однорідну структуру (їх ще називають степеневими або природними системами числення). Більш складні позиційні системи числення з неоднорідною структурою (також називають неоднорідними позиційними системами числення) менш відомі. В даний час неоднорідні системи числення не знайшли ще досить широкого застосування. Однак дослідження цих систем виявило ряд їх корисних властивостей, наприклад, завадостійкість та можливість генерування перестановок.

В теорії розробка спеціалізованих керуючих пристроїв на основі неоднорідних позиційних систем числення, структура яких максимально відповідає специфіці розв'язуваної задачі, дозволяє економити апаратні витрати і досягати помітно кращої швидкодії. Так як неоднорідні системи числення є надлишковими, то поряд з підвищенням швидкодії і зниженням вартості керуючих пристроїв підвищується їх надійність і спрощується діагностика неполадок.

Практичне застосування неоднорідних систем числення ґрунтується на двох найважливіших їх властивостях: по-перше, вони дозволяють формувати і нумерувати комбінаторні об'єкти різної природи; по-друге – вони є завадостійкими. В результаті наявності таких властивостей у неоднорідних позиційних систем числення, на їх основі можуть розроблятися спеціалізовані керуючі пристрої з екстремальними характеристиками по швидкодії, габаритам, надійності та вазі.

Серед комбінаторних задач особливе місце займають завдання комбінаторної оптимізації. Для таких завдань найбільш поширеним рішенням є перебір можливих варіантів і вибір з перебору найкращого за деякими критеріями. У разі, якщо перебір неможливий, то він замінюється випадковим пошуком. В тому й іншому випадках потрібно організувати або перебір, або генерування комбінаторних об'єктів. Неоднорідні системи

					<i>ЕлІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
						12
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

числення дають можливість запропонувати загальний метод вирішення цього завдання. До таких неоднорідних систем числення відносяться і біноміальні системи числення, як з двійковим, так і багатозначним алфавітом. Більш детально розглянемо позиційну двійкову біноміальну систему числення.

У цифровій техніці широко поширені степеневі позиційні системи числення, вага розрядів чисел яких визначається степенем з показником рівним номеру розряду і основою, що визначається початковими числами натурального ряду – 2, 3, 4, Серед них особливе поширення знайшли системи числення з двійковим алфавітом – двійкові системи числення. Більш складні позиційні системи числення, в яких залежність між вагою розряду і його номером відрізняється від степеневої залежності, менш відомі. Вони поки що не знайшли достатньо широкого практичного застосування. Однак, відомі на сьогодні корисні властивості деяких нестепеневих систем числення, такі як завадостійкість, генерація і перебір комбінаторних конфігурацій, кодування інформації, в яких основи також представляються числами натурального ряду, наприклад, системи числення зі змішаною основою, роблять їх застосування на практиці достатньо перспективним.

Відомі також випадки застосування позиційних систем числення, основами яких виступають різного роду функції. Ці системи числення з підвищеною складністю мають ряд особливостей і переваг, які не властиві більш простим степеневим системам числення. З їх допомогою можна будувати завадостійкі і відмовостійкі цифрові пристрої, стискати інформацію, захищати її від несанкціонованого доступу, вирішувати комбінаторні завдання, в тому числі і завдання оптимізації цифрових пристроїв (систем).

Особливе значення позиційні системи числення мають для вирішення завдань рахунку і побудови на їх основі відповідних рахункових пристроїв і систем. Існує ціла область техніки рахунку і рахункових пристроїв, що використовує здебільшого двійкові позиційні системи числення. Такі лічильні пристрої, або просто лічильники, були довгий час поза конкуренцією через їх простоту і відносно невеликі апаратні витрати, необхідні для реалізації таких пристроїв.

біноміальними системами) виявляються зручними для нумерації коду $C(n, k)$ розбиття числа n на k частин [5].

У даній роботі для вирішення завдань цифрового рахунку пропонуються позиційні системи числення з біноміальними вагами і двійковим алфавітом $\{1, 0\}$ – біноміальні двійкові системи числення. У них в якості основи береться вираз для біноміальних коефіцієнтів, який задає число поєднань певної кількості елементів з їх загальної множини.

Тоді кількісний еквівалент кодової комбінації n -розрядної k -біноміальної системи числення $A_i = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1, \dots, P - 1$, буде визначатися виразом:

$$A_i = a_{j-1}C_{m-1}^{k-q_j} + \dots + a_l C_{m-j+l}^{k-q_{l+1}} + \dots + a_0 C_{m-j}^{k-q_1}, \quad (1.1)$$

при дотриманні двох систем обмежень:

$$\begin{cases} q_0 = k, \\ j < m, \end{cases} \quad (1.2)$$

$$j < m, \quad (1.3)$$

та

$$\begin{cases} m - k = j - q_0, \\ q_0 < k, \end{cases} \quad (1.4)$$

$$q_0 < k, \quad (1.5)$$

де q_0 – кількість одиниць в біноміальному числі; P – діапазон чисел; j – кількість розрядів біноміального числа (довжина); $l = 0, 1, \dots, j - 1$ – порядкові номери розряду; q_l – сума одиничних значень цифр біноміального числа від $(j - 1)$ -го розряду до l -го включно:

$$q_l = \sum_{i=l}^j a_i, \quad (1.6)$$

де $q_j = a_j = 0$.

Максимальне біноміальне число при цьому дорівнює:

									Лист
									16
Зм.	Лист	№ докум.	Підпис	Дата					

$$A_{\langle \text{бін} \rangle}^{\text{max}} = C_{m-1}^k + C_{m-2}^{k-1} + \dots + C_{m-k+1}^{k-k+1} = C_m^k - 1. \quad (1.7)$$

Отже, діапазон P представлених в біноміальній системі числення чисел, що враховує і нуль, дорівнює C_n^k [2].

Характерною властивістю біноміальних чисел є те, що двійкові кодові комбінації, які їх представляють, утворюють клас біноміальних нерівномірних чисел, що мають різну довжину (розрядність). Тоді для них повинна виконуватися важлива вимога, що жодна з цих комбінацій не може бути початком іншої. В іншому випадку ці комбінації неможливо буде відрізнити між собою. Ця вимога в теорії кодування відомо як вимога префіксності нерівномірних кодів.

Тільки ті кодові комбінації, що задовольняють вимогу префіксності, можуть передавати інформацію. Для рівномірних кодових комбінацій з однаковою довжиною вимога префіксності виконується автоматично, так як різні кодові комбінації однакової довжини завжди можна відрізнити одна від одної. Тоді як для нерівномірних кодів необхідні спеціальні докази наявності у них властивості префіксності.

1.3 Типи і класифікація лічильних пристроїв

Людство навчилося користуватися найпростішим рахунковим приладдям тисячі років тому. Найбільш затребуваними виявились необхідності визначати кількість предметів, нумерувати останні, порівнювати їх та їхні частини. Велика актуальність розв'язання цих задач призвела до стрімкої та масштабної еволюції, яка почалася зі звичайного абаку (вид рахівниці у стародавній Греції та Римі) та продовжується з сучасними (цифровими) лічильниками.

Лічильником називається такий послідовний цифровий пристрій, призначений для підрахунку кількості інформації, що надходить на його вхід. Числа в лічильнику представляються станами тригерів, кількість яких визначається розрядністю лічильника. Будь-які лічильники будуються на основі однотипних пов'язаних між собою розрядних схем, кожна з яких в загальному випадку складається з універсальних тригерів і побудованих на їх основі Т-тригерів (рис. 1.1), що працюють в рахунковому режимі, для яких характерний розділ вхідної частоти на два і деякої комбінаційної схеми, призначеної для формування сигналів управління тригером.

швидкодією комбінаційних цифрових пристроїв, що синхронізують роботу окремих розрядів лічильника.

Лічильники класифікуються за характером виконуваної арифметичної операції, модулю рахунку, коду числа, яке записується, способу подачі лічильних імпульсів і способу передачі сигналів перенесення від молодших розрядів до старших.

Крім деяких параметрів, зазначених вище, необхідно відзначити також число розрядів лічильника, максимальне число, яке може бути зареєстровано лічильником, і параметри швидкодії: тривалість процесу встановлення (затримки) інформації (показань) лічильника після подачі чергового лічильного імпульсу і мінімальний інтервал часу між надходженням сусідніх лічильних імпульсів.

За значенням модулю рахунку лічильники поділяються на:

- двійкові. У двійкових лічильниках кількість одиниць інформації визначається як $M = 2^n$, де n – кількість тригерів (розрядів) в схемі лічильника. Отже, в залежності від розрядності лічильника n , в ньому може бути здійснений підрахунок числа одиниць інформації, кратних 2^n . Починаючи з нульового стану, через кожні 2^n вхідних імпульсів тригери лічильника будуть повертатися в початковий стан, після чого починається новий цикл, що повторює попередній;
- двійково-десяткові (декадні), $M = 10$ (M не кратний 2^n);
- з довільним постійним коефіцієнтом рахунку (M не кратний 2^n);
- з перемінним коефіцієнтом рахунку (M не кратний 2^n).

За характером виконуваної арифметичної операції діляться на лічильники, які підсумовують (виконують мікрооперацію інкремента над вхідним словом, що зберігається), віднімають (виконують мікрооперацію декремента над вхідним словом, що зберігається) та реверсивні лічильники. До реверсивних лічильників відносяться такі, які можуть в залежності від стану сигналу реверсу або від того, на яку шину поданий черговий лічильний імпульс, виконувати операцію підсумовування або віднімання.

За способом подачі лічильних імпульсів розрізняють лічильники синхронні (паралельні) і асинхронні. До синхронних відносяться такі лічильники, у яких лічильні сигнали подаються паралельно (одночасно, синхронно) на всі розряди.

Асинхронні лічильники можуть бути наскрізного, послідовного і

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		18

змішаного (комбінованого) типів. В асинхронних лічильниках наскрізного типу рахунковий імпульс на кожен розряд формується шляхом стробування лічильного імпульсу, що приходить на попередній розряд, вихідним сигналом з попереднього розряду. У лічильниках послідовного типу рахунковим імпульсом кожного розряду є сигнал перенесення з виходу попереднього розряду. У лічильниках змішаного типу частина розрядів керуються синхронно, а інші – асинхронно.

За способом передачі сигналів переносу від молодших розрядів до старших розрізняють лічильники паралельного, наскрізного, послідовного і змішаного типів.

За способом організації зв'язків між розрядами лічильники поділяються на:

- лічильник з послідовним переносом, в якому перемикання тригерів розрядних схем відбувається послідовно одне за іншим (найпростіші за схемою, але мають найнижчу швидкодію);
- лічильник з паралельним переносом, в якому перемикання всіх тригерів розрядних схем відбувається одночасно згідно з сигналом синхронізації С (мають найвищу швидкодію, але їх схема найскладніша);
- лічильник з комбінованим послідовно-паралельним перенесенням, коли використовуються різні комбінації способів переносу (займають проміжне положення за швидкодією та складністю схемної реалізації).

Висока актуальність лічильних пристроїв робить необхідним вирішення задачі підвищення їх завадостійкості. Остання досягається шляхом введення в лічильник так званих заборонених комбінацій схемотехнічно та за допомогою перешкодостійких систем числення. Лічильні пристрої, які для своєї роботи використовують заборонені стани, вирішують досить нелегке завдання лічби та потребують розроблення контролюючих пристроїв, за роботою яких також доводиться слідкувати. Крім того, структура самого лічильника стає неоднорідною, тобто виникають труднощі з проектуванням та налагодженням останньої. Страждає також надійність лічильного пристрою, рівень якої може знизитися.

Одними із найбільш актуальних пристроїв для перешкодостійкої лічби є біноміальні лічильники, які для функціонування використовують біноміальні ваги та різні види алфавітів (двійковий, вісімковий). Спроектовані на основі біноміальних систем числення лічильні пристрої не

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		20

міститимуть контролюючого пристрою, але матимуть апаратну надлишковість, якщо порівнювати з лічильниками, які працюють з двійковою системою числення. Важливими особливостями біноміальних лічильників є високий рівень завадостійкості та однорідність структури. До того ж, відчутне різке зменшення апаратних витрат дешифраторів, які працюють з їх станами. Здебільшого, це призводить до зниження сумарних апаратних витрат пристрою у порівнянні з двійковими лічильниками. Приємним бонусом є можливість адаптації пристрою до характеру та інтенсивності перешкод та зміна коефіцієнта перерахунку.

1.4 Постановка завдання на проектування

В результаті літературного огляду і аналізу наявних тенденцій в побудові цифрових засобів вимірювальної і лічильної техніки можна зробити наступні висновки:

- перспективним є використання нетрадиційних систем числення, які на відміну від двійкових систем чисел, мають підвищену завадостійкість і надають можливість контролювати помилки в пристроях;
- важливим є введення в функціонування пристроїв, в тому числі і рахункових, елементів адаптації до довжини і кількості оброблюваних інформаційних послідовностей, рівню перешкод в пристрої, каналах зв'язку і т.д.

З урахуванням вищенаведених особливостей побудови вимірювальних і рахункових пристроїв формулюються наступні технічні вимоги до проєктованого адаптивного рахункового пристрою на основі біноміальних кодів:

- використання двійкової біноміальної системи числення;
- кількість розрядів лічильного пристрою 5;
- кількість комбінацій, які перебираються, не менше 64;
- діапазон адаптивної зміни числа двійкових одиниць від 0 до 5;
- максимальна частота перемикання пристрою не менше 20 МГц.

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		20

Приведений вище алгоритм являється базовим для проектування лічильних пристроїв, які працюють в біноміальній системі числення. Структура останніх може задаватися програмно для мікропроцесорних пристроїв, або зібраного з логічних елементів.

Таблиця 2.1 – Стани біноміального лічильника (C_5^4)

№	Біноміальне число	Кількісний еквівалент
0	00	$0 \cdot C_5^4 + 0 \cdot C_4^4$
1	010	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$
2	0110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
3	01110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
4	01111	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
5	100	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$
6	1010	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
7	10110	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
8	10111	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
9	1100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$
10	11010	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
11	11011	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
12	11100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 0 \cdot C_1^1$
13	11101	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 1 \cdot C_1^1$
14	1111	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2$

Біноміальні лічильні пристрої, які функціонують за жорсткою логікою, знаходять своє місце в різного роду цифрових пристроях. Проте, перед побудовою таких лічильників слід розробити та дослідити таблиці функціонування останніх. Адже зібрані табличні дані дозволяють отримати раціональну структуру лічильного пристрою, з погляду мінімізації кількості

використовуваних елементів. Прикладом такої таблиці, побудованої згідно з вказаним алгоритмом, є таблиця 2.1, в якій отримані стани біноміального лічильника (C_5^4), кількість яких можна розрахувати за виразом $P = C_n^k = 15$.

Однак, шлях мінімізації напряду пов'язаний із ускладненням міжелементних зв'язків пристрою, що, в свою чергу, призведе до порушення однорідності структури, зменшення рівня надійності та швидкодії, збільшення складності перебудови коефіцієнта перерахунку. Зважаючи на ряд можливих проблем, цей алгоритм можна рекомендувати лише в тих ситуаціях, де необхідність зменшення кількості елементів є основною.

Таблиця 2.2 – Рівноважні кодові комбінації

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
N					
0	0	0	0	0	0
1	0	1	0	0	0
2	0	1	1	0	0
3	0	1	1	1	0
4	0	1	1	1	1
5	1	0	0	0	0
6	1	0	1	0	0
7	1	0	1	1	0
8	1	0	1	1	1
9	1	1	0	0	0
10	1	1	0	1	0
11	1	1	0	1	1
12	1	1	1	0	0
13	1	1	1	0	1
14	1	1	1	1	0

Перелічені вище недоліки, в певній мірі позбавлені своєї сили, в біноміальних лічильних пристроях, які працюють із рівноважними кодовими комбінаціями. При цьому, стани лічильника є модернізованими станами, зазначеними в таблиці 2.1, шляхом додавання до старших розрядів кодових

комбінацій нулів з боку молодших розрядів таким чином, щоб довжина комбінацій становила $n - 1$ (табл. 2.2).

Зважаючи на це, модернізації набув і наведений вище алгоритм біноміального рахунку, вид якого зміниться на наступний:

- 1) всі розряди біноміального лічильного пристрою встановлені в стан логічного нуля;
- 2) нульовий сигнал замінюється одиничним в $(k - i - 1)$ -му розряді (де i – кількість одиниць, які безпосередньо знаходяться в лічильнику на момент виконання операції);
- 3) у випадку перевищення кількості одиничних розрядів в лічильнику параметр k , формується сигнал помилки;
- 4) у випадку рівності кількості одиничних розрядів в лічильнику параметру k , та за умови розташування їх в k старших розрядах, всі молодші розряди, в яких знаходяться одиниці, до першого нульового перетворюються в нульовий стан, а перший нульовий встановлюється в одиничний;
- 5) у випадку, коли кількість одиниць в лічильнику менша за параметр k , тоді здійснюється перехід за алгоритмом до пункту 2;
- б) коли ж число одиниць є рівним параметру k та одиниці розміщені в k старших розрядах, тоді цикл рахунку підійшов до свого логічного завершення, результатом чого є здійснення переходу за алгоритмом до пункту 1.

Процес виявлення помилок під час функціонування біноміального лічильного пристрою відбувається шляхом підрахунку кількості одиниць в розрядах лічильника та порівнянні цієї величини з параметром k . У разі перевищення кількості одиничних розрядів в лічильнику параметр k , формується сигнал помилки. Відповідно, тип помилок, притаманний даному лічильному пристрою – $0 \rightarrow 1$.

В наведеному вище прикладі функціонування біноміального лічильного пристрою з числом одиниць $k = 4$ забороненим (помилковим) станом являється кодова комбінація «1111». Даний пристрій здатен показати буд-яку чотириразову помилку. Проте, одноразові помилки зазначеного вище типу будуть виявлені з вірогідністю в 30% кодових комбінацій «01111», «10111», «11011», «11101», «11110».

Однак, здатність біноміального лічильника виявляти помилки можна вважати достатньо задовільною для ряду сфер застосування, зважаючи на те, що переважна більшість помилок в лічильниках виникають у вигляді пакетів та носять характер переходу нуля в одиницю. За умови зменшення кількісного еквівалента параметра k , та відповідно коефіцієнта перерахунку, можна збільшити вірогідність виявлення помилок. Так, у разі рівності параметра $k = 1$, будуть виявлятися абсолютно всі помилки типу $0 \rightarrow 1$, а лічильний пристрій може бути використаний як завадостійкий розподільник імпульсів.

У разі виникнення необхідності у виявленні помилок типу $1 \rightarrow 0$ в структуру біноміального лічильного пристрою необхідно додатково внести відповідні елементи. Слід зауважити, що перебудована конструкція лічильника повинна відповідати обмеженням (1.4 та 1.5), приведеним вище, а саме: біноміальна кодова комбінація мусить містити в собі не більше $n - k$ нулів, причому, останній нуль з сумарної кількості повинен знаходитися в молодшому розряді комбінації.

Відповідно, якщо перед одиничним сигналом в останньому розряді лічильника містяться розряди з $n - k$ (або більше) нулями, тоді це свідчить про появу помилки типу $1 \rightarrow 0$. До того ж, при зростанні кількісного значення параметра k збільшуватиметься і здатність лічильника виявляти даний тип помилок. Так, у разі рівності параметра $k = n - 1$, будуть виявлятися абсолютно всі помилки типу $1 \rightarrow 0$.

Описані можливості дозволяють максимально збільшувати адаптаційну складову біноміального лічильного пристрою за рахунок зміни коефіцієнта перерахунку та налаштовувати його на окремий характер перешкод, умов функціонування та особливостей експлуатації.

РОЗДІЛ 3 РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ АДАПТИВНОГО ЛІЧИЛЬНОГО ПРИСТРОЮ

Розглянемо біноміальний лічильний пристрій, а саме, лічильник множини-степені, який працює з біноміальною системою числення. Застосовується даний пристрій в автоматичній і обчислювальній техніці, також може бути використаний в пристроях дискретної обробки інформації, зокрема, як лічильник, розподільник імпульсів і пристрій кодування інформації з можливістю знаходження помилок. Проте, в ньому отримано розширення функціональних можливостей за рахунок введення нових конструктивних ознак, що забезпечують збільшення модуля рахунку за допомогою послідовного перебору всіх груп рівноважних кодів з довжиною кодових комбінацій m і постійним значенням числа одиниць в них $k = 0, 1, 2, \dots, m - 1$.

Для вирішення поданої задачі використовуються біноміальні коди з довжиною чисел $n = m - 1$ та значенням параметра $k = 0, 1, 2, \dots, m - 1$. Цей параметр задає максимально можливу кількість одиниць в біноміальній кодовій комбінації. На їх основі реалізуються рівноважні кодові комбінації з постійним числом одиниць в них, при збереженні можливості виявлення помилок. Іншими словами, даний пристрій послідовно перебирає всі біноміальні кодові комбінації з параметром $k = 0, 1, 2, \dots, m - 1$ і потім на їх основі формує відповідні рівноважні коди, починаючи з кодів, які мають число одиниць рівне нулю и закінчуючи їх числом $k = m$. Введені елементи та нові зв'язки забезпечують перебирання 2^m двійкових станів наступним чином. Кількість станів звичайного двійкового лічильника рівна 2^m , де m – розрядність цього лічильника. Діапазон лічильника рівноважних кодів описується виразом C_m^k , де $m = n + 1$; n – розрядність цього лічильника. Згідно з виразом $2^m = C_m^0 + C_m^1 + \dots + C_m^k + \dots + C_m^m$. Відтак, для того, щоб перебрати всі двійкові кодові комбінації за допомогою завадостійкого n -розрядного біноміального лічильника імпульсів, необхідно в процесі рахунку змінювати значення величини k цього лічильника від 0 до $m - 1$. Значення його розрядності при цьому залишається незмінним. Після додаткового перетворення біноміальних чисел будуть

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		26

отримані рівноважні кодові комбінації. Для значень $k = 0, 1, 2, \dots, m - 1$ їх число буде, відповідно, $C_m^0, C_m^1, \dots, C_m^m$.

Переулаштування біноміального лічильного пристрою на різноманітні значення величини k здійснюється за допомогою кільцевого розподільника імпульсів (12), одиничні сигнали з виходів розрядів якого (з другого по шостий) задають величину k для рахунку імпульсів. За допомогою виходів першого та сьомого розрядів розподільника імпульсів (12) формуються дві комбінації – лише з нульовими та лише з одиничними розрядами. Завадостійкість роботи лічильника досягається шляхом підрахунку кількості одиничних розрядів в лічильнику, та при перевищенні цієї кількостю величини k виробляється сигнал помилки.

Роботу пристрою (рис. 3.1) розглянемо на конкретному прикладі з кількістю розрядів лічильника $n = 5$. В таблиці 3.1 приведені стани виходів (сьомого – першого) розрядів розподільника імпульсів (12), тригерів (2.5 – 2.1) лічильника, вихідних шин (11.6 – 11.1) в залежності від номера імпульсу вхідного сигналу на шині 8 при відліку від початкового положення.

В початковому положенні роботи пристрою, судячи за даними таблиці 2.3, в першому розряді кільцевого розподільника імпульсів (12) знаходиться одиниця, в лічильнику імпульсів та на шинах вихідного сигналу – нулі. При станах лічильника імпульсів (з першого по шостий (C_6^1)) кільцевий розподільник імпульсів (12) містить «1» в другому розряді і дає сигнал лічильнику імпульсів про початок роботи з кількістю одиниць $k = 1$. При цьому, лічильник імпульсів перебирає кодові комбінації із встановленою кількістю одиничних розрядів $k = 1$, а на шинах вихідного сигналу виробляються зважені кодові комбінації з параметром k , рівним одиниці. Коли лічильник імпульсів знаходиться в станах з 7-го по 21-ий (C_6^2), кільцевий розподільник імпульсів містить одиничний сигнал в третьому розряді. Лічильник імпульсів перебирає біноміальні кодові комбінації з $k = 2$, тоді як на шинах вихідного сигналу з'являються кодові комбінації з постійною вагою, рівною двом одиницям. В положеннях лічильника імпульсів з 22-го по 41-ий (C_6^3) пристрій працює в режимі з кількістю одиниць $k = 3$, і таким чином параметр k буде поступово збільшуватись. В 63-му положенні формується остання комбінація, з шістьма одиницями.

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		27

Таблиця 3.1 – Підмножини множини-степені

Пор. ном.	Стан розрядів			
	розподільника імпульсів		біноміального лічильника імпульсів	вихідних шин
	7654321		54321	654321
0	1	0000001	00000	000000
1	1	0000010	00000	000001
2	2	0000010	00001	000010
3	3	0000010	00010	000100
4	4	0000010	00100	001000
5	5	0000010	01000	010000
6	6	0000010	10000	100000
7	1	0000100	00000	000011
8	2	0000100	00010	000101
9	3	0000100	00011	000110
10	4	0000100	00100	001001
11	5	0000100	00101	001010
12	6	0000100	00110	001100
13	7	0000100	01000	010001
14	8	0000100	01001	010010
15	9	0000100	01010	010100
16	10	0000100	01100	011000
17	11	0000100	10000	100001
18	12	0000100	10001	100010
19	13	0000100	10010	100100
20	14	0000100	10100	101000
21	15	0000100	11000	110000
22	1	0001000	00000	000111
23	2	0001000	00100	001011
24	3	0001000	00110	001101
25	4	0001000	00111	001110
26	5	0001000	01000	010011
27	6	0001000	01010	010101
28	7	0001000	01011	010110
29	8	0001000	01100	011001
30	9	0001000	01101	011010
31	10	0001000	01110	011100
32	11	0001000	10000	100011
33	12	0001000	10010	100101
34	13	0001000	10011	100110
35	14	0001000	10100	101001

вихідного сигналу з'являється кодова комбінація, представлена всіма нулями (000000), так як на виходах суматора (нульовому – четвертому) знаходяться нульові комбінації, тоді така ж інформація присутня на прямих виходах тригерів. Перший тактовий імпульс надходить на вхідну шину (8), після чого одинична комбінація надходить на схема І (15), відкриття якого відбулося шляхом надходження нульового сигналу з сьомого розряду КРІ (12) через інверсний вхід; після чого сигнал подається на схема І (5.1), відкриття якого, в свою чергу, відбулося шляхом надходження одиничного сигналу через елемент АБО (1.1) з п'ятого виходу суматора (7.1). Результатом цієї роботи є проходження одиничного сигналу послідовно через схеми І (5.1) та І (5.2 – 5.5), відкриття яких відбулося одиничними сигналами з виходів суматорів під номерами 5 (7.2 – 7.5) через схеми АБО (1.2 – 1.5). Одинична комбінація з виходу схеми І (5.5) прибуває на вхід тактовий КРІ (12) через схему АБО (13), результатом чого є перехід в нульове положення першого розряду розподільника, а другого – в одиничне. Одинична комбінація з виходу другого розряду КРІ (12) надходить на четвертий вхід суматора під номером 7.5, і так як в лічильнику всі тригери знаходяться в нульовому стані («0»), тоді на четвертому виході суматора під номером 7.6 також з'являється одиничний сигнал («1»). Ця комбінація надходить на четвертий вхід схеми АБО (9.1), після чого на шинах вихідного сигналу (11.1 – 11.6) утворюється комбінація 000001.

Так як на четвертому вході суматора під номером 7.5 знаходиться сигнал «1», тоді на четвертому вході суматора під номером 7.1 також знаходиться сигнал «1», який спільно з одиничним сигналом з прямого виходу тригера під номером 2.1 виробляє сигнал одиниці на п'ятому виході суматора (7.1). Після надходження на схему І (15) наступного тактового імпульсу тригер (2.1) перемикається в стан «0» шляхом подачі одиничного сигналу через схему І (5.1) з виходу схеми АБО (1.1). Одиничний сигнал з виходу схеми І (5.1) надходить також через перший вхід схеми АБО (6.1) на третій вхід схеми І (4.2). Тригер (2.2) встановлюється в стан «1» по цьому ж такту шляхом надходження на перший вхід схеми І (4.2) сигналу «1» з виходу схеми НЕ (3.2). В результаті цього на шинах вихідного сигналу формується

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		30

комбінація 000100. Таким же способом отримують наступні кодові комбінації з одним одиничним розрядом.

Після переходу лічильника імпульсів до стану 10000, а вихідних шин – 100000, тоді на четвертому вході суматора (7.5) знаходитимуться одиниці, а наступний тактовий сигнал скидає тригер (2.5) шляхом проходження через схеми І (5.1 - 5.5) в нульовий стан і перемикає третій розряд КРІ (12) в одиничний стан. З виходу третього розряду кільцевого розподільника (12) сигнал «1» надходить на 3-ій вхід суматора (7.5), а з 3-го виходу суматора (7.1) надходить на входи схем АБО (9.1 - 9.2). Результатом даного етапу функціонування пристрою є формування кодової комбінації 000011 на шинах вихідного сигналу (11.1 - 11.6).

Після переходу лічильника імпульсів до наступного стану тригер (2.2) перемикається в одиничний стан і тому логічна одиниця з'являється на 4-му виході суматора під номером 7.1. При цьому, на шинах вихідного сигналу утворюється кодова комбінація 000101. Всі кодові комбінації з двома одиничними розрядами на вихідних шинах формуються аналогічним способом. Результатом закінчення перебору пристроєм комбінацій з параметром $k = 2$ є перехід кільцевого розподільника (12) в наступний режим роботи лічильника імпульсів, при якому послідовно перебираються комбінації з трьома одиничними розрядами. Тобто, на шинах вихідного сигналу послідовно перебираються комбінації з параметром, рівним $k = 3$. Після цього аналогічно перебираються кодові комбінації, кількість одиниць в яких дорівнює чотири та п'ять відповідно.

Після переходу лічильника імпульсів до наступного стану 11111, коли на шинах вихідного сигналу згенерована комбінація 111110, наступний тактовий імпульс перемикає тригери (2.1 - 2.5) в «0», а 7-ий розряд кільцевого розподільника (12) встановлює в стан логічної одиниці «1». Після цього сигнал «1» з виходу КРІ (12) через схему АБО (14) надходить на 0-ий вхід схеми суматора (7.5) і через суматори (7.5 - 7.1) – на нульовий вихід суматора (7.1). Цей інформаційний сигнал надходить на шини вихідного сигналу (11.1 - 11.5) через схеми елементів АБО (9.1 - 9.5), до того ж, через схему АБО (15) одиничний сигнал надходить з кільцевого розподільника (12) на шину вихідного сигналу (11.6). На шинах вихідного сигналу генерується остання

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
						31
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

комбінація 111111. Наступний тактовий імпульс надходить на схему елемента І (1.6), відкриття якого спричинене подачею одиничного сигналу з 7-го розряду кільцевого розподільника (12), з шини під номером 8, та через схему елемента АБО (13) перемикає КРІ (12) в початковий стан, при цьому на виході лічильника формується кодова комбінація 000000.

Виявлення помилок при функціонуванні лічильника відбувається при помилкових переходах розрядів лічильника, коли кількість одиничних розрядів в лічильнику перевищує задану величину k . Наприклад, якщо лічильник знаходиться в другому стані (кодова комбінація – 00001, а на вихідних шинах – 000010) і стався помилковий перехід в одиничний стан тригера (2.3), то в лічильнику імпульсів буде комбінація 00101, тобто кількість одиничних розрядів перевищить заданий параметр ($k = 1$). Так як сигнал логічної одиниці «1» у другому стані лічильника імпульсів надходить на 4-ий вхід схеми суматора (7.5) з 1-го розряду кільцевого розподільника (12), тоді, враховуючи сигнал «1» зі схеми тригера (2.3), одиничний сигнал сформується на 5-му виході схеми суматора (7.3). Цей інформаційний сигнал надходить на 5-ий вхід схеми суматора (7.1), на першу групу входів якого надходить сигнал логічної одиниці «1» з прямого виходу схеми тригера (2.1). Результатом даного етапу функціонування лічильного пристрою є поява одиничного сигналу на 6-му виході схеми суматора (7.1), що свідчить про формування помилкового стану лічильника імпульсів.

Аналогічно, якщо лічильник імпульсів знаходиться в 41-му стані і, відповідно, сигнал логічної одиниці «1» знаходиться в кільцевому розподільнику імпульсів (12) в 4-му розряді (комбінація 11100, а на шинах вихідного сигналу – 111000) відбудеться помилковий перехід одного із розрядів з стану логічного нуля «0» в стан логічної одиниці «1», наприклад, схеми тригера (2.2), то на шостих виходах схем суматорів (7.2 та 7.1) з'явиться інформаційний сигнал помилки.

Встановлюючи в стан логічної одиниці «1» один з розрядів розподільника імпульсів за допомогою порозрядних входів кільцевого розподільника імпульсів (12), можна здійснити перебір всіх можливих комбінацій лічильника імпульсів із властивістю завадостійкості, починаючи з будь-якого заданого числа k .

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		32

РОЗДІЛ 4 РОЗРОБКА ПРИНЦИПОВИХ СХЕМ БЛОКІВ АДАПТИВНОГО ЛІЧИЛЬНОГО ПРИСТРОЮ

Блоки електронних пристроїв складаються з елементів, виконаних у вигляді інтегральних мікросхем, таких як дешифратори, лічильники, розподільники імпульсів, тощо. Сприяння підвищенню завадостійкості електронної системи в цілому потрібно починати саме з підвищення завадостійкості та надійності використовуваних мікросхем. Їх вартість при сучасній технології виробництва збільшується не набагато, швидкодія практично не зменшується, а надійність збільшується в рази.

Виходячи з поставлених задач забезпечення надійності та якості переходу з одного стану в інший, був обраний RS-тригер, який широко використовується в складних тригерних схемах як елемент пам'яті і добре себе зарекомендував.

Розглянемо принцип роботи синхронного RS-тригера (рис. 4.1), враховуючи, що стан тригера рівний сигналу на виході Q, який є прямим. До того ж, характерною особливістю тригерів є стійкість будь-якого із двох станів за умови відсутності вхідних сигналів.

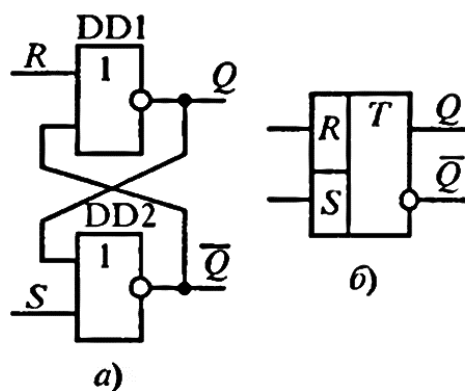


Рисунок 4.1 – а) схема RS-тригера; б) умовне позначення RS-тригера

Наприклад, при нульовому сигналі на входах тригера $R = S = 0$, а $\bar{Q} = 1$ на виході елемента DD1 зберігається нульовий стан $Q = 0$, який одночасно забезпечує сигнал на виході \bar{Q} елемента DD2 та підтверджує стан тригера.

Положення виходів тригера в проміжок часу, наступний за моментом надходження вхідних сигналів, залежить як від вхідних сигналів, так і від попереднього стану виходів тригера. З цього випливає, що для аналізу схеми

яких функції перенесення та схем контролю. До того ж, вони в достатній мірі реалізують функції дешифратора. Тобто, процес дешифрування стані біноміального лічильного пристрою в значній мірі спрощується.

Розглянемо детальніше принцип роботи та структуру матричного суматора (рис. 4.2). Суматор складається з декількох груп елементів І та АБО, які необхідним чином з'єднані один з одним. Перша група під номером 9 складається з $k + 1$ елементів І (10), друга група – 11 – з $k + 1$ елементів І (12), і третя група під номером 13 складається з k елементів АБО (14). Також суматор містить першу групу входів під номером 15 та другу групу входів – 16, і групу виходів $(k + 2) - 0, 1, \dots, k, k + 1$. Входи суматора, які належать до групи 15, з'єднуються зі входами схем елементів І (10) та зі входами схем елементів І (12). Інші входи схем пар елементів І (10 та 12) з'єднуються з другою групою входів під номером 16 відповідно. При цьому, виходи відповідних елементів І (10) та І (12) з груп 9 та 11 з'єднуються зі входами схем елементів АБО (14) з групи 13.

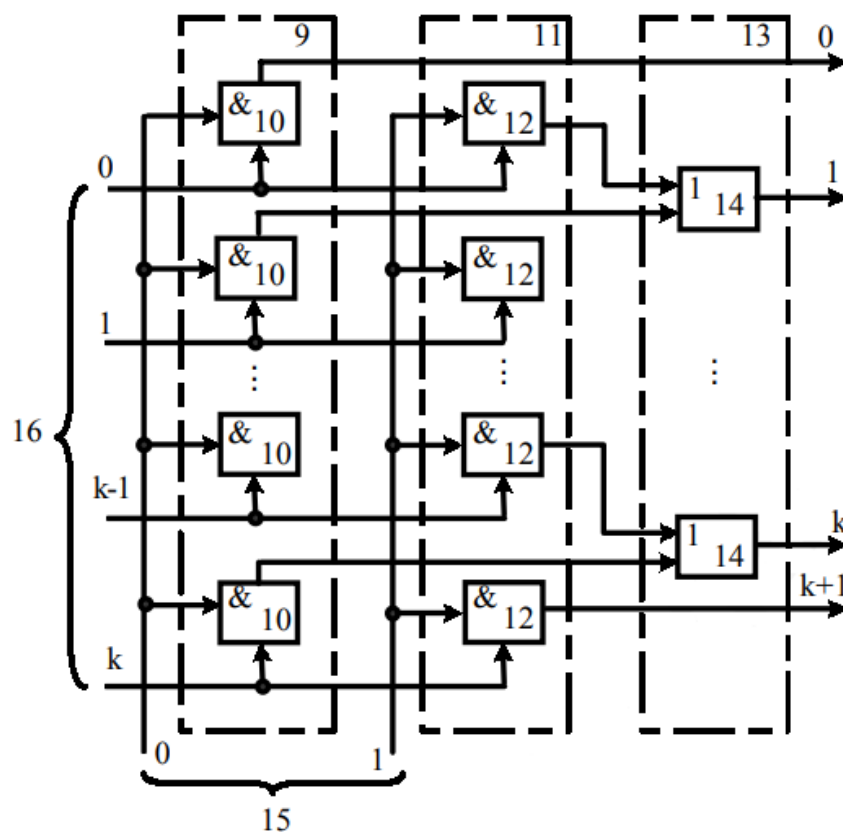


Рисунок 4.2 – Схема матричного суматора

Як було сказано вище, схеми комбінаційних матричних суматорів здатні виконувати функції схем контролю, що є позитивним моментом для

підвищення як локального, так і загального рівня завадостійкості біноміального лічильного пристрою. Так, наявність сигналу логічної одиниці «1» на виході $k + 1$ суматора говорить про виникнення помилки під час виконання операції підсумовування, а саме, загальна кількість одиниць перевищує встановлений параметр k .

Одним із головних елементів біноміального лічильного пристрою є кільцевий розподільник імпульсів (рис. 4.3). Адже саме за допомогою кільцевого розподільника здійснюється переулаштування біноміального лічильника на різні значення параметра k .

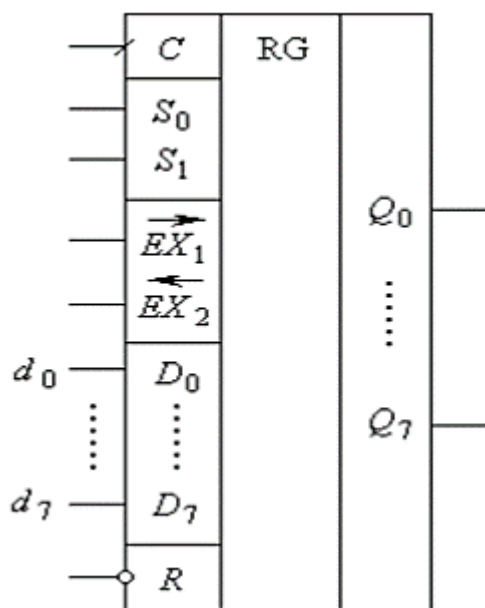


Рисунок 4.3 – Умовне позначення мікросхеми КР1533ІР13

Розподільник імпульсів являється цифровим вузлом, який перетворює часовий розподіл імпульсів в просторовий, коли кожен наступний імпульс з вхідної шини подається на відповідний вихід. Розподільники будують на базі регістрів зсуву різної конфігурації.

Мікросхема КР1533ІР13 представляє собою восьмирозрядний регістр зсуву, який забезпечує чотири можливих режими роботи: паралельне завантаження, зсув вліво, зсув вправо, блокування.

Синхронне паралельне завантаження відбувається при подачі на інформаційні входи восьмирозрядного слова та встановленні на входах S_0 та

S_1 високого рівня напруги. Інформація завантажується до відповідних тригерів та передається на виходи. Під час завантаження послідовне введення даних заблоковане.

Зсув вправо відбувається синхронно по позитивному фронту тактового імпульсу при подачі високого рівня напруги на вхід S_0 та низького на вхід S_1 . Замінивши рівні сигналів на входах S_0 та S_1 , отримаємо режим зсуву вліво. Таблиця функціонування представлена на малюнку 4.4.

Входи						Виходи			
\overline{R}	Вибір режиму		C	Зсув		Дані $D_0 + D_7$	Q_0	$Q_1 + Q_6$	Q_7
	S_1	S_0		EX_1 (вправо)	EX_2 (вліво)				
L	x	x	x	x	x	x	L	L	L
H	x	x	L	x	x	x	Зберігання		
H	H	H	Γ	x	x	$d_0 + d_7$	d_0	$d_1 + d_6$	d_7
H	L	H	Γ	H/L	x	x	H/L	$d_0 + d_5$	d_6
H	H	L	Γ	x	H/L	x	d_1	$d_2 + d_7$	H/L
H	L	L	x	x	x	x	Зберігання		

Рисунок 4.4 – Таблиця функціонування
(L, H – стани низького та високого рівнів)

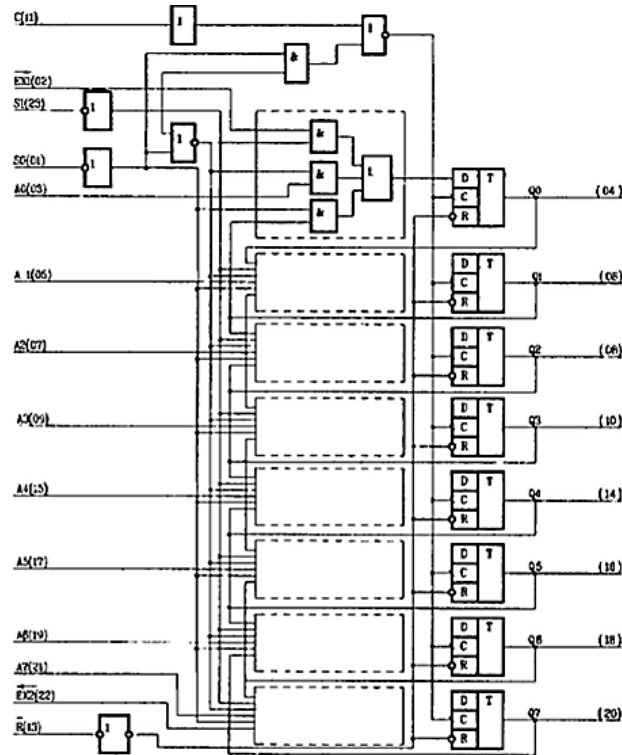


Рисунок 4.5 – Функціональна схема регістра зсуву

Таблиця 4.2 – Статичні параметри мікросхеми

Вихідна напруга високого рівня	$\geq 2,5 \text{ В}$
Вихідна напруга низького рівня	$\leq 0,5 \text{ В}$
Вхідний струм високого рівня	$\leq 20 \text{ мкА}$
Вхідний струм низького рівня	$\leq 0,1 \text{ мА}$
Вихідний струм	30-112 мА
Пряме падіння напруги на антизвонному діоді	1,5 В
Струм споживання	40 мА

Таблиця 4.3 – Динамічні параметри мікросхеми

Час затримки розповсюдження сигналу при вимиканні - за входом С	$\leq 18 \text{ нс}$
Час затримки розповсюдження сигналу при вимиканні - за входом С - за входом \bar{R}	$\leq 22 \text{ нс}$ $\leq 25 \text{ нс}$

Для якісного та надійного функціонування мікросхеми слід звернути увагу на декілька додаткових параметрів

- ємність входу не перевищує 5 пФ;
- допустиме значення статичного потенціалу – 200 В;
- допускається короткотривалий вплив (не більше 5 мс) напруги живлення до 7 В;
- особисті резонансні частоти мікросхем до 20 кГц відсутні;
- максимальний час фронту наростання і часу фронту спаду вхідного імпульсу не перевищує 1 мкс.

Електрична схема, що призначена для виконання логічної операції зі вхідними даними, називається логічним елементом. Останній, в свою чергу,

являється елементом, який виконує відповідні логічні залежності між вхідними та вихідними інформаційними сигналами. Вхідні дані представляються у вигляді різних рівнів напруги, відповідно, і результат виконання логічної операції також утворюється на виходах елемента у вигляді напруги визначеного рівня.

Логічні елементи використовуються для проектування та побудови логічних схем обчислювальних пристроїв, дискретних схем автоматичного контролю та керування. Так само вони містяться в складі біноміального лічильного пристрою і є важливою його частиною.

Традиційно логічні елементи створюються у вигляді спеціальних інтегральних мікросхем. Логічні операції, такі як кон'юнкція, диз'юнкція та заперечення (І, АБО, НЕ) являються основними операціями, які виконуються на логічних елементах.

Логічний елемент «І» (рис. 4.6) – кон'юнкція, логічне множення.

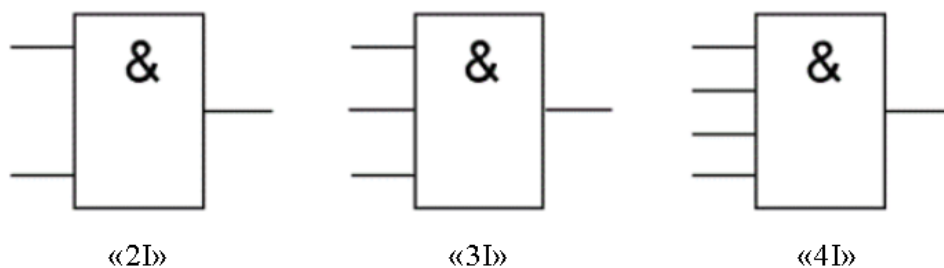


Рисунок 4.6 – Умовне позначення елемента «І»

«І» – логічний елемент, який виконує над вхідними інформаційними сигналами операцію кон'юнкції або логічного множення. Даний елемент може виконуватися з різною кількістю входів (від 2 до 8) та одним виходом. Таблиця істинності (табл. 4.4) елемента «2І» показує, що сигнал логічної одиниці буде на виході елемента лише у випадку появи одиниці на обох входах елемента. В трьох інших випадках результатом операції буде нуль.

Таблиця 4.4 – Таблиця істинності елемента «2І»

Вхід 1	Вхід 2	Вихід
0	0	0
1	0	0
0	1	0
1	1	1

Задля зменшення габаритних розмірів пристрою та економії місця можна використовувати мікросхему КР1533ЛІЗ (рис. 4.7), яка має три логічних елемента «ЗІ» в одному корпусі.

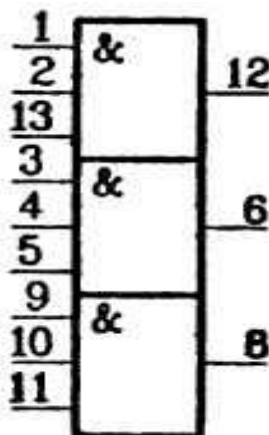


Рисунок 4.7 – Умовне графічне позначення КР1533ЛІЗ

Призначення виходів мікросхеми: 1, 4, 10, 13 – виходи, 2, 3, 5, 8, 9, 11, 12 – входи; 7 – загальний; 14 – живлення.

Таблиця 4.5 – Електричні параметри мікросхеми КР1533ЛІЗ

Номінальна напруга живлення	$5\text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4\text{ В}$
Вихідна напруга високого рівня	$\geq 2,4\text{ В}$
Вхідний струм низького рівня	$\leq -0,1\text{ мА}$
Вхідний струм високого рівня	$\leq 0,20\text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 3\text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 1,8\text{ мА}$
Час затримки поширення сигналу при вмиканні	$\leq 13\text{ нс}$
Час затримки поширення сигналу при вимиканні	$\leq 10\text{ нс}$
Ємність входу	$\leq 5\text{ пФ}$

Логічний елемент «АБО» (рис. 4.8) – диз’юнкція, логічна сума.

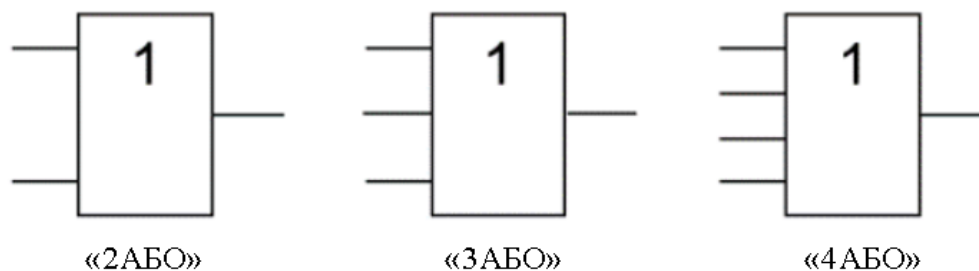


Рисунок 4.8 – Умовне позначення елемента «АБО»

«АБО» – логічний елемент, який виконує над вхідними інформаційними сигналами операцію диз’юнкції або логічної суми. Даний елемент може виконуватися з різною кількістю входів (від 2 до 8) та одним виходом. Таблиця істинності (табл. 4.6) елемента «2АБО» показує, що сигнал логічного нуля буде на виході елемента лише у випадку появи нуля на обох входах елемента. . В трьох інших випадках результатом операції буде логічна одиниця.

Таблиця 4.6 – Таблиця істинності елемента «2АБО»

Вхід 1	Вхід 2	Вихід
0	0	0
1	0	1
0	1	1
1	1	1

Задля зменшення габаритних розмірів пристрою та економії місця можна використовувати мікросхему КР1533ЛЛ1 (рис. 4.9), яка має чотири логічних елемента «2АБО» в одному корпусі.

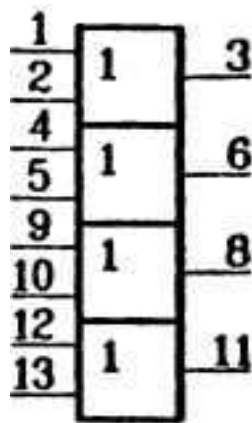


Рисунок 4.9 – Умовне графічне позначення КР1533ЛЛ1

Призначення виходів мікросхеми: 1, 2, 4, 5, 9, 10, 12, 13 – входи; 3, 6, 8, 11 – виходи; 7 – загальний; 14 – живлення.

Таблиця 4.7 – Електричні параметри мікросхеми КР1533ЛЛ1

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,4 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4,9 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 4 \text{ мА}$
Час затримки поширення сигналу при вмиканні	$\leq 12 \text{ нс}$
Час затримки поширення сигналу при вимиканні	$\leq 14 \text{ нс}$
Ємність входу	$\leq 5 \text{ пФ}$

Логічний елемент «НЕ» (4.10) – заперечення, інвертор.

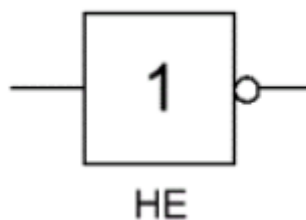


Рисунок 4.10 – Умовне позначення елемента «НЕ»

«НЕ» – логічний елемент, який виконує над вхідними інформаційними сигналами операцію логічного заперечення. Поданий елемент має лише один вхід та один вихід. Інша його назва – інвертор, адже він насправді інвертує вхідний інформаційний сигнал.

Таблиця 4.8 – Таблиця істинності елемента «НЕ»

Вхід	Вихід
0	1
1	0

Таблиця істинності інвертора показує, що високий потенціал на вході дає низький потенціал на виході елемента і навпаки.

Задля зменшення габаритних розмірів пристрою та економії місця можна використовувати мікросхеми, в яких логічний елемент «НЕ» вбудований разом з іншими логічними елементами. Дане конструктивне рішення спростило виконання складних логічних операцій та побудови логічних схем на базі нових елементів «І-НЕ», «АБО-НЕ».

Прикладом є мікросхема КР1533ЛЕ1 (рис. 4.11), яка має чотири логічних елемента «2АБО-НЕ».

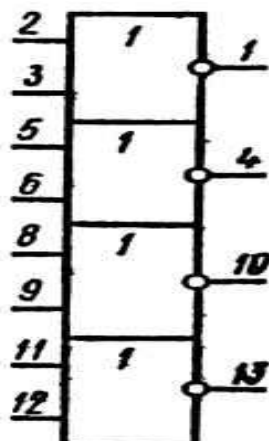


Рисунок 4.11 – Умовне графічне позначення КР1533ЛЕ1

Призначення виходів: 1, 4, 10, 13 – виходи, 2, 3, 5, 8, 9, 11, 12 – входи; 7 – загальний; 14 – живлення.

Таблиця 4.9 – Електричні параметри мікросхеми КР1533ЛЕ1

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,5 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,5 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 2,2 \text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 10 \text{ нс}$
Час затримки поширення сигналу при виключенні	$\leq 12 \text{ нс}$
Ємність входу	$\leq 4 \text{ пФ}$

ВИСНОВКИ

В результаті виконання дипломної роботи було розроблено адаптивний лічильний пристрій на основі біноміальних кодів, який показав:

- перевагу біноміального лічильника перед іншими структурами лічильних пристроїв завдяки здатності переулаштування на різноманітні значення величини k за допомогою кільцевого розподільника імпульсів;
- достатній рівень виявлення помилок, який відбувається під час функціонування біноміального лічильного пристрою шляхом підрахунку кількості одиниць в розрядах лічильника та порівнянні цієї величини з параметром k ;
- можливість збільшувати адаптаційну складову біноміального лічильного пристрою за рахунок зміни коефіцієнта перерахунку та налаштовувати його на окремий характер перешкод, який може змінюватися в залежності від сфер застосування біноміального лічильника, умов функціонування та особливостей експлуатації;
- високу завадостійкість при незначних додаткових апаратних витратах, порівнюючи з двійковим лічильником, та однорідність структури, в тому числі за рахунок використання комбінаційних матричних суматорів.

В процесі проектування біноміального лічильного пристрою були закріплені знання з цифрової схемотехніки, біноміальних систем числення та лічильних пристроїв. Отримані додаткові навички з розробки структурних, функціональних, принципівих схем, та схем алгоритмів функціонування пристроїв.

					<i>ЕЛІТ 6.171.00.10.343 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		45

СПИСОК ЛІТЕРАТУРИ

1. Введение в теорию биномиального счета: Монография. – Сумы: ИТД "Университетская книга", 2004. – 76 с.
2. Борисенко А. А. Биномиальный счет и счетчики: монография. – Сумы: СумГУ, 2008. – 152 с.
3. Борисенко А. А. Биномиальные автоматы - Суми: СумДУ, 2006 р. – 120 с.
4. Оберман Р. М. Счет и счетчики. – М., 1984. – 173 с.
5. Золотов В.П., Воронцов И.В. Электроника на Multisim. Самарский государственный технический университет. – 2017. – 96 с.
6. Новожилов О.П. Электроника и схемотехника В 2 Ч. Часть 1. – Юрайт. – 2018. – 382 с.
7. J. L. Massey, "Shift-register synthesis and BCH decoding," IEEE Transactions on Information Theory, vol. 15, no. 1, pp. 122–127, 1969.
8. Осадченко, В. Х.; Волкова, Я. Ю.; Германенко, А. В.; Зеленовский, П. С. Базовые элементы цифровой техники. - Изд-во Уральского ун-та. – 2018. – 124 с.
9. Цифрова схемотехніка: підручник / О. А. Борисенко. – Суми : Сумський державний університет, 2016. – 200 с.
10. S. W. Golomb, Shift Register-Sequences, Aegean Park Press, Laguna Hill, California, USA, 1982.
11. Миловзоров О.В., Панков И.Г. Электроника. – Юрайт. – 2018. - 344 с.
12. Рябенский В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. посібник –Львів: "Новий світ-2000",2009. – 736 с.
13. Binomial Theorem and Logarithms: For the Use of the Midshipmen at the Naval School, Philadelphia, pp. 96, 2012.
14. Digital Circuit and Design, VSS University of Technology, pp. 72, 2019.
15. Stan Gibilisco Beginner's Guide to Reading Schematics, 4th Edition - McGraw-Hill Education TAB, 2018. – 224 с.
16. Шевченко М. С., Жижа В. В. «Адаптивний лічильник на основі біноміальних кодів зі змінною кількістю одиниць» (Міжнародна науково-технічна конференція «Фізика, електроніка та електротехніка», с. 86, Суми, СумДУ, 2021).

					ЕЛІТ 6.171.00.10.343 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		46

