

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДОВО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ NANOWIREFET'S
НА ОСНОВІ ДЕФОРМОВАНОГО КРЕМНІЮ**

Студент гр. ЕІ₃-81_к

Б.С. Черепов

Науковий керівник,
к.ф.-м.н., доцент

І.П. Бурик

Конотоп 2022

ЗМІСТ

ВСТУП	4
РОЗДІЛ 1. ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР	5
1.1. Структура FinFET-транзистора.....	5
1.2. Моделювання структури FinFET	7
1.3. Транспортні рівняння та коефіцієнти дифузії	11
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТА	16
2.1. Методика чисельного моделювання в Silvaco TCAD	16
2.2. Моделювання структури та параметрів 3D транзисторів.....	21
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	28
3.1. Геометрії польових транзисторів з каналом у вигляді нанодроту	28
3.2. Температурні залежності робочих характеристик	31
ВИСНОВКИ	33
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	34
ДОДАТОК А. СИНТАКСИС ПРОГРАМНОГО КОДУ	37
ДОДАТОК Б. СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ	38

РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є тривимірні структури польових транзисторів на основі деформованого кремнію та їх електричні характеристики.

Мета роботи полягає у дослідженні впливу масштабування та квантових ефектів у каналах тривимірних транзисторів на основі деформованого кремнію на їх робочі характеристики.

Одночасно зі зменшенням розмірів елементів інтегральних мікросхем вирішення теплових проблем пристроїв, що входять до їх складу набуває все більшої актуальності. Інтегральні схеми, що використовуються у військовій, автомобільній та атомній промисловості потребують високих робочих температур. Дослідження впливу різних факторів на самонагрівань FinFET пристроїв є перспективним. Проте наразі чисельних досліджень процесів самонагріву в тривимірних транзисторах типу FinFET недостатньо.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд FET технологій, яка використовується для виготовлення елементів інтегральних мікросхем. У другому розділі розглядаються методи побудови тривимірних структур транзисторів та їх вольт-амперних характеристик за допомогою програмного пакету Silvaco TCAD. У третьому розділі були спроектовані польові транзистори на основі деформованого кремнію та досліджені на вплив масштабування та температури на їх робочі характеристики.

Робота викладена на 38 сторінках, у тому числі включає 17 рисунків, 4 таблиці, список цитованої літератури із 28 джерел, 2 додатки.

КЛЮЧОВІ СЛОВА: ТРИВИМІРНІ ТРАНЗИСТОРНІ СТРУКТУРИ, ДЕФОРМОВАНИЙ КРЕМНІЙ, КОРОТКОКАНАЛЬНІ ЕФЕКТИ, ТЕМПЕРАТУРНІ ЕФЕКТИ

ВСТУП

Зменшення розмірів пристрою призводить до підвищеного нагріву та збільшення опору елемента, а також посилює вплив коротко канальних ефектів. FinFET на даний момент видається гідною альтернативою планарним MOSFET пристроям та найбільш оптимальною конструкцією для створення транзисторів розмірами менше 32 нм.

Такий пристрій має малу споживану потужність, малу площу, значну швидкодію та стійкість до коротко канальних ефектів. Ширина каналу визначається висотою фіну (тривимірний канал польового транзистору), таким чином, потік заряду може бути краще контрольований шляхом збільшення кількості плавників. Зокрема у мультизатворних транзисторах покращується екранування потенціалу стоку від каналу завдяки наявності додаткових затворів.

На сьогодні методи числового моделювання тривимірних транзисторних структур дуже розвинуті [1-10], вони дозволяють отримати необхідні дані з проектування технологічних процесів та електрофізичних властивостей.

Широко відомі програмні симулятори від Silvaco TCAD, Comsol Multiphysic та ін. Однак при подальшому зменшенні розмірів окремих елементів транзисторів менше 10 нм необхідно враховувати квантові обмеження. Подібні можливості існують в транспортних моделях з урахуванням квантового потенціалу Бома та ін.

РОЗДІЛ 1

ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР

1.1. Структури 3D транзисторів

В робот [1] розглянуто випадкові варіювання властивостей FinFET-транзисторів в надмініатюрних елементах пам'яті SRAM. В результаті було встановлено, що стабільність характеристик FinFET-транзисторів без легування каналів поліпшується на 28%, а при моделюванні комірок SRAM площею $0,06\text{мкм}^2$, що еквівалентно 22-нанометровому техпроцесі [5], отримані результати показали, що елементи пам'яті FinFET SRAM мають значно більшу перевагу з точки зору стабільності роботи в порівнянні з існуючими елементами SRAM на базі планарних FET-транзисторів.

Затвор 3D транзистору розташований з 4 сторін, як показано на рис. 1.1. Назва походить від того, що канал та стоки з витоком утворюють структуру, схожу на плавник (або фін, з англ. Fin - плавник) [11].

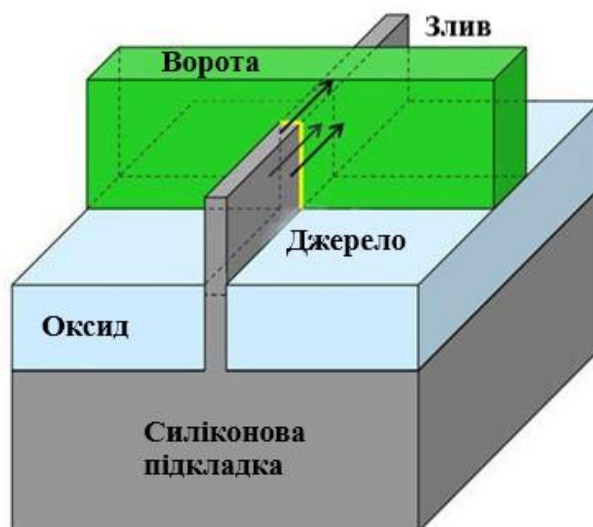


Рис. 1.1. Структура FinFET-транзистора [5]

FinFET поділяють на дві категорії: IG (independent gate, затвори незалежні одне від одного) та SG (short gate, затвори з'єднані між собою) структури. Тобто, IG має 4 контакти, а SG – три рис. 1.2. В свою чергу, SG поділяються на симетричні та асиметричні [14].

Структура з цільним затвором має більший струм увімкнення та краще контролює канал, порівняно зі структурою з ізольованим затвором, але IG структура має більше гнучкість у плані подання сигналу (оскільки на різні затвори можна подати різний сигнал), хоча і за рахунок більшої площі [17].

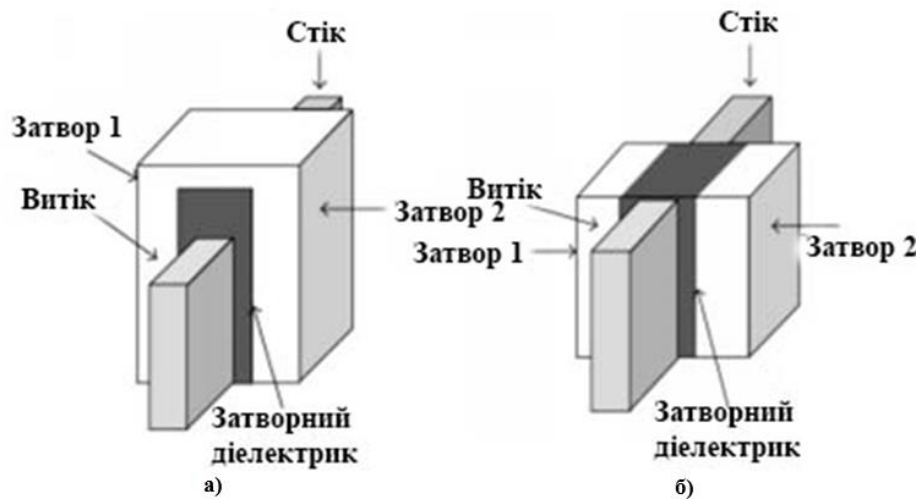


Рис. 1.2. Структури FinFET – SG (a) та IG (b) [17]

Перехід від планарної технології до FinFET викликав чимало задач у виробничому процесі. Нижче перелік основних проблем [17-19]:

- форма плавника – плавник має бути нахиленим приблизно на 8 градусів від вертикалі; основною причиною цього є міцність структури, тобто, транзистор з меншим співвідношенням ширина-висота є більш міцним; такий нахил збільшує більший вплив коротко каналних ефектів та ускладнює подальше масштабування;

- паразитні ємності – FinFET структура має більші паразитні ємності, порівняно з пленарною структурою; додатково збільшена область контакту затвору з каналом призводить до збільшення паразитної ємності; зміна висоти фіну допомагає зменшити ємність приладу збільшуючи зменшуючи нахил фіну.
- концентрація домішок – канал без домішок є бажаним для такої технології; однак, для покращення контролю струму протікання незначне легування допускається; у області витоку та стоку потрібна вища концентрація домішок, внаслідок чого зростає опір пристрою, а це небезпечно для геометрії фіну; щоб оминати цю проблему застосовують метод епітаксiального вирощування на витоку та стоку з або без прибирання фіну з структури;
- надійність – менше поперечне поле у пристрою може бути досягнуто у повністю збідненому режимі; це збільшує захист транзисторів n-типу від пробою діелектрика; а також спостерігається нестабільність порогової напруги при переході від 32 нм планерного до 22 нм FinFET, при цьому надійність р-типу залишається такою ж самою;
- різноманітність розмірів плавнику – висота фіну є критичним параметром у цій технології, так як вона визначає електричну ширину пристрою.

1.2. Особливості характеристик FinFET та UTB

Коротко каналні ефекти можуть бути зменшені шляхом зміни геометрії пристрою таким чином, щоб підвищити електростатичне керування електричним полем затвора. Для однієї і тієї ж ємності затвора загальне управління каналом більше, якщо тіло пристрою виконано тонше, і якщо затвор може фізично обернути канал.

FinFETs мають вертикальний "плавник", витравлений з силіконової бази (для насипного FinFET) або витравлений з верхнього шару кремній на ізоляторі SOI (для SOI FinFET).

Цей плавник оточений з трьох сторін діелектриком затвора, за яким йде металевий затвор, що призводить до того, що шар збіднення від поля затвора закривається в декількох напрямках, що, по суті, призводить до більш високого електростатичного контролю.

У комерційному FinFET рис. 1.3 б, в, е; плавник виконаний з відносно високим співвідношенням сторін, де ширина ребра виконана тонкою для поліпшення електростатичного контролю, тоді як висота ребра зберігається висока, щоб мати високий струмовий привід.

Для порівняння, для одного і того ж напівпровідникового матеріалу (Si), затворного діелектрика (SiO_2) і однакових розмірів для каналу (100nm) і для затвору діелектрика (10 nm), довжина плоского МОН-транзистора становить близько 55 nm, трикутного рис. 1.3 д; - 43 nm, а циліндричного нанопровідники - GAA FET рис. 1.3 в, е; - 31 nm, з конкретними числами, що впливають з деталей товщини каналу і діаметра дроту.

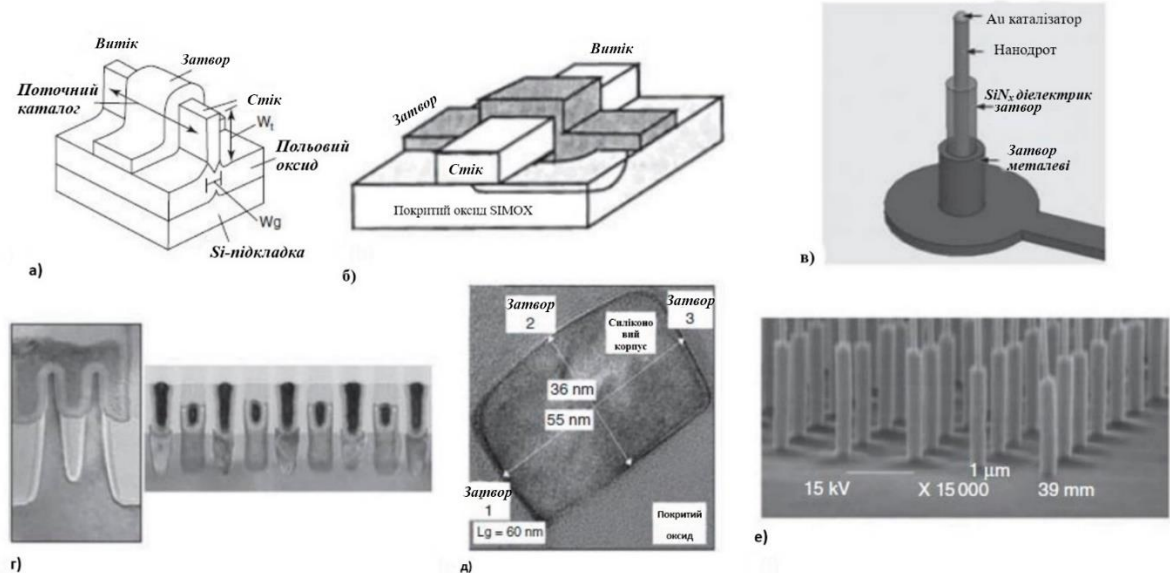


Рис. 1.3. Прилади MOSFET з підвищеним керуванням затвором, ніж плоска конструкція [29]:

а - схема повністю збідненого транзистора каналу (DELTA) подібного до відомого в даний час SOI FinFET;

б - схема «планарного» GAA SOI MOSFET;

- в - схема вертикального Si нанопроводі GAA MOSFET;
- г - ПЕМ (просвічуючи електронний мікроскоп) мікрофотографія Intel 14nm другого покоління FinFET;
- д - ПЕМ поперечного перерізу пристрою три затворної системи Si MOS;
- е - ПЕМ (растровий електронний мікроскоп) мікрофотографія, що показує нанодроги з оберненими затворами.

З попереднього обговорення цілком зрозуміло, що зменшення розмірів поперечного перерізу призводить до більш високого електростатичного контролю каналу. Оскільки безперервно зменшувати поперечний розмір дроту в тій мірі, в якій він стає порівняним з латеральним поширенням хвильової функції електронів, квантові ефекти обмеження починають відігравати значну роль у визначенні динаміки заряду в каналі.

Проекція у вільно розповсюджуваному напрямку хвильової функції електронів, пов'язаної з найнижчим під діапазоном, - це косинусам крива з центром у середині каналу, з експоненціальним падінням хвостів на поверхні. Будь-який електрон у першому під діапазоні має таку ж хвильову функцію косинусові кривої по будь-якому з латеральних перерізів (маючи змінні хвильові функції у напрямку поширення). Таким чином, щільність ймовірності, пов'язана з будь-яким електроном у першому під діапазоні, локалізована в середині каналу рис. (1.4);

Якщо уявити собі, що канал поступово заповнюється електронами, починаючи з нуля електронів, перші кілька електронів почнуть займати стани на першому підрівні, поки не заповниться. Єдиний підрівень присутній для нанодрота шириною 2-нм. Чотири підрівні для нанодрота шириною 5 нм [11].

Розглянемо випадок, коли поперечні розміри каналів достатньо малі, щоб квантування енергетичних станів було достатньо великим для спостереження. У балістичному наближенні кожний підрівень дискретної енергії може розглядатися як незалежний канал для транспорту електронів.

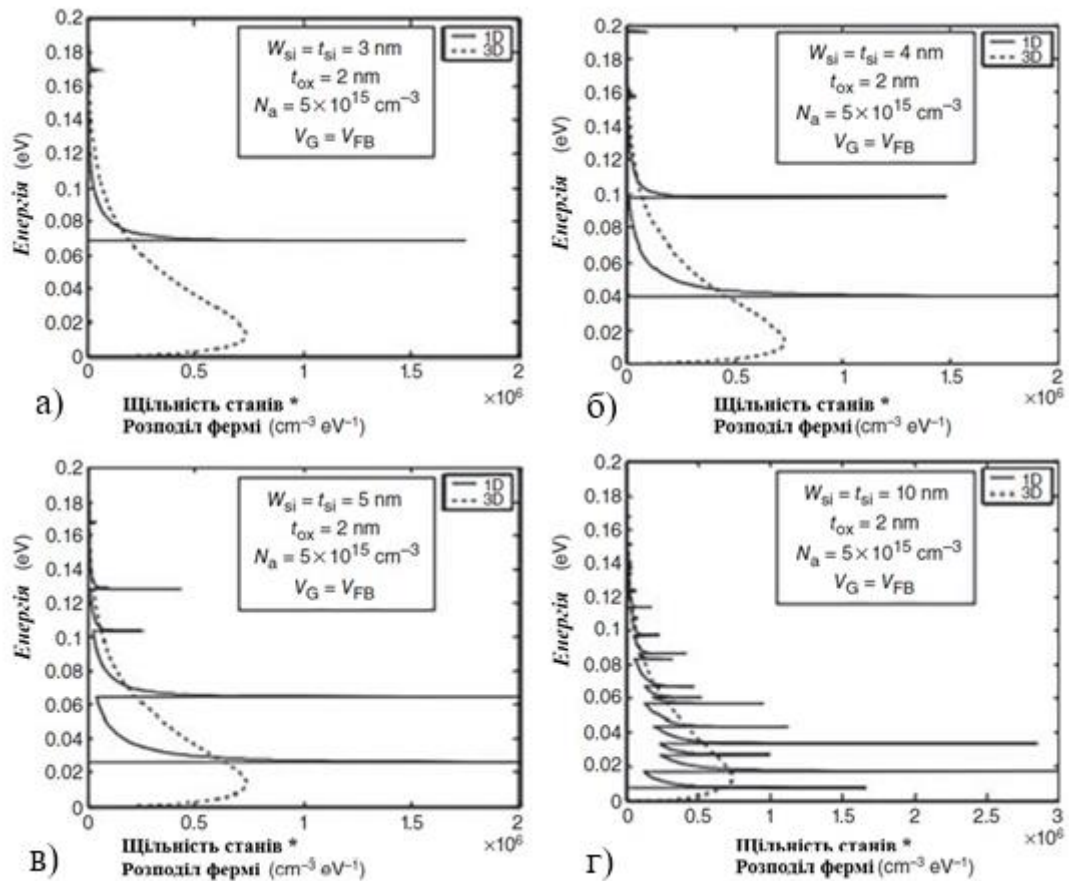


Рис. 1.4. Енергетичний спектр щільності електронної ймовірності в зоні провідності нанодруту Si [11]:

- а - енергетичний спектр щільності електронної ймовірності від 3 нм до 40 нм;
- б - єдиний під діапазон присутній для нанодрута шириною 2 нм;
- в - чотири під діапазони для нанодруту шириною 5 нм;
- г - заселеність електронів нанодруту шириною 40 нм

Потім ми можемо розрахувати електронний струм як інтегральний продукт швидкості, коефіцієнта пропускання та кількості 1D підрівнів. Важливо, що для тунелювання провідність для одного 1D підрівня є постійною, незалежно від хвильового вектора електрона. Таким чином, провідність квантується, а максимальна провідність на 1D під діапазоні - $e^2 / \pi \hbar$. Деякі роботи, такі як [13], повідомляли про експериментальне спостереження за квантовою провідністю рис. 1.5а.

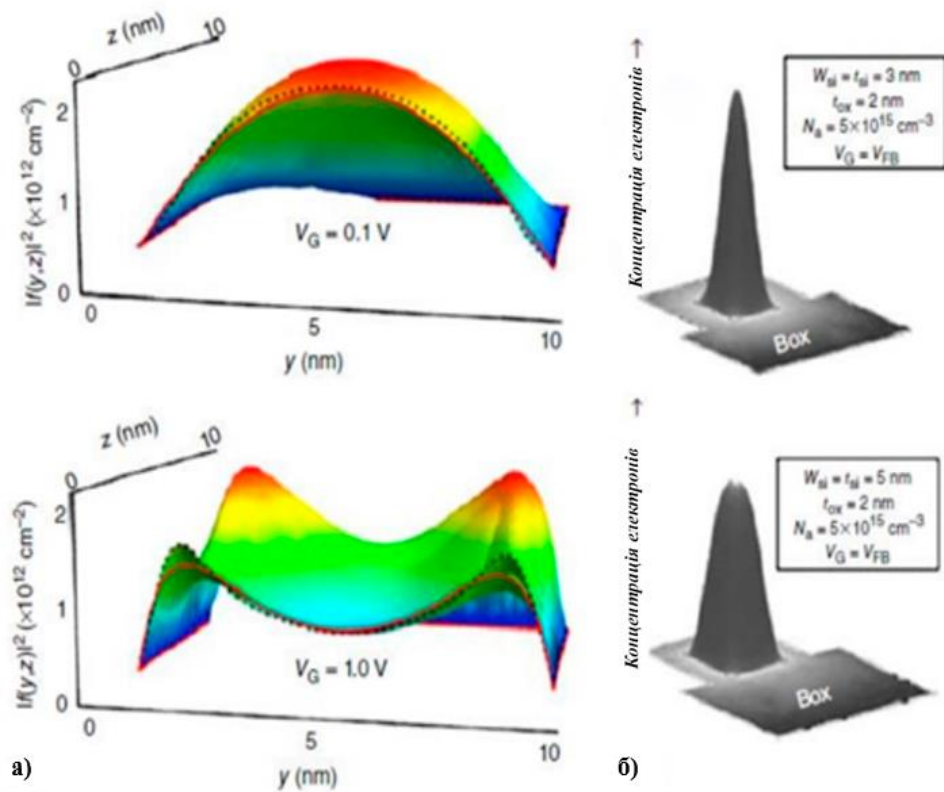


Рис. 1.5. Щільність ймовірності електронів у каналі [12] :

а - при меншій напрузі (0,1 В) заповнюється лише найнижчий рівень з максимумом в центрі каналу, при більш високій напрузі (1,0 В) - заповнюються більш високі рівні;

б - зміна електронної щільності зі зміною розміру поперечного перерізу нанодоту при граничних умовах

Всі канали шириною від 3 нм до 20 нм показують максимум концентрації електронів у центрі, що призводить до збільшення рухливості [11].

При меншій напрузі (0,1 В) заповнюється лише найнижчий режим передачі з більшістю в центрі каналу, а при більш високій напрузі (1,0 В) - також заповнюється більш високий режим, зміна електронної щільності з мінливим розміром поперечного перерізу нанодоту при граничних умовах.

Всі канали шириною від 3 до 20 нм показують максимум концентрації електронів у центрі, що призводить до збільшення рухливості [11].

Наявність таких дискретних енергетичних під діапазонів також призводить до появи квантової ємності.

Так щільність заряду в каналі збільшується до тих пір, поки не заповниться перший підрівень. Будь-яке подальше збільшення напруги затвора не призводить до додаткового заряду до тих пір, поки хімічний потенціал не досягне наступного підрівня (рис 1.6.a,b); таким чином, в області «підрівень» щільність заряду залишається постійною, а напруга все ще зростає.

Це дає початкові зміни в характеристиках ємності-напруги, при цьому піднімається кромка, що відповідає заряду, і плато, що відповідає залишковому заряду, при цьому система проходить через область підзони.

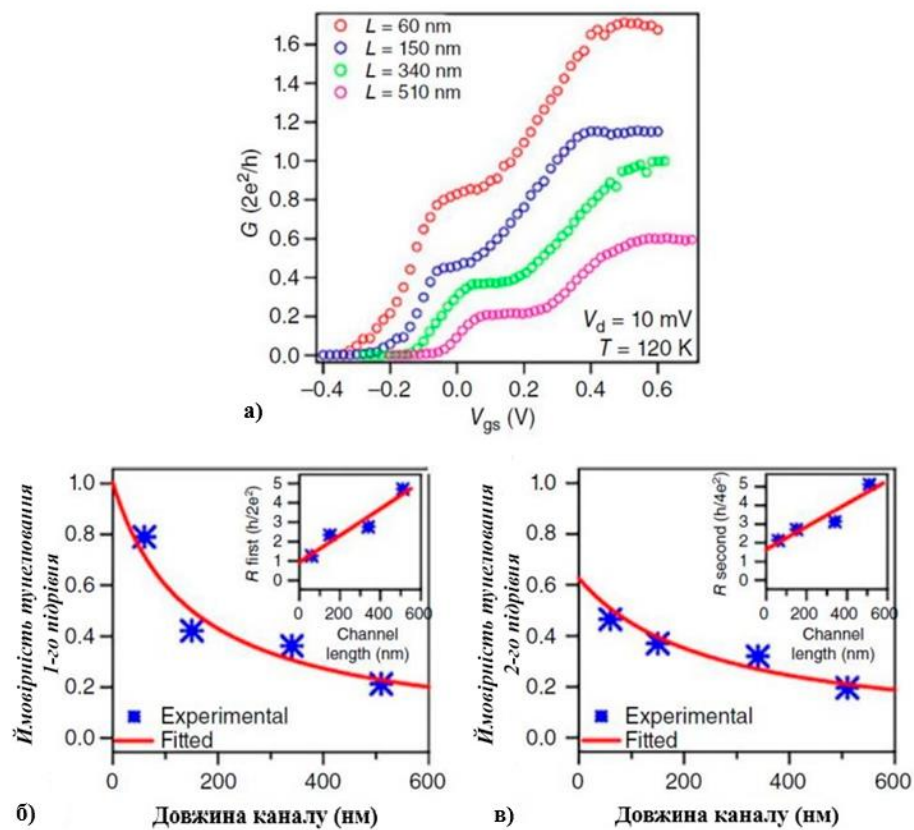


Рис. 1.6. Відхилення квантової провідності при збільшенні напруги [13]:
 а - функція сходів показує поступове заповнення підрівнів;
 б - зміна ймовірності тунелювання з довжиною каналу для першого підрівня;
 в – зміна ймовірності тунелювання з довжиною каналу для другого підрівня;

Вставки відображають відповідну зміну квантового опору.

1.3. Транспортні рівняння та коефіцієнти дифузії

В даний час для математичного моделювання в мікроелектроніці використовують програмні системи приладового-технологічного проектування TCAD, за допомогою яких можна проводити наскрізне моделювання напівпровідникових пристроїв від різця формування пристрою і до розрахунку повного набору його характеристик [8].

У даній роботі була використана одна з таких систем-програмний пакет Silvaco TCAD [9], орієнтований на вирішення всього комплексу конструкторської технологічних завдань, пов'язаних як з моделюванням технологічного маршруту формування напівпровідникового пристрою, так і з аналізом електричних характеристик вже готового пристрою.

Основою Silvaco TCAD є два взаємно інтегрованих програмних компоненти: програма для моделювання технологічних процесів виготовлення напівпровідникових пристроїв Athena і програма для розрахунку електричних характеристик Atlas.

До цих рівнянь відносяться рівняння Пуассона, рівняння безперервності і транспортні рівняння. Процеси рекомбінації описуються в рамках рекомбінаційної моделі Шоклі-Ріда-Холла, що враховує рівні легування. Також беруться до уваги Отже рекомбінація і зменшення ширини заборонена зона. Для монолітних багато перехідних структур з комутуючими каскади тунельними діодами враховуються фізичні процеси тунелювання на спеціально підібраних координатних сітках.

Рівняння Пуассона пов'язує електростатичний потенціал Ψ з об'ємною щільністю заряду ρ :

$$\operatorname{div}(\varepsilon \nabla \Psi) = -\rho, \quad (1.1)$$

де ε — діелектрична проникність.

Електричне поле визначається як градієнт потенціалу:

$$\vec{E} = -\nabla\psi. \quad (1.2)$$

Рівняння безперервності для електронів і дірок задаються виразами

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \hat{J}_n + G_n - R_n; \quad (1.3)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div} \hat{J}_p + G_p - R_p; \quad (1.4)$$

де n, p — значення концентрації електронів і дірок, а також індекси в позначенні відповідних їм величин; $\hat{J}_{n,p}$ - щільність струму; $G_{n,p}$ -коефіцієнти генерації; $R_{n,p}$ -коефіцієнти рекомбінації; q -заряд електрона.

Вид транспортних рівнянь, що визначають значення щільності електронного і діркового струмів, залежить від моделі перенесення. Перевагою обраної дифузійного дрейфової моделі є те, що крім Ψ, n і p в ній не використовуються ніякі інші незалежні величини. В рамках цієї моделі транспортні рівняння зазвичай сформулюються в вигляді вже готових рішень для струмів:

$$\hat{J}_n = qn\mu_n\vec{E}_n + qD_n \nabla_n; \quad (1.5)$$

$$\hat{J}_p = qp\mu_p\vec{E}_p + qD_p \nabla_p; \quad (1.6)$$

де $\mu_{n,p}$ — значення рухливості носіїв заряду, що визначаються в Atlas за емпіричними даними; $\vec{E}_{n,p}$ — ефективне електричне поле; $D_{n,p}$ — коефіцієнт дифузії.

Значення $\vec{E}_{n,p}$ обчислюються за формулами

$$\vec{E}_n = -\nabla \left(\Psi + \frac{kT_L}{q} \ln n_{ie} \right) qn\mu_n\vec{E}_n + qD_n \nabla_n; \quad (1.7)$$

$$\bar{E}_p = -\nabla \left(\Psi - \frac{kT_L}{q} \ln n_{ie} \right) qn\mu_n \bar{E}_n + qD_n \nabla_n; \quad (1.8)$$

де T_L – абсолютна температура решітки; n_{ie} - ефективна власна концентрація носіїв заряду (визначається з емпіричних формул).

Коефіцієнти дифузії визначаються з співвідношень Ейнштейна в рамках статистики Больцмана у вигляді

$$D_n = \frac{kT_L}{q} \mu_n; \quad (1.9)$$

$$D_p = \frac{kT_L}{q} \mu_p; \quad (1.10)$$

Процеси рекомбінації описуються згідно рекомбінаційної моделі Шоклі-Ріда—Холла, що враховує рівні легування, як

$$R_{(p,n)} = \frac{(pn - n_{ie}^2)(1 + N_\Sigma/N_0)kT_L}{\tau_p(p + n_{ie}) + \tau_n(n + n_{ie})} \mu_n; \quad (1.11)$$

де $\tau_{n,p}$ – час життя носіїв заряду; N_Σ - сумарна концентрація донорна та акцепторна.

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТА

2.1. Методика чисельного моделювання Silvaco TCAD

Фінансові витрати в сфері виробництва мікроелектронних і напівпровідникових виробів часом бувають колосальними. Вихідний матеріал, технологічна лінійка обладнання, комунікації, енергопостачання і витрати на численний персонал – все це вимагає досить серйозних грошових вкладень. Тому очевидно, що всі ці вкладення намагаються мінімізувати будь-якими шляхами. Вихідний матеріал (епітаксіальні і гетеро епітаксіальні структури) нерідко становить найбільшу частку витрат. Наприклад, вартість однієї пластини з вирощеною гетеро структурою GaN на підкладці з SiC може досягати ста тисяч гривень. Частина пластин йде на відпрацювання різних технологічних процесів: травлення, ізоляція, металізація, різні іонні процеси. Для того щоб не проводити експерименти на дорогих пластинах, вдаються до методів приладового-технологічного моделювання.

Для розрахунку характеристик польового транзистора скористаємося програмним пакетом Silvaco TCAD [1]. Він дозволяє здійснювати приладово-технологічне моделювання, даючи можливість користувачам спостерігати за перебігом будь-якого різця або отримувати характеристики напівпровідникового приладу, виходячи із заданих початкових умов. Даний пакет вже досить давно набув популярності серед розробників і технологів на провідних підприємствах галузі. У той же час велика кількість вбудованих модулів дозволяє вирішувати завдання в конкретних областях – будь то потужні прилади, світлодіодні структури або органічні матеріали. Умовно всі модулі пакета можна розділити на дві основні групи – модулі, що реалізують приладове моделювання (ATLAS, MERCURY) і технологічне (наприклад, ATHENA). До особливостей першої групи модулів відносяться:

1. Великий вибір вихідних напівпровідникових матеріалів (з можливістю додавання нових).

2. Візуалізація різця виготовлення приладу і його кінцеве представлення у вигляді 2D - або 3d моделі.

3. Досить простий введення вихідних даних, наприклад геометричних розмірів приладу або властивостей електродів.

4. Швидкий і точний розрахунок вихідних характеристик виробу з подальшою оптимізацією параметрів моделі.

Модулі технологічного моделювання характеризуються наступними особливостями:

1. Великий вибір різних технологічних процесів і відповідних вбудованих моделей – дифузія, іонна імплантація, травлення, літографія.

2. Велика швидкість роботи використовуваних аналітичних моделей.

3. Можливість спільної роботи з вбудованими модулями приладового моделювання.

Для моделювання польового гетеро структурного транзистора в середовищі Silvaco TCAD використовується модуль MERCURY. Він створений конкретно для даного типу приладів, включає в себе велику кількість фізичних моделей (ударна іонізація, тунельний струм, омичні контакти і бар'єр Шоттки і ін.). При цьому модуль цілком добре взаємодіє з іншими можливостями робочого середовища, будь то візуалізація структури або екстракція мало сигнальних параметрів транзистора, дозволяючи моделювати і вирішувати кілька завдань в рамках одного програмного коду. Для розрахунку характеристик використовується двовимірний модель приладу. Якщо бути більш точним, то MERCURY-це двох мірний симулятор, тобто складається з двох одновимірних симуляторів. Перший з них вирішує рівняння Пуассона перпендикулярно поверхні приладу в певному діапазоні поверхневих станів. Таким чином, описується канална область транзистора в одновимірному просторі. Другий вирішує рівняння транспорту носіїв уздовж каналу і розраховує вихідні характеристики.

Основою різця його формування є рідинне хімічне травлення шарів напівпровідника за рахунок окислювально-відновної реакції. Фізика травлення досить складна і практично не піддається моделюванню, тому зручно оперувати одним з параметрів різця – його геометричною формою. У гетероепітаксіальних структурах процес формується в бар'єрному шарі з попереднім травленням контактного шару. Для моделювання по затворного поглиблення була обрана досить поширена гетеро структура на підкладці з GaAs. Контактний шар легований на рівні $6 \cdot 10^{18} \text{ см}^{-3}$. Бар'єрна область AlGaAs включає в себе δ-легування кремнієм з концентрацією $5 \cdot 10^{12} \text{ см}^{-2}$. Вміст алюмінію в твердому розчині AlGaAs дорівнює 0,25, вміст Індію в канал'ному шарі InGaAs дорівнює 0,22.

Відзначимо наявність двох буферних шарів і над решітки GaAs/AlAs для зниження коефіцієнта шуму транзистора. Представлена структура є типовою і досить часто використовується для виготовлення малозумних підсилювальних пристроїв [3]. Параметри шарів можуть варіюватися в залежності від конкретних завдань розробника, наприклад, мольна частка в канал'ному шарі впливає на коефіцієнт посилення і шум транзистора. Призначення шарів і принцип роботи польового транзистора тут описані не будуть, так як все це широко представлено в різних літературних джерелах. Послідовність шарів структури наведена нижче:

- 1) GaAs – контактний шар-з товщиною 45 нм.
- 2) AlGaAs – бар'єрний шар – 35 нм.
- 3) AlGaAs – спейсер – 3 нм.
- 4) InGaAs – канал'ний шар – 15 нм.
- 5) GaAs – другий буферний шар-700 нм.
- 6) GaAs/AlAs – над решітка – 20 нм.
- 7) GaAs – перший буферний шар-700 нм.

Параметри затвора в даній моделі-це його місце розташування, ширина, довжина і внутрішнє зміщення бар'єру Шотткі. За необхідності завдання даної роботи можна розширити і визначити вплив, наприклад, ширини затвора на вихідні характеристики транзистора або довжини затвора на S-параметри в необхідному діапазоні частот. В цьому плані модель є досить гнучкою і зручною. Важливо відзначити, що затвор представлений у вигляді ідеального бар'єру Шотткі, тобто вплив технологічних факторів (конкретні шари металізації, їх опір і висота потенційного бар'єру) відсутня. Довжина затвора-0,4 мкм, ширина – 100 мкм, внутрішнє зміщення-0,75 еВ.

На рис. 2.1 приведено моделювання транзистора з різною глибиною 50 нм (а), 55 нм (б), 60 нм (в) [9]. Єдиний параметр, що вимагає пояснення в даному випадку - довжина затвора. Величина 0,4 мкм була обрана як стабільно досягається при належному рівні електронної гігієни на підприємстві і якості затворної літографії. Більш того, в даній час існують промислово випускаються транзистори з довжиною затвора 150 нм і менше. При цьому для уточнення характеристик транзистора автоматично запускаються моделі термоелектронної і тунельної емісії.

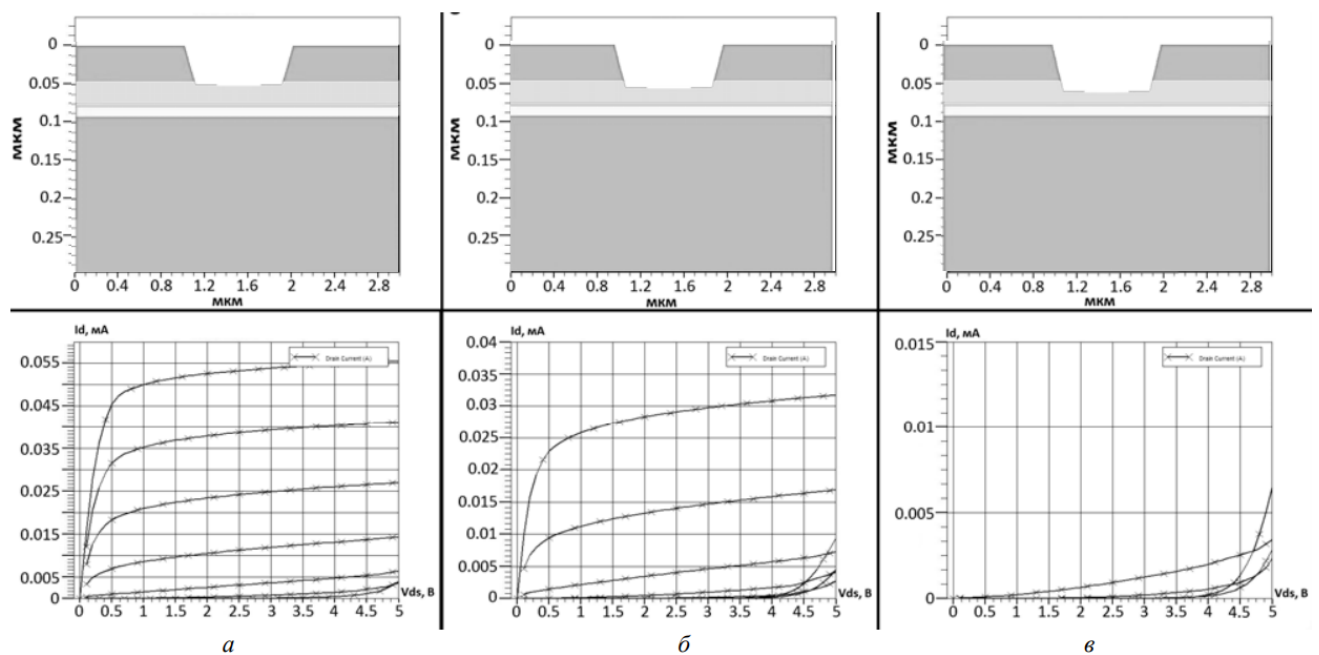


Рис. 2.1. Моделювання транзистора з різною глибиною від 50 – 60 нм [9] :

- а- моделювання транзистора з глибиною 50 нм;
- б - моделювання транзистора з глибиною 55 нм;
- в- моделювання транзистора з глибиною 60 нм.

Напруга, що подається між затвором і витокком U_{gs} змінювалося в діапазоні від 0 до -1,2 в з кроком 0,2 в. граничне напруга стік-витік U_{ds} становило 5 В. з рис. 2.1 видно закономірна залежність характеристик від глибини різця. Струм насичення знижується зі збільшенням глибини травлення. При досягненні глибини в 60 нм канал транзистора повністю перекривається областю просторового заряду. У першому випадку струм насичення склав 55 мА, у другому – близько 30 мА. Відсічення змінилася з -1 до -0,6 в. Пробій наступав в районі $\sim 4,5$ В. час розрахунку ВАХ склало ~ 45 С. Очевидно, що глибина різця більше 55 нм неприпустима для даної структури або структури з подібною конфігурацією використовуваних шарів.

Теоретично результати моделювання узгоджуються з літературними джерелами. Для підтвердження цього знову ж звернемося до Ді Лоренцо [2]. І хоча даний посібник не охоплює область гетеро структурних транзисторів, механізм формування різця схожий з mesfet-структурами. Варто доповнити, що характер травлення під затворного поглиблення моделі аналогічний реальним технологічним процесам, виконуваним особисто автором.

Як вже було сказано вище, модель транзистора досить гнучка і дозволяє отримувати залежність не тільки вольт-амперних характеристик від глибини і геометрії різця, але і надвисокочастотні s-параметри в необхідному діапазоні частот. За замовчуванням s-параметри виводяться на діаграмі Вольперта–Сміта. Для демонстрації даної можливості був змодельований транзистор з довжиною затвора 0,35 мкм, шириною 100 мкм і глибиною різця 55 нм. Параметри епітаксціальні шарів колишні. Вид отриманих s-параметрів в діапазоні 1-20ГГц представлений нижче рис. 2.1 б.

В результаті виконаної роботи була створена модель польового транзистора в середовищі Silvaco TCAD. Модель включає в себе набір різних вхідних параметрів (довжина і ширина затвора, глибина і геометрія різця, параметри епітаксціальних шарів), а на виході реалізує ВАХ пристрої, S-параметри і створюємо структуру. Модель вирішує головне завдання виконуваної роботи, а саме, описує залежність вихідних характеристик від глибини переходу.

2.2. Моделювання структури та параметрів 3D транзисторів

Для моделювання процесів у FinFET авторами [29] було застосовано програмний пакет GTS Framework. Цей GTS Framework надає повний набір потужних інструментів для моделювання напівпровідникових приладів та моделювання схем, що включає в себе генерацію структури, автоматичну побудову розрахункової сітки, моделювання, оцінку/візуалізацію, статистичний аналіз і т. д..

Структура пристрою була змодельована з використанням компоненти GTS Structure. Для моделювання було використано готові шаблони, створені з допомогою вбудованого САД-редактору.

Шаблон включає в себе геометричні та фізичні параметри, забезпечуючи основу для адаптації його до реальних пристроїв. Створення структури на основі шаблону включає в себе визначення геометричних розмірів, уточнення розподілу домішок та розрахункової сітки [30].

Досліджувана геометрична 3D модель представлена на рис.2.2. Характерний розмір транзистору складав 32 нм. Геометричні розміри каналу наведені у таблицях 2.1-2.2.

Загальний вигляд розрахункової сітки представлено на рис. 2.2. Параметри сітки наведені в таблиці 2.3.

Таблиця 2.1.

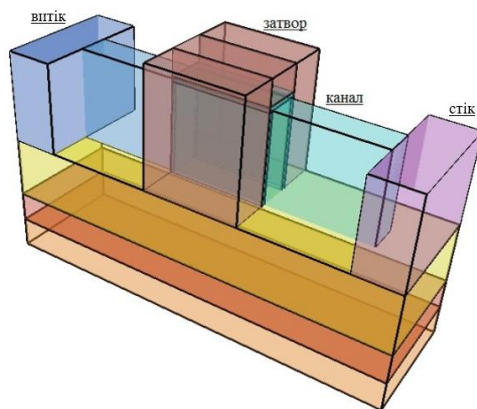
Розміри каналу за різних значень ширини

Ширина	Довжина	Висота
10 нм	35 нм	30 нм
7 нм		
5 нм		

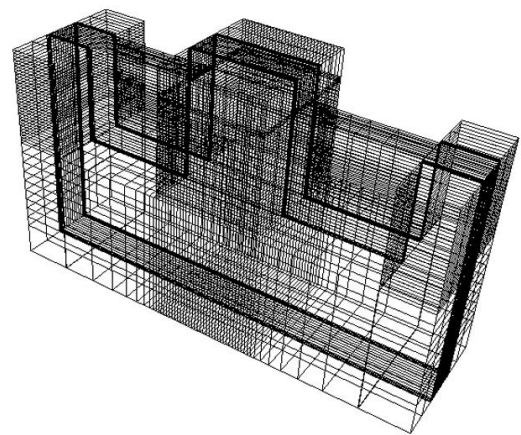
Таблиця 2.2.

Розміри каналу за різних значень висоти

Ширина	Довжина	Висота
10 нм	35 нм	30 нм
		20 нм
		10 нм



а



б

Рис. 2.2. Геометрична модель 3D транзистора (а) та розрахункова сітка (б)

Таблиця 2.3.

Параметри розрахункової сітки

№ моделі	Кількість вузлів	Кількість комірок
1, 4	48014	42800
2	41000	36080
3	36324	31600
5	37744	33520
6	27474	24240

Числове моделювання було проведено за допомогою компоненти Minimos-NT. Повний набір фізичних моделей дозволяє симуляцію різних видів вдосконалених структур пристроїв, таких як сучасні пристрої CMOS, SOI та гетеро структурні пристрої. Беручи до уваги атомну природу пасток і легуючих домішок, Minimos-NT забезпечує моделювання надійності високо масштабних транзисторів, таких як об'ємні пленарні пристрої та FinFET, що мають довжину каналу 32 нм або менше.

Фізичні ефекти самонагрівання та ударна іонізація, які є суттєвими для моделювання силових пристроїв, можуть бути змодельовані з використанням відповідних сучасних моделей.

Використовуючи висококонфігуровані ітераційні схеми, за допомогою Minimos-NT можна проаналізувати чисельне нестабільні проблеми, такі як вторинні пробої та ефекти теплового розгону.

Ключові можливості:

- моделювання дво- і тривимірних структур;
- аналіз як технологій FinFET, так і пленарних пристроїв;
- моделі дрейфу та дифузії; модель енергопереносу;
- DC, AC, перехідний і змішаний режим;
- атомні пастки та домішки;
- модель градієнту щільності;

- моделювання самонагріву;
- змішаний режим моделювання схем;
- можливість паралельних розрахунків;
- візуальний редактор схем

Також важливою перевагою GTS Framework є інтуїтивно зрозумілий інтерфейс, вичерпна можливість застосування скриптів, а також багато платформ ємність (Windows, Linux).

Дослідження процесів самонагріву було проведено [10] у режимі single-mode. Режим дозволяє проводити статичний аналіз, а також аналіз перехідного стану.

Досліджувана геометрична модель представлена на рис. 2.3. Характерний розмір транзистору (довжина затвору) складає 32 нм, параметри фіну – 10 нм ширина, 30 нм висота, 102 нм довжина.

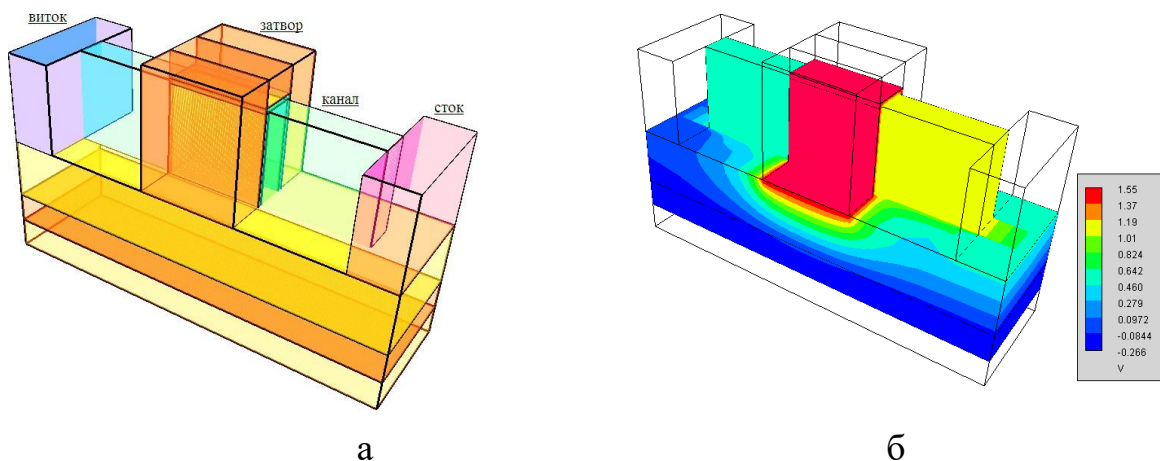


Рис. 2.3. Геометрична модель та розподіл потенціалу 3D транзистора [10]

На затворі було підключено напругу в 1В, на стоку – 0.5 В. Розподіл потенціалу наведено на рис. 2.3.

На рис. 2.4. наведено вольт-амперну характеристику (ВАХ) транзистору. Розподіл внутрішніх джерел теплоти наведено на рис. 2.5. Видно, що максимум потужності тепло генерації зміщений до стоку. Потужність, що виділяється, складала $5,53 \cdot 10^{-5}$ Вт.

Масштабування пристрою дозволяє регулювати потужність, що виділяється та інтегрувати значну кількість транзисторів на невеликій площі.

Для визначення впливу геометричних розмірів каналу було досліджено розподіл температури всередині пристрою та потужності, що виділяється, при зміні висоти та ширини фіну.

При конструюванні нанорозмірних транзисторів виникає проблема управління тепловим потоком конкретного пристрою, оскільки нові ускладнені геометрії транзисторів ускладнюють задачу тепловідведення, а окрім того більшість матеріалів, що використовуються, мають меншу теплопровідність ніж об'ємний кремній.

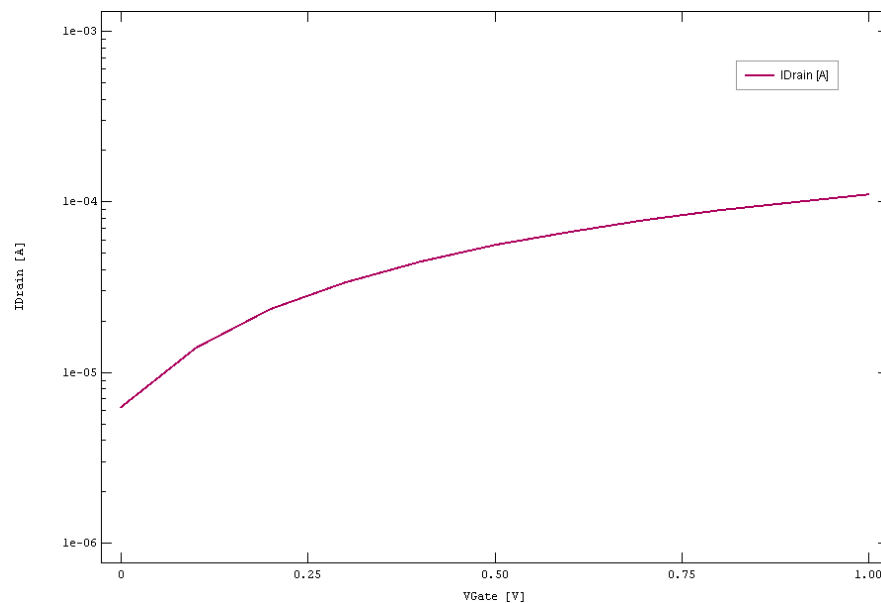


Рис. 2.4. Вольт-амперна характеристика 3D транзистора [15]

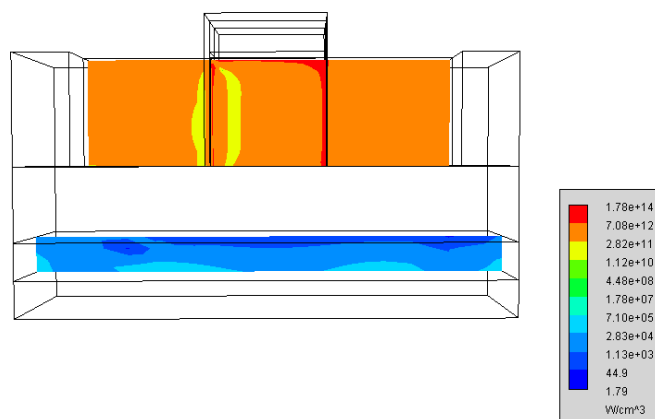


Рис. 2.5. Потужність теплогенерації у 3D транзисторі ($V_G=1$ В) [15]

Самонагрів пристрою під час роботи відбувається у наслідок взаємодії електронів з коливаннями решітки (фононами). Електрон-фононна взаємодія є неоднорідною як просторово, так і енергетично [23,24], а фонони, що генеруються, роблять різний внесок у перенесення теплоти: оптичні фонони мають малу групову швидкість та майже не сприяють теплопровідності, у якій переважає акустичний фононний транспорт [23,25]. Крім того, теплопровідність напівпровідникових плівок з товщиною меншою за довжину вільного пробігу фононів значно знижується за рахунок затримування фононів та їх розсіювання. Це підвищує термічний опір пристрою, що призводить до зростання температури решітки у тонко плівкових транзисторах, порівняно з об'ємними елементами, які працюють за тих же значень напруги [26].

Для визначення впливу теплопровідності нано-масштабного кремнію було досліджено розподіл температури всередині пристрою при урахуванні зменшення теплопровідності каналу різної ширини. Для ширини 10 нм теплопровідність каналу складала 13 Вт/м·К, для 7 нм – 11,2 Вт/м·К, для 5 нм – 10,7 Вт/м·К. Результати чисельного моделювання само нагріву pmos FinFET пристрою з різними значеннями ширини фіну. Прикладена до стоку напруга складала 0.5 В.

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Геометрії польових транзисторів з каналом у вигляді нанодроту

У 2001 р. IBM застосовує деформований Si (strained Si) – формування шару Si для каналу, в якому відстань між атомами – (як мінімум в напрямку витік-стік) не дорівнює параметру кристалічної решітки (0,357 нм). Для збільшення параметра кристалічної решітки спочатку впроваджується «посівний» шар SiGe. Кристал Ge має параметр кристалічної решітки 0,357 нм. Змішаний напівпровідник зберігає це значення, навіть якщо частка германію всього 17% (це для 90 нм; а для 32 нм - вже 40%). Осаджені поверх атоми Si міжатомними силами кріпляться до атомів широкої решітки і залишаються з її параметром, формуючи канал. Розрядження атомів збільшує рухливість електронів, що прискорює n-канальний транзистор на 20-30%. До речі, саме через більшу рухливості електронів в Ge першим стали застосовувати в електроніці. У 2004 р. цю технологію застосували Intel і AMD для техпроцесу 90 нм.

У передових глибоких субмікронних структурах МОН-приладів, необхідно використовувати транспортні моделі із врахуванням кантових ефектів. Також інтерфейс канал-затвор оксиду має бути розв'язаний з дуже високою точністю. Скінченноелементна сітка також повинна розв'язувати дуже круті градієнти інверсійного шару. Відповідно, 3D САПР використовується для перебудови FinFET для моделювання пристрою. Також для розглянутої тут структури FinFET тіло може бути не повністю виснаженим. Тому рівняння неперервності для електронів і дірок необхідно вирішувати одночасно. Дуже коротка довжина затвору 14 нм вимагає використання гідродинамічної транспортної моделі. Крім того, мала товщина оксиду (1-2 нм) і відносно високий рівень легування тіла ($10^{18} - 10^{20} \text{ см}^{-3}$) вимагають врахування ефектів квантування.

Враховуючи розмірність досліджуваних структур, концентраційні розподіли домішок та температурну залежність фізичні особливості транспорту заряду враховувались за допомогою відповідних операторів: `models fermi ni.fermi cvt srh bqr.n`. Параметр `fermi` дозволяє враховувати дифузійно-дрейфовий транспорт заряду в рамках статистики Фермі-Дірака, `cvt` особливості рухливості інверсійного шару, `srh` рекомбінаційні механізми Шоклі-Рід-Холла. Квантові ефекти включені в ATLAS шляхом зміни рівнянь транспортної DD-моделі із врахуванням квантового потенціалу Бома `bqr.n` та `bqr.p` відповідно для електронів та дірок.

На рис.3.1 приведено структуру польового транзистора із каналом у вигляді нанодроту деформованого Si. Вхідні дані усіх матеріалів взяті із бібліотек Silvaco TCAD [12]. Полі кремній був використаний як матеріал затвору. Al електроди витоку та стоку розташовані на торцях каналу. Канал польового транзистора у вигляді нанодроту деформованого Si мав форму циліндричної трубки довжиною 80 нм. Синтаксис програмного коду приведено у додатку А.

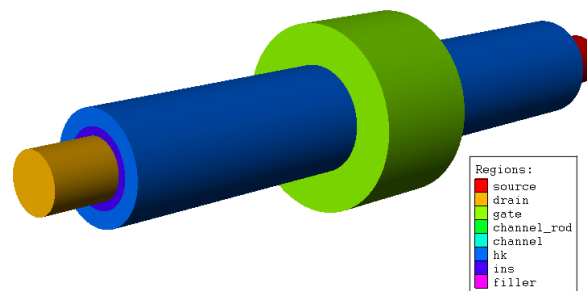


Рис. 3.1. 3D геометрія FinFET з каналом у вигляді нанодроту Si/SiGe

Геометричні розміри елементів польового транзистора приведено на рис.3.2. Діаметр та довжина орієнтуючого стрижня SiGe відповідно становили 4 нм та 80 нм, довжина полікремнієвого затвору – 14 нм. Ефективна робота виходу електрода полікремнієвого затвору становила 4,75 еВ [24,25,26]. Як high-k діелектрик було взято HfO₂ (k = 22) товщиною 2 нм, бар'єрний шар SiO₂ під high-k діелектриком мав відповідну товщину 1 нм.

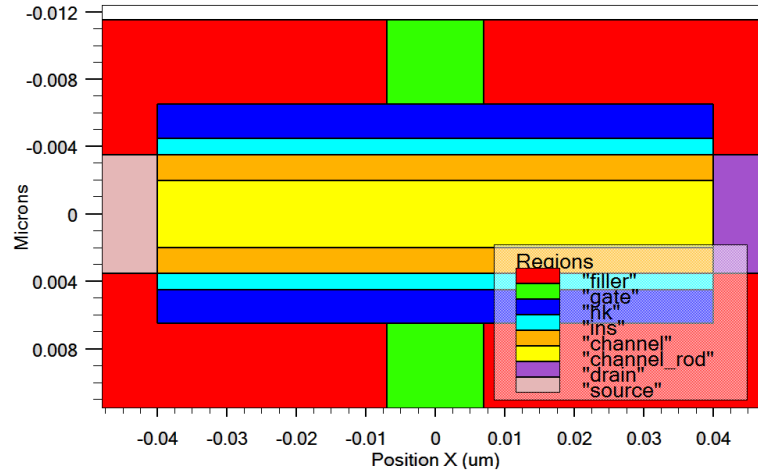


Рис. 3.2. 2D геометрія FinFET з каналом у вигляді нанодроту Si/SiGe

На рис.3.3а наведено зрізи 3D структур досліджуваного транзистора, для якого було проведено чисельне моделювання електричних параметрів з урахуванням ефектів короткого каналу, short-channel effects (SCEs).

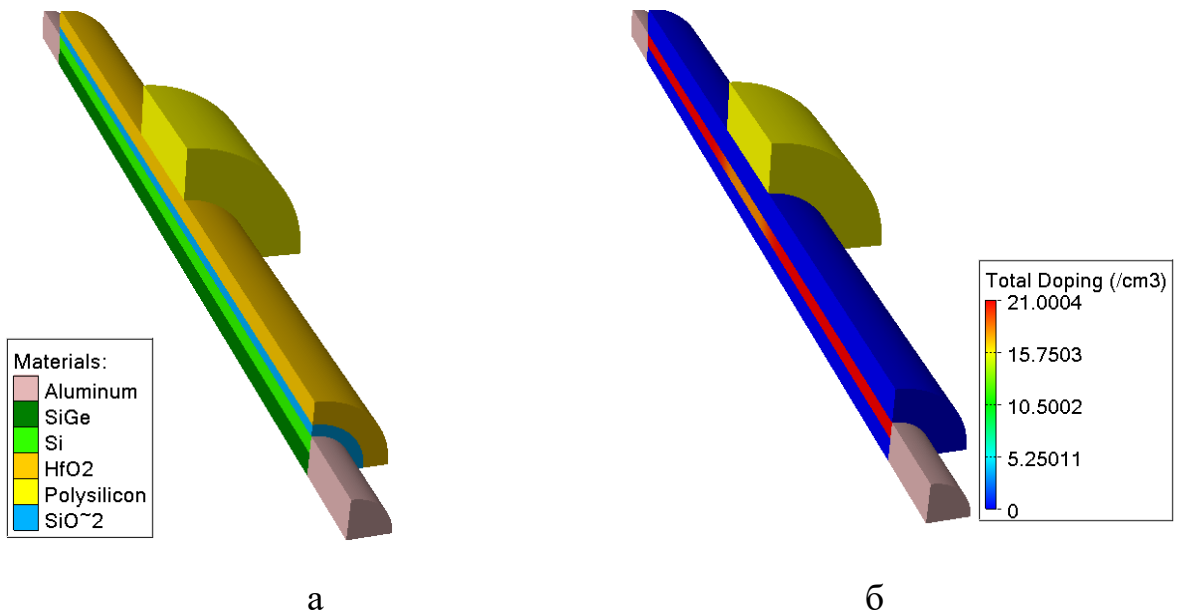


Рис. 3.3. Тривимірний зріз структури польового транзистора з каналом у вигляді нанодроту Si/SiGe (а) та концентраційний розподіл домішки в каналі (б)

Концентраційний розподіл донорної домішки в каналі транзистора наведено на рис.3.3б. При проектуванні було використано наступну конфігурацію профілів легування каналу: в об'ємі каналу концентрація акцепторної домішки становила 10^{18} см^{-3} ; у приконтактні області витіку та стоку була введена донорна домішка більш високої концентрації 10^{21} см^{-3} .

3.2 Температурні залежності робочих характеристик

Аналіз електричних параметрів для спроектованих нами транзисторних структур отриманих на основі вольт-амперних характеристик при різних температурах наведено в даному розділі.

Типові залежності сили струму витік-стік I_{DS} від напруги на затворі V_{GS} при температурах 280 К, 300 К, 340 К, 360 К, 380 К та 400 К для вертикального польового транзистора n-типу з каналом у вигляді нанодроту деформованого Si для фіксованих значень напруг витік-стік $V_{DS} = 0,07 \text{ В}$ та $V_{DS} = 0,20 \text{ В}$ відповідно приведені на рис. 3.4 та рис.3.5.

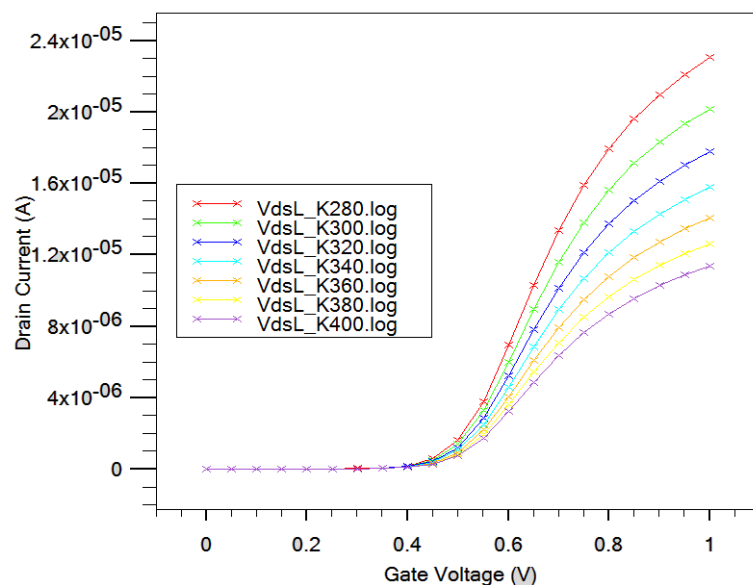
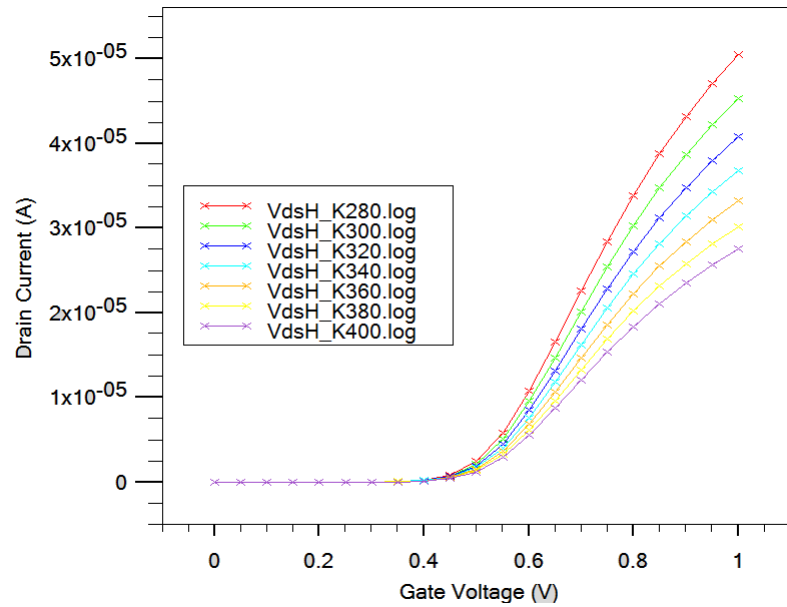


Рис. 3.4. Передавальні характеристик для FinFET із каналом у вигляді нанодроту Si/SiGe та при різних температурах [24]



б

Рис. 3.5. Передавальні характеристики для FinFET із каналом у вигляді нанодроту Si/SiGe при різних температурах [24]

Як приклад на рис.3.5 наведено вихідні $I_{DS}-V_{DS}$ характеристики для тривимірного транзистора p-типу для фіксованих значень напруг на затворі $V_{GS} = 1,0$ В.

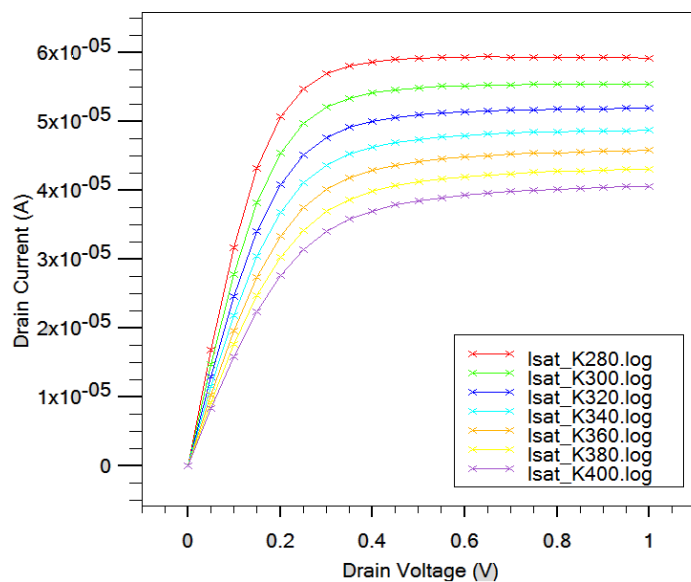


Рис. 3.6. Вихідних характеристики FinFET з каналом у вигляді нанодроту SiGe при різних температурах [24]

Виходячи із таких даних за допомогою симулятора ATLAS було визначено основні електричні параметри: порогова напруга V_t , допороговий розкид SS , струм «вмикання» I_{on} , струм витоку I_{off} та коефіцієнт I_{on}/I_{off} (табл.3.1).

Таблиця 3.1

Температурні залежності електричних параметрів польового транзистора з каналом у вигляді нанодоту деформованого кремнія

Параметр	Робоча температура, К						
	280	300	320	340	360	380	400
V_t , мВ	461,81	462,79	463,68	464,50	465,25	465,95	466,59
SS , мВ/декаду	95,01	95,00	94,99	94,98	94,97	94,96	94,95
$I_{off} \times 10^{12}$, А	9,03	8,09	7,27	6,55	5,91	5,34	4,84
$I_{on} \times 10^5$, А	5,05	4,53	4,08	3,67	3,33	3,02	2,75
$(I_{on}/I_{off}) \times 10^{-5}$	56,92	55,99	56,12	56,03	56,34	56,55	56,81

ВИСНОВКИ

1. За допомогою Silvaco TCAD проведено моделювання електричних параметрів транзисторних структур із каналом у вигляді нанодроту Si/SiGe у рамках дифузійної-дрейфової транспортної моделі (D-D) із статистикою Фермі-Дірака.

2. Досліджено електричні параметрів транзисторних структур із каналом у вигляді нанодроту Si/SiGe діаметром 7 нм та довжиною затвора 14 нм; показано, що при врахуванні квантового потенціалу Бома (BQP) для D-D спостерігається зменшення впливу коротко канальних ефектів, зокрема фіксується збільшення порогової напруги (V_{Th}), зменшення величин підпорогового розкиду (SS) та зниження бар'єру, що індексується стоком (DIBL).

3. Моделювання TCAD надає дані, які необхідно опрацьовувати, тому цикли інновацій та розвитку підвищуються повільно. Але інструменти моделювання доповнюються зручними інтерактивними інструментами. Значна частина програмних засобів в даний час обмежується, як правило, реалізацією тільки дифузійної-дрейфової моделі. Це пояснюється тим, що напрацювання за моделями в гідродинамічному наближенні з'явилися порівняно нещодавно і розробка відповідних їм чисельних процедур залишається досить трудомістким завданням.

4. Взавши за основу технологію FinFET вдається подолати межу звичайної (планерної) транзисторної структури для досягнення підвищеної продуктивності та кращої енергоефективності, наразі можна зазначити велику кількість сучасних процесорів вироблених саме за технологією FinFET, але їх мікро архітектури зміщуються в область 5 нм, 3 нм та 2 нм тех процесів для нанодротових, наноплощинних та інших транзисторних структур.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Goel A. High-temperature and self-heating effects in fully depleted SOI MOSFETs / A. Goel, T. Tan. // *Microelectronics Journal*. – 2006. – №37. – С. 963–975.
2. Wong H. Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation / H. Wong, D. Franks, P. Solomon. // *IEEE Electron Devices Meeting*. – 1998. – С. 407–410.
3. Scaling theory for double-gate SOI MOSFET's / [K. Suzuki, T. Tanaka, Y. Tosaka та ін.]. // *IEEE Trans. Electron Devices*. – 1993. – №40. – С. 2326–2329.
4. Two gates are better than one / [P. Solomon, K. Guarini, Y. Zhang та ін.]. // *IEEE Circuits and Devices Magazine*. – 2003. – №19. – С. 48–62.
5. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / Boukortt N., Hadri B., Patané S. et al. // *Silicon*. – 2017. – V. 9. – P. 885-894.
6. Effects of high-k dielectrics with metal gate for electrical characteristics of SOI TRI-GATE FinFET transistor / F.Z. Rahou, A.G. Bouazza, B. Bouazza // *J. Nano Electron. Phys.* – 2016. – V. 8. – P. 04037-1 – 04037-4.
7. DFT based estimation of CNT parameters and simulation-study of GAA CNTFET for nano scale applications / B. Singh, P. B, D. Kumar // *Mater. Res. Express*. – 2020. – V.7. – P. 015916-1 – 015916-8.
8. Expanding role of predictive TCAD in advanced technology development / Wu J., Diaz C. H. // *2013 Glasgow: IEEE*. – 2013. – P. 167-171.
9. TCAD-based methodology for reliability assessment of nanoscaled MOSFETs / Hussin R. et al. // *2015 11th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*.- Glasgow: IEEE. – 2015. – P. 270-273.
10. Свистова Т.В. Основы микроэлектроники: учеб. пособие / Т.В. Свистова. - Воронеж: ФГБОУ ВО «Воронежский государственный технический

університет», 2017. – 148с.

11. Colinge, J.P. (2007). FinFETs and Other Multi-Gate Transistors. Nature Publishing Group.

12. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.

13. Chuang, S., Gao, Q., Kapadia, R. et al. (2013). Ballistic InAs nanowire transistors. Nano Lett. 13 (2): 555–558.

14. <https://silvaco.com/examples/tcad/section28/example8/index.html> – Silvaco, TCAD Examples, дата доступу: 24.05.2021 р.

15. Приладово-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / [І.П. Бурик, А.О. Головня, М.М. Іващенко] // Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.

16. Buryk I.P. Numerical simulation of FinFET transistors parameters/ [I.P Buryk, A.O. Golovnia, M.M. Ivashchenko, L.V.Odnodvoret] // J. Nano- and electronic Physics. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.

17. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // Appl. Sci. – 2019. – V. 9. – P.3163-3172.

18. Kang C. Effect of layout and process parameter on device/circuit performance and variability for 10nm node FinFET technology / C-Y Kang. // Symp. VLSI Technol. Technical Dig.. – 2013. – С. 90–91.

19. Ramey S. Intrinsic transistor reliability improvement from 22 nm tri-gate technology / Ramey. // IEEE International Reliability Physics Symposium. – 2013.

20. Chopra S. A Review on Challenges for MOSFET Scaling / S. Chopra, S. Subramaniam. // IJISSET - International Journal of Innovative Science, Engineering & Technology. – 2015. – №2. – С. 1055–1057.

21. Sun X. Nanoscale Bulk MOSFET Design and Process Technology for Reduced Variability / Sun – Berkeley, 2010.

22. Subramaniam S. Drain Current Models for Single-Gate MOSFETs & Undoped Symmetric & Assynetric Dopuble-Gate SOI MOSFETs and Quantum Mechanical Effects

23. / S. Subramaniam, R. N. Awale, S. M. Joshi. // International Journal of Engineering Science & Technology. – 2013. – №5. TCAD AC analysis of Gate Electrode Workfunction Engineering Silicon Nanowire MOSFET for High Frequency Applications / Neha G., Ajay K., Rishu C. // Advanced Manufacturing, Electronics and Microsystems: TechConnect Briefs.- 2015. – V. 4. – P. 181-184.

24. 2D and 3D TCAD simulation of III-V channel FETs at the end of scaling / Aguirre P., Rau M., Schenk A. // 2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS).- Granada: IEEE. – 2018. – P. 1-4.

25. A two-dimensional gate threshold voltage model for a heterojunction SOI-tunnel FET with oxide/source overlap / Chander S., Baishya S. // IEEE Electron Device Letters. – 2015. – V. 36, No 7. – P. 714-716.

26. TCAD Simulations of Nano-scale Functional Neuron MOSFETs with Splitted Gate Bias on Floating Gate / Kong H., Wang G., Sun L, // 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT).- Qingdao: IEEE. – 2018. – P. 1-3.

27. A TCAD approach to the physics-based modeling of frequency conversion and noise in semiconductor devices under large-signal forced operation / Bonani F. et al. // IEEE Transactions on Electron Devices. – 2001. – V.48, No 5. – P. 966-977.

28. A split-gate positive feedback device with an integrate-and-fire capability for a high-density low-power neuron circuit / Choi K.-B. et al. // Frontiers in neuroscience. – 2018. – V. 12. – 704 p.

29. Natarajan, S., Agostinelli, M., Akbar, S. et al. (2014). In: A 14nm logic technology featuring 2nd-generation FinFET, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 SRAM cell size. 2014 IEEE International Electron Devices Meeting, 15–17 December 2014, pp. 3.7.1–3.7.3.

СИНТАКСИС ПРОГРАМНОГО КОДУ

Створення геометрії каналу:

```
set chr=0.5*0.008      #діаметр каналу
set chz=0.5*0.080     #довжина каналу
```

Створення геометрії ізоляції:

```
set d1=0.001          #шар SiO2
set d2=0.002          #шар HfO2
set dz=$chz           #покриття ізоляцією каналу
```

Створення геометрії затвору:

```
set gtr=0.005         #шар затвору
set gtz=0.5*0.014    #довжина покривання затвором каналу
```

Створення геометрії пари електродів стік-витік:

```
set dsr=$chr          #радіус зон стоку та витоку
set dsz=0.005        #довжина зон стоку та витоку
```

Нижче приведений синтаксис командного коду для симулятора ATLAS з використанням тривимірних циліндричних координат:

```
go atlas
mesh three.d cylindrical
# сітка кутів
a.m l=0                spac=15
a.m l=360              spac=15
# сітка радіусів
r.m l=0                spac=0.3*$chr
r.m l=$chr             spac=0.2*$chr
r.m l=$chr+$d1         spac=0.5*$d1
r.m l=$chr+$d1+$d2    spac=0.5*$d2
r.m l=$chr+$d1+$d2+0.25*$gtr spac=0.75*$gtr
r.m l=$chr+$d1+$d2+$gtr spac=$gtr
# сітка вісі z
z.m l=-$dsz-$chz      spac=$dsz
z.m l=-$chz           spac=$dsz
#z.m l=-$dz           spac=0.5*$dsz
z.m l=-$gtz           spac=0.1*$gtz
z.m l=0               spac=0.4*$gtz
z.m l=$gtz            spac=0.1*$gtz
#z.m l=$dz            spac=0.5*$dsz
z.m l=$chz            spac=$dsz
```

```

z.m    l=$dsz+$schz          spac=$dsz
#      задання областей
#основа
region name=filler          num=1      mat=oxide  a.min=0    r.min=0
region name=gate            num=2      mat=poly   a.min=0
    r.max=$gtr+$chr+$d1+$d2 z.min=-$gtz    z.max=$gtz
#канал
region name=hk              num=3      mat=hfo2   a.min=0
    r.max=$chr+$d1+$d2      z.min=-$dz    z.max=$dz
region name=ins             num=4      mat=oxide  a.min=0
    r.max=$chr+$d1          z.min=-$dz    z.max=$dz
region name=channel         num=5      mat=si     a.min=0
    r.max=$chr
#сток-витік
region name=drain           num=6      mat=aluminum a.min=0
    r.max=$dsr              z.max=-$schz
region name=source          num=7      mat=aluminum a.min=0
    r.max=$dsr              z.min=$schz
#      електроди структури
electrode name=gate reg=2
electrode name=drain reg=6
electrode name=source reg=7
#      легування каналу домішкою
doping name=channel p.type uniform conc=1e18
doping name=channel gaussian e conc=1e21 zlat.char=0.004 char=0.0025
a.min=0 r.min=0 z.min=-$schz z.max=-0.5*$cnz
doping name=channel gaussian n.type conc=1e21 zlat.char=0.004 char=0.0025
a.min=0 r.min=0 z.min=0.3*$schz z.max=$schz
#material material=Silicon eg300=1.1245 affinity=4.05 permitti=11.9 ml=0.7 mt1=0.7
mt2=0.7 nc300=2.8e19
material material=Oxide eg300=8.05 affinity=1.00 permittivity=3.9 ml=0.30 mt1=0.30
mt2=0.30 nc300=2.8e19 nv300=1.04e19
material material=Poly eg300=1.1245 affinity=4.05 permitti=11.9
contact name=gate work=4.85
#збереження
struct outf=cyl_nwfet_sige1.str
quit
Синтаксис коду файлу для отримання ВАХ FET при температурі 280 К:
#напруги для низько- та високовольтної ВАХ
set VdsL=0.07
set VdsH=0.2
#діапазон напруг затвору та крок для ВАХ

```

```

set Vg0=0.0
set dVg=0.05
set Vg1=1.0
#діапазон напруг стоку та крок для ВАХ струму насичення
set Vds0=0
set dVds=0.05
set Vds1=1.0
#напруга затвору для струму насичення
set Vg=1.0
go atlas
mesh inf=cyl_nwfet_sige1.str
models fermi bqp.n srh ni.fermi hcte.el bqp.ngamma=1.4 bqp.nalpha=0.3 evsatmod=0
fldmob print temp=280
method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
#ВАХ струму насичення
solve init
solve vgate=$Vg nocurrent
log outf=Isat_K280.log
solve name=drain vdrain=$Vds0 vstep=$dVds vfinal=$Vds1
log off
output p.quantum band.temp con.band val.band band.par
save outf=Isat_K280.str master
#НИЗЬКОВОЛЬТНА ВАХ
solve init
solve vdrain=$VdsL
log outf=VdsL_K280.log
solve name=gate vgate=$Vg0 vstep=$dVg vfinal=$Vg1
log off
output p.quantum band.temp con.band val.band band.par
save outf=LV_K280.str master
#ВИСОКОВОЛЬТНА ВАХ
solve init
solve vdrain=$VdsH
log outf=VdsH_K280.log
solve name=gate vgate=$Vg0 vstep=$dVg vfinal=$Vg1
log off
output p.quantum band.temp con.band val.band band.par
save outf=HV_K280.str master
quit

```

СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Квалі за робота бакалавра

ПРИЛАДОВО-1 ЛОГІЧНЕ МОДЕЛЮВАННЯ
NANOWIREFET'S НА ОСНОВІ ДЕФОРМОВАНОГО
КРЕМНІЮ

Студент гр. EI₂-81_к

Б.С. Черепов

Науковий керівник,
к.ф.-м.н., доцент

І.П. Бурик

Конотоп 2022

Вступ

- Об'єктом дослідження кваліфікаційної роботи є тривимірні структури польових транзисторів на основі деформованого кремнію та їх електричні характеристики.
- Мета роботи полягає у дослідженні впливу масштабування та квантових ефектів у каналах тривимірних транзисторів на основі деформованого кремнію на їх робочі характеристики.
- У результаті роботи було досліджено МЕТОДИКА І РОБОТА В Silvaco TCAD та переваги нових технологій на кременевій основі чипів.

РОЗДІЛ 1 ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР FINFET

1. Структура FinFET-транзистора

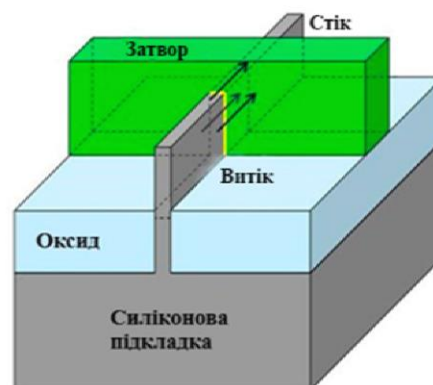


Рис. 1.1. Структура FinFET-транзистора [5]

РОЗДІЛ 1 ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР FINFET

1. Структура FinFET-транзистора

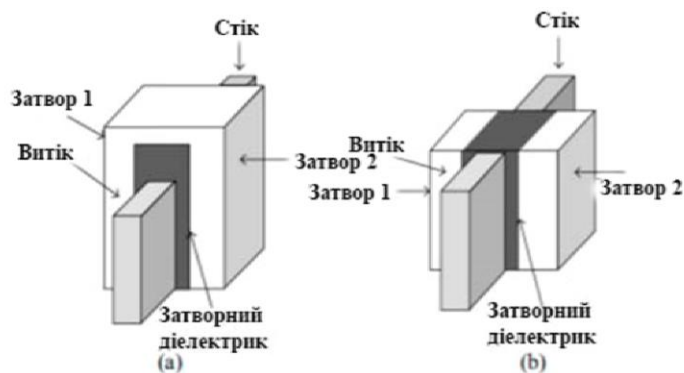


Рис. 1.2. Структури FinFET – SG (a) та IG (b) [17]

РОЗДІЛ 1 ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР FINFET

1.2. Моделювання структури FinFET

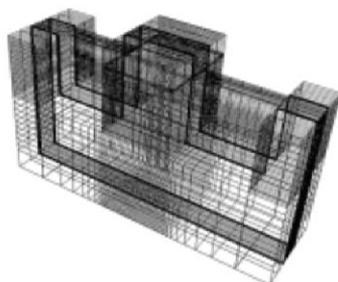
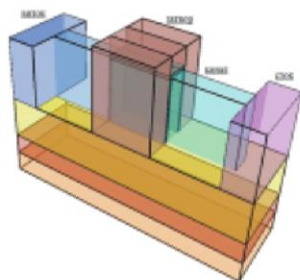


Рис. 1.3. Геометрична модель FinFET пристрою та розрахункова сітка

Табл. 2.1.

Розміри каналу за різних значень ширини

Ширини	Довжина	Висота
10 нм	35 нм	30 нм
7 нм		
5 нм		

Табл. 2.2.

Розміри каналу за різних значень висоти

Ширини	Довжина	Висота
10 нм	35 нм	30 нм
		20 нм
		10 нм

РОЗДІЛ 2 МЕТОДИКА І РОБОТА В SILVACO TCAD

2.1. Формування в Silvaco TCAD

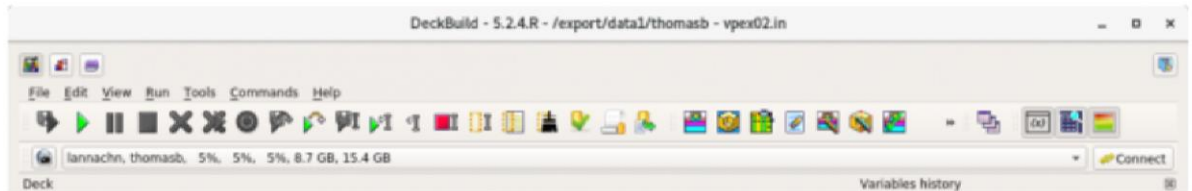


Рис. 2.1. Група модулів в програмі Silvaco TCAD

РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Геометрії польових транзисторів з каналом у вигляді нанодроту

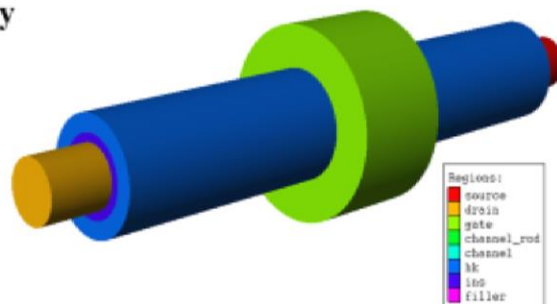


Рис. 3.1. 3D геометрія FinFET з каналом у вигляді нанодроту Si/SiGe

РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.2. Температурні залежності робочих характеристик

Таблиця 3.1

Температурні залежності електричних параметрів польового транзистора з каналом у вигляді нанодроту деформованого кремнія

Параметр	Робоча температура, К						
	280	300	320	340	360	380	400
V_t , мВ	461,81	462,79	463,68	464,50	465,25	465,95	466,59
SS, мВ/декаду	95,01	95,00	94,99	94,98	94,97	94,96	94,95
$I_{off} \times 10^{12}$, А	9,03	8,09	7,27	6,55	5,91	5,34	4,84
$I_{on} \times 10^5$, А	5,05	4,53	4,08	3,67	3,33	3,02	2,75
$(I_{on}/I_{off}) \times 10^{-5}$	56,92	55,99	56,12	56,03	56,34	56,55	56,81

ВИСНОВКИ

1. За допомогою Silvaco TCAD проведено моделювання електричних параметрів короткоканальних транзисторних структур SOI TG FinFET у рамках дифузійно-дрейфової транспортної моделі (D-D) із статистикою Фермі-Дірака.
2. Досліджено електричні параметрів транзисторних структур із товщиною Fin-каналу 10 нм та довжиною затвора 30 нм; показано, що при врахуванні квантового потенціалу Бома (BQP) для D-D спостерігається зменшення впливу короткоканальних ефектів, зокрема фіксується збільшення порогової напруги (V_{Th}), зменшення величин підпорогового розкиду (SS) та зниження бар'єру, що індукується стоком (DIBL).
3. Взнявши за основу технологію FinFET вдається подолати межу звичайної (планарної) транзисторної структури для досягнення підвищеної продуктивності та кращої енергоефективності, наразі можна зазначити велику кількість сучасних процесорів вироблених саме за технологією FinFET