

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**  
**СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ**  
Кафедра електроніки і комп'ютерної техніки

**ПОЯСНЮВАЛЬНА ЗАПИСКА**

ДО КВАЛІФІКАЦІЙНОЇ РОБОТИ БАКАЛАВРА  
НА ТЕМУ:

**ШВИДКОДІЮЧИЙ ПРИСТРІЙ ОБЧИСЛЕННЯ  
КІЛЬКОСТІ ОДИНИЦЬ В ДВІЙКОВИХ  
ПОСЛІДОВНОСТЯХ**

Завідувач кафедрою електроніки  
і комп'ютерної техніки

А.С. Опанасюк

Керівник роботи

І.А. Кулик

Виконав студент гр. ЕС-81

Т.В. Греков

Суми 2022

## КАЛЕНДАРНИЙ ПЛАН

№ п/п	Назва етапів дипломного проекту	Термін виконання етапів роботи	Примітки
1	Огляд літератури та постановка завдання проектування	02.05.22-10.05.22	
2	Постановка завдання проектування	11.05.22-13.05.22	
3	Розробка алгоритму роботи пристрою	14.05.22-17.05.22	
4	Розробка структурної схеми пристрою	18.05.22-22.05.22	
5	Розробка принципової схеми пристрою	23.05.22-28.05.22	
6	Оформлення пояснювальної записки	29.05.22-10.06.22	
7	Представлення роботи керівнику і отримання відзиву	11.06.22	
8	Представлення роботи кафедри для отримання рецензії	13.06.22	

Студент \_\_\_\_\_

Керівник \_\_\_\_\_

"\_\_" \_\_\_\_\_ 202\_\_ р.

## РЕФЕРАТ

Пояснювальна записка містить: 36 сторінок, 22 рисунки, 5 літературних джерел, дві структурні схеми та одну принципову.

В даній кваліфікаційній роботі було спроектовано швидкодіючий пристрій обчислення кількості одиниць в двійкових послідовностях, також було проведено огляд літератури способів підрахунку одниниць.

Пояснювальна записка містить три розділи. Перший розділ містить огляд літератури за вибраною темою проектування. В другому розділі приводиться розробка структурної схеми. У третьому розділі розроблена принципова схеми пристрою.

## ЗМІСТ

<b>ВСТУП.....</b>	<b>5</b>
<b>РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ ТА ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ .....</b>	<b>6</b>
<b>1.1 СПОСОБИ ПІДРАХУВАННЯ ОДИНИЦЬ В ДВІЙКОВИХ ПОСЛІДОВНОСТЯХ .....</b>	<b>6</b>
<b>1.2 ОГЛЯД ОБЛАСТЕЙ ЗАСТОСУВАННЯ СПОСОБІВ ПІДРАХУНКУ В ЕЛЕКТРОННИХ СИСТЕМАХ .....</b>	<b>9</b>
<b>1.3 АПАРАТНЕ ЗАБЕЗПЕЧЕННЯ ДЛЯ ОБЧИСЛЕННЯ КІЛЬКОСТІ ОДИНИЦЬ В ДВІЙКОВИХ КОМБІНАЦІЯХ.....</b>	<b>10</b>
<b>1.4 ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ.....</b>	<b>14</b>
<b>РОЗДІЛ 2 РОЗРОБКА СТРУКТУРОЇ СХЕМИ .....</b>	<b>15</b>
<b>РОЗДІЛ 3 РОЗРОБКА ПРИНЦИПОВОЇ СХЕМИ .....</b>	<b>18</b>
<b>3.1 РОЗРОБКА БЛОКУ РОЗПОДІЛУ РОЗРЯДІВ .....</b>	<b>18</b>
<b>3.2 РОЗРОБКА БЛОКУ ВИЯВЛЕННЯ ОДИНИЦЬ.....</b>	<b>21</b>
<b>3.3 РОЗРОБКА БЛОКУ ВІДНІМАННЯ ДВІЙКОВОГО ЧИСЛА .....</b>	<b>23</b>
<b>3.4 РОЗРОБКА БЛОКУ СКЛАДАННЯ ДВІЙКОВИХ ЧИСЕЛ .....</b>	<b>26</b>
<b>3.5 РОЗРОБКА БЛОКУ ЛІЧИЛЬНИКА ОДИНИЦЬ .....</b>	<b>27</b>
<b>3.6 РОЗРОБКА БЛОКУ КЕРУВАННЯ .....</b>	<b>28</b>
<b>3.7 РОЗРОБКА БЛОКУ ГЕНЕРАТОРА .....</b>	<b>32</b>
<b>ВИСНОВОК .....</b>	<b>34</b>
<b>СПИСОК ЛІТЕРАТУРИ .....</b>	<b>35</b>
<b>ДОДАТОК А.....</b>	<b>36</b>

						<b>ЕліТ 6.171.00.10.376 ПЗ</b>						
<b>Ізм.</b>	<b>Лист</b>	<b>№ документа</b>	<b>Підпис</b>	<b>Дата</b>				<b>Лит.</b>	<b>Лист</b>	<b>Листів</b>		
Розробник	Греков Т.В.				<b>Швидкодіючий пристрій обчислення кількості одиниць в двійкових послідовностях Пояснювальна записка</b>							
Перевірів	Кулик І.А.									4	36	
Рецензія								<b>СумДУ ЕС-81</b>				
Н. Контр.												
Затверд.	Опанасюк А.С.											

## ВСТУП

Одне із важливих операцій при двійковому кодування, стисненні інформації, автоматизації промислових процесів, аналізі дискретної інформації та захисту даних від помилок є необхідність обчислення кількості одиниць в двійкових послідовностях, тому досить часто виникає необхідність розробки таких пристроїв які мусять заловольняти вимоги проектування. Основними вимогами є швидкість, надійність, апаратне забезпечення. Завданням кваліфікаційної роботи бакалавра є розробка швидкодіючого пристрою обчислення кількості одиниць в двійкових послідовностях, тому основним основною вимогою для проектування є швидкість обчислень.

					<i>ЕліТ 6.171.00.10.376</i>	Лист
Ізм.	Лист	№ документа	Підпис	Дата		5





і за її інверсією . Це дозволяє щонайменше вдвічі прискорити процес обчислення значень  $k$ .

У загальному вигляді його можна уявити, що складається з двох каналів, у першому з яких обробляється комбінація  $A$ , а в другому, її інверсія  $\bar{A}$ . Основними блоками такого пристрою є блоки віднімання, блоки кон'юнкції, блок лічильника суми, блок лічильника віднімання та блок комутації, тобто. досить прості у схемотехнічній реалізації блоки.

Розглянутий спосіб підрахунку числа одиниць у двійковій послідовності та його практична реалізація дозволяє суттєво зменшити час виконання зазначеної операції.

Способи застосування арифметичного методу залежить від методу захисту чи стиснення інформації. У разі використання методів перетворення двійкових даних, для яких необхідне точне знання  $k$ , пропонується в моделі процесу підрахунку одиниць виконувати поряд з набором операцій  $A = A \wedge (A - 1)$  та процедуру виду  $\bar{A} = \bar{A} \wedge (\bar{A} - 1)$ . Ця зміна дозволить щонайменше вдвічі зменшити середній час обчислення кількості одиниць. Для методів захисту та стиснення двійкової інформації, умови роботи яких залежать від граничних значень  $k$ , пропонується крім  $\bar{A} = \bar{A} \wedge (\bar{A} - 1)$  ввести ще й обмежувальну змінну  $L$ , яка дорівнюватиме кордонам  $a$  або  $n - a$ . При перевищенні змінної числа одиниць (нулів) значення  $L$  подальший підрахунок одиниць переривається у вигляді те, що далі немає необхідності знати точне значення  $k$ . Таке вдосконалення також, як і попереднє, дозволяє досить істотно скоротити час обчислення  $k$  двійкових одиниць.[2]

Тоді модель процесу обчислення точного числа  $k$  одиниць для бінарної послідовності  $A$  виглядає наступним чином.

Етап 1. Виробляється інверсія  $A$ :

$$\bar{A} = \bar{a}_1 \bar{a}_2 \dots \bar{a}_i \bar{a}_n ,$$

отримуючи цим можливість оперувати як з  $A$  , але і його інверсною формою  $\bar{A}$ .



Етап 2. Якщо  $A = 00\dots 0$ , то процес підрахунку двійкових одиниць завершується, а змінна  $k$  містить потрібне значення.

Етап 3. Якщо  $\bar{A} = 00\dots 0$ , то слід виконати  $k = n - k$ . Далі процес підрахунку двійкових одиниць також завершується, а змінна  $k$  міститиме потрібне значення. В іншому випадку необхідно перейти до наступного етапу.

Етап 4. Виконуються операції над  $A$  та  $\bar{A}$ :

$$A = A \wedge (A - 1) \text{ і } \bar{A} = \bar{A} \wedge (\bar{A} - 1)$$

з подальшим приростом на одиницю змінної  $k = n - k$ . Після цього здійснюється перехід до етапу 2 для контролю рівності нулю  $A$  та  $\bar{A}$ .

Для методів перетворення двійкової інформації, коли точне значення  $k$  необхідно лише до граничних значень  $a$  або  $n - a$  наведена вище модель при зміні етапу 4 доповнюється етапом 5, що дозволяє завершити підрахунок при перевищенні граничного значення  $a$ .

Етап 4. Виконуються операції над  $A$  та  $\bar{A}$ :

$$A = A \wedge (A - 1) \text{ і } \bar{A} = \bar{A} \wedge (\bar{A} - 1) \text{ з подальшим приростом на одиницю } k = k + 1.$$

Етап 5. Якщо виконується  $k \leq L$  де,  $L = a$  то здійснюється перехід до етапу 2. В іншому випадку процес підрахунку завершується і змінній  $k$  присвоюється шаблонне значення  $k = L + 1$ .

Розглянемо ще один дуже цікавий спосіб, який являється найшвидшим з усіх можливих, так як він, використовуючі пошукову таблицю, отримує результат за одну операцію. Платою за таку швидкість являється марнотратство використання об'єма пам'яті ( $2^n$  комірок), що для великих значень  $n$  робить алгоритм практично непригодним для використання.[2]

## 1.2 Огляд областей застосування способів підрахунку в електронних системах

Двійкові набори тобто послідовності з нулів та одиниць є носіями інформації фактично у всіх сучасних та чутливих пристроях. Проте більшість програмістів рідко працюють з інформацією на рівні двійкових наборів. Це,

звичайно природно для чисельних розрахунків у яких програмісти зазвичай мають справу з арифметичними операціями і рідко стосується питань внутрішнього уявлення чисел.[2] З іншого боку в областях не так добре устоялася як чисельні розрахунки деякі важливі операції на даний момент не можна вести обчислювальні пристрої або мови програмування високого рівня. Так у деяких число зустрічаються в комбінаційних обчислювальних класах операцій для ефективного програмування необхідно знання алгоритмів, які працює на рівні двійкових символів.[2]

Однією з поширених і необхідних таких операцій, є обчислення кількості одиниць в двійкових послідовностях. Ця операція є важливою у різних прикладних додатках, перетвореннях інформації, наприклад при стисненні повідомлень, двійковому кодуванні при побудові різних кодів, автоматизації промислових процесів при аналізі дискретної інформації, захисту даних від помилок і генеруванні різноманітних комбінаторних конфігурацій. Так, знання числа  $k$  одиниць дозволяє формувати відомі коди Бергера, Левенштейна, рівноважні коди; кількість  $k$  одиниць у дискретних послідовностях дозволяє будувати висновки про стан керованих об'єктів у системах автоматизації; обчислення числа  $k$  двійкових одиниць необхідне проведення біномного стиснення двійкових комбінацій. У багатьох випадках обчислення  $k$  одиниць потрібно проводити з високою швидкістю при мінімумі апаратно-програмних витрат. Тому приділяють достатньо велику увагу розробці швидкодіючих та малозатратних способів підрахунку одиниць та електронних пристроїв, які їх реалізують.

### **1.3 Апаратне забезпечення для обчислення кількості одиниць в двійкових комбінаціях**

Апаратне забезпечення – це набір компонентів що входять до складу електронних обчислювальних пристроїв. До складу апаратного забезпечення входять логічні, арифметичні, цифрові та аналогові електронні схеми. Такі пристрої дозволяють забезпечити як нормальне функціонування будь-яких систем, так і основні функції, що їх розширюють. Розглянемо компоненти які будемо використовувати при розробці швидкодіючого пристрою обчислення кількості одиниць в двійкових послідовностях.

## Кон'юнктор

Кон'юнктор – це логічний елемент який реалізує логічну функцію І (логічну операцію множення), зазвичай має від двох до восьми входів та один вихід. Вихідним сигналом 1 кон'юктора являється лише тоді коли на всі входи також подається сигнал 1. [1]

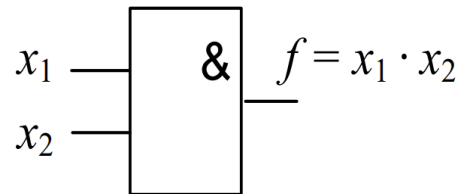


Рисунок 1.1 – Графічне зображення кон'юктора

Побудуємо таблицю істинності станів кон'юктора

Таблиця 1.1 – Таблиця істинності кон'юктора

Входи		Вихід
$X_1$	$X_2$	$f$
0	0	0
0	1	0
1	0	0
1	1	1

## Диз'юнктор

Диз'юнктор - це логічний елемент який реалізує логічну функцію АБО (логічну операцію додавання), зазвичай має від двох до восьми входів та один вихід. Вихідним сигналом 0 диз'юктора являється лише тоді коли на всі входи також подається сигнал 0. На рисунку 1.2 показана графічне зображення диз'юктора на 2 входи. [1]

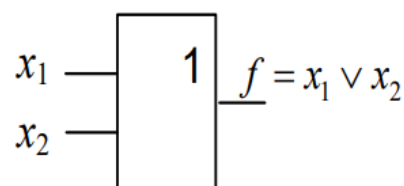


Рисунок 1.2 – Графічне зображення диз'юктора

Побудуємо таблицю істинності станів диз'юнктора

Таблиця 1.2 – Таблиця істинності диз'юнктора

Входи		Вихід
$X_1$	$X_2$	$f$
0	0	0
0	1	1
1	0	1
1	1	1

### Дешифратор

Дешифратором – це цифровий пристрій, який має декілька входів та декілька виходів. При різних випадках входних двійкових сигналів, вихідним може бути лише один. Дешифратор являється одним із основних вузлів автоматичного керування, OEM, систем зв'язку та комунікацій. На рисунку 1.3 показано графічне зображення тригера. [1]

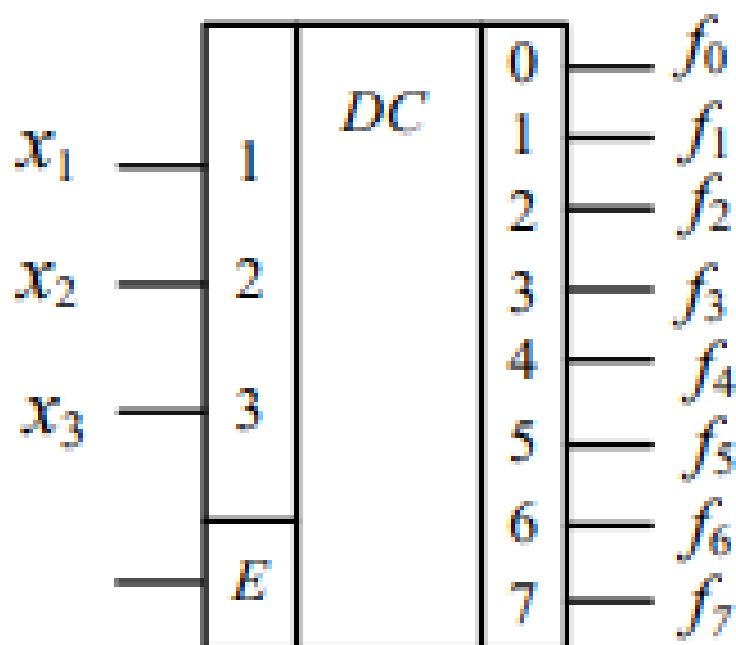


Рисунок 1.3 – Графічне зображення дешифратора

Таблиця 1.3 – Таблиця істиності дешифратора

Входи			Вихід
$X_1$	$X_2$	$X_3$	1
0	0	0	$f_0$
0	0	1	$f_1$
0	1	0	$f_2$
0	1	1	$f_3$
1	0	0	$f_4$
1	0	1	$f_5$
1	1	0	$f_6$
1	1	1	$f_7$

Тригер – це цифровий пристрій з який має здатність зберігати сигнали, має два вихідні сигнали - прямий та інверсний, які працюють одночасно. Особливістю тригерів є те, що після переходу в інший стан він залишається в цьому стані після зникнення вхідного сигналу. Тригер відрізняється від комбінаційної схеми, в якій сигнал на виході зберігається до тих пір, поки є сигнал на вході. Тригери є особливими елементами цифрових схем і є основою, на якій будуються всі цифрові технології. Вони невіддільні від більш-менш складних цифрових схем, оскільки на основі тригерів побудовані регістри, лічильники, ОЗП, суматори та багато інших подібних цифрових пристроїв. Кожен стан тригера відповідає двійковому сигналу на його прямому і зворотному виходах: один стан відповідає 1 на прямому виході і нулю на зворотному виході, нульовий стан тригера відповідає зворотному сигнал - прямий і зворотний 0 на прямому виході 1 на зворотному виході. На рисунку 1.4 показана графічне зображення тригера на 2 входи. [1]

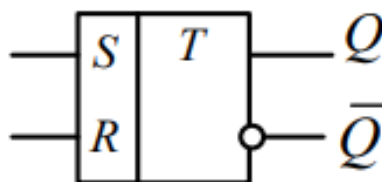


Рисунок 1.4 – Графічне зображення тригера

Регістр

Регістр – це функціональний пристрій, який призначений для

Ізм.	Лист	№ документа	Підпис	Дата

тимчасового зберігання, перетворення та передачі інформації. Регістр складається з окремих тригерів, кожен з яких служить для запису та зберігання одного розряду двійкового числа. За призначенням реєстри поділяють на нагромаджувальні, зсуву і перетворення. [1]

#### 1.4 Постановка завдання проектування

З огляду технічної літератури та використаних інформаційних джерел стосовно тематики кваліфікаційної роботи бакалавра «Швидкодіючий пристрій обчислення кількості одиниць в двійкових послідовностях» можна зробити висновок, що актуальною є задача підвищення швидкості підрахунку кількості двійкових одиниць для різноманітних електронних систем керування та збору даних, кодування та передачі інформації тощо. Робота проектного швидкодіючого пристрою повинна бути заснована на достатньо простих операціях:

- порозрядного зрушення;
- віднімання двійкової одиниці;
- логічного множення;
- двійкового підсумовування;
- розбиття оброблюваних двійкових послідовностей.

Метою даної кваліфікаційної роботи бакалавра є розробка пристрою обчислення кількості двійкових одиниць, які містяться в інформаційних послідовностях, що характеризується зменшеними часовими витратами при функціонуванні.

Технічні вимоги до проектного пристрою обчислення кількості одиниць формулюються наступним чином:

- довжина інформаційних послідовностей, що оброблюються, становить не менше 16 двійкових розрядів;
  - максимальна кількість машинних тактів для отримання кількості одиниць не повинна перевищувати 8 тактів;
  - тривалість одного машинного такту не повинна бути більше 0,1 мкс;
  - застосування швидкодіючої елементної бази для практичної реалізації пристрою;
- споживана потужність проектного пристрою обчислення кількості одиниць становить не більше 2 Вт.

## РОЗДІЛ 2 РОЗРОБКА СТРУКТУРОЇ СХЕМИ

Поставленим завданням проектування є розробка швидкодіючого пристрою обчислення кількості одиниць в двійкових послідовностях, тому розглянемо алгянемо алгоритм підрахунку більш деталіно.

Розробку структурної схеми слід почати з вибору алгоритму обчислення кількості одиниць в двійкових послідовностях. Розглянемо традиційні але модифікований алгоритм підрахунку який полягає в послідовному перегляді кожного двійкового  $n$  розряду  $A_j = n_1n_2n_3n_4\dots n_i\dots n_a$ ,  $A_j$  – двійкова комбінація, якщо наприклад  $n_1 = 1$ , то змінна яка відповідальна за підрахунок одиниць задається відповідне збільшення, розробимо спосіб одночасного паралельного підрахунку одиниць у різних складових частинах інформаційної двійкової послідовності, на які вона розбивається попередньо перед початком обчислення та розробимо структурну схему

Для того щоб розбити вхідну двійкову послідовність на два паралейні процеси підрахунку тому першим створимо блок розподільник розрядів, який буде розділяти вхідну двійкову послідовність на 2 канали по 8 розрядів. Далі потрібно обробити 2 канали, а саме почергово виявляти наявність одиниць. Отже створемо блок виявлення одиниць 1 для першого каналу та блок лічильник одиниць 2 для другого каналу. Для підрахунку кількості одиниць в кожному каналі створимо блок лічильник одиниць 1 та Блок лічильник одиниць 2. Для підсумовування кількості одиниць з двох каналів створимо блок додавання одиниць. Але створені блоки не зможуть коректно працювати один з одним самі по собі, тому потрібно створити блок керування який буде посилати сигнали дозволу іншим блокам. Блок керування не може працювати самостійно тому створюємо блок генератора який буде посилати імпульсні сигнали на блок керування. Об'єднавши всі блоки отримаємо структурну схему пристрою. На рисунку 2.1 зображено структурну схему пристрою.

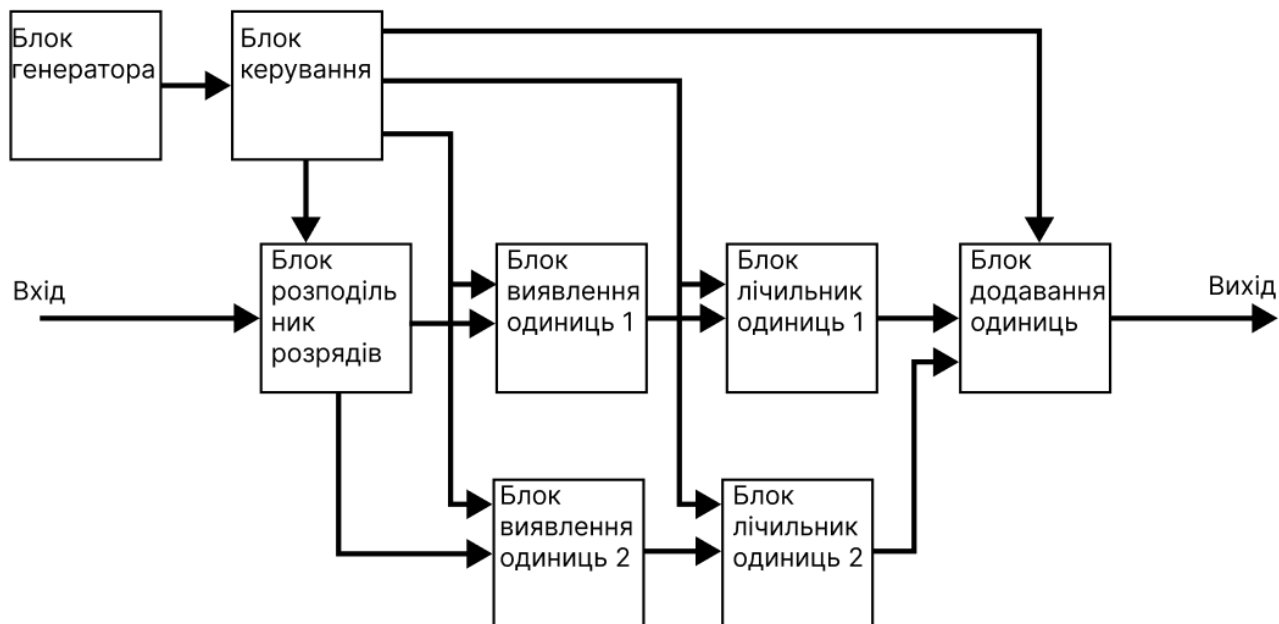


Рисунок 2.1 – Структурна схема пристрою

Розглянувши вищезгаданий спосіб та зіставивши його параметри з постановкою завдання проектування можемо зробити висновок що такий пристрій буде частково відповідати потрібним параметрам, тому розглянемо інший більш цікавий спосіб який використовує алгоритм обчислення процедури виду  $A = A \wedge (A - 1)$ , де  $A$  – двійкова комбінація,  $\wedge$  - логічна операція І, яка оперує паралейно з кожними двома відповідними розрядами пари аргументів  $A$  та  $(A - 1)$ . Такий спосіб обчислення кількості двійкових одиниць використовується у пристроях які здатні проводити арифметичні та логічні операції над розрядами двійкових послідовностей. Тож розберемо алгоритм роботи та побудуємо структурну схему пристрою.

Знаючи що на вхід пристрою буде приходити двійкова послідовність, а згідно з завданням проектування пристрії повинен обробляти не менше 16-ти двійкових розрядів тому спочаку потрібно розбити вхідний сигнал на розряди. Отже перший створмо блок розподілу розрядів який буде порозрядно зрушувати вхідний сигнал на задану кількість розрядів. Далі отриманий розподілений на розряди двійкових код потрібно перевірити на наявність одиниць які будуть підраховуватись. Отже наступним буде блок виявлення одиниць. Згідно алгоритмом підрахунку з ориманим двійковим набором порібно зробити деякі обчислення, а саме зменшення його на одиницю  $(A - 1)$  та складання його з вихідним числом  $A \wedge (A - 1)$ . Отже наступними будуть блок

Ізм.	Лист	№ документа	Підпис	Дата



віднімання та блок складання двійкових наборів. Для того щоб підрахувати кількість одиниць в заданому наборі потрібно підрахувати кількість обчислювальних операцій, тому наступним створимо блок блоку підрахунку одиниць. Але створені блоки не зможуть коректно працювати один з одним самі по собі, тому потрібно створити блок керування який буде посылати сигнали дозволу іншим блокам. Блок керування не може працювати самостійно тому створюємо блок генератора який буде посылати імпульсні сигнали на блок керування. Об'єднавши всі блоки отримаємо структурну схему пристрою. На рисунку 2.1 зображено структурну схему пристрою.

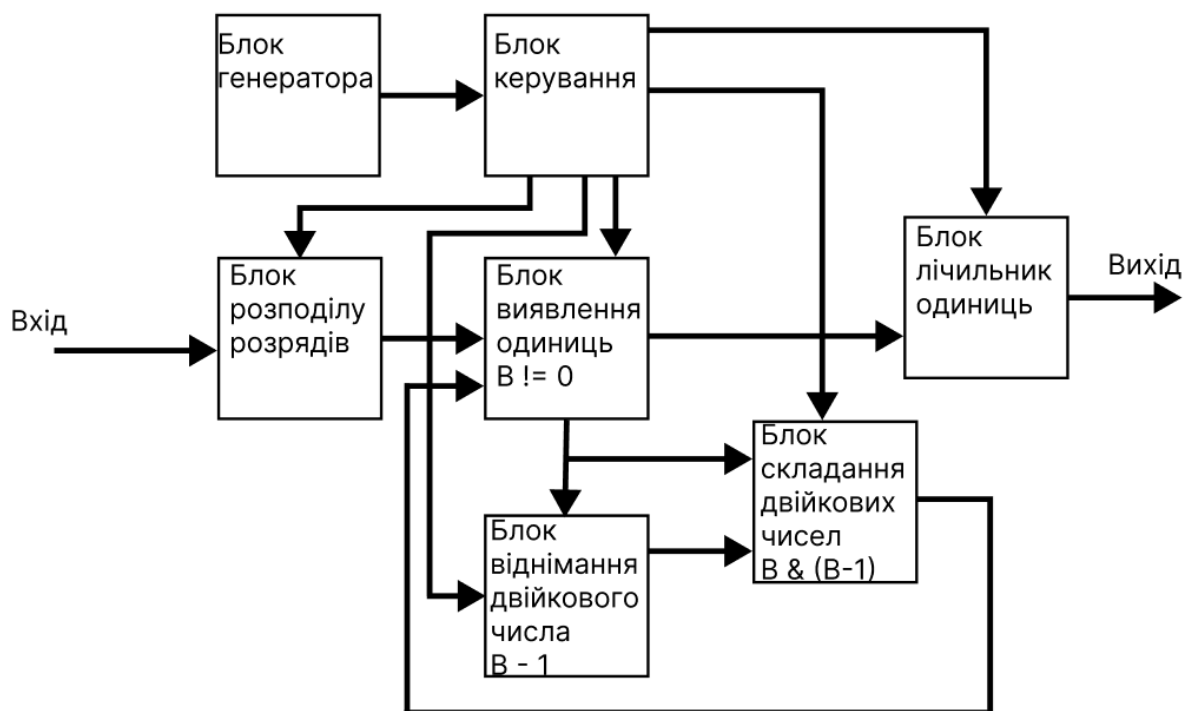


Рисунок 2.2 – Структурна схема пристрою

Розглянувши вищезгаданий спосіб та зіставивши його параметри з постановкою завдання проектування можемо зробити висновок що такий пристрій буде відповідати потрібним параметрам.

## РОЗДІЛ 3 РОЗРОБКА ПРИНЦИПОВОЇ СХЕМИ

При розробці принципової схеми слід враховувати апаратне забезпечення яке було розглянуто в першому розділі, тож його й будемо використовувати. Принципові схеми виконують дві основні функції:

Показують, як відтворити схему. Читаючи символи і слідуючи їх взаємним з'єднанням, за принциповою схемою можна відтворити цілий пристрій.

Дають загальну інформацію про принципи функціонування та склад схеми, що, безумовно, допомагає зрозуміти принципи роботи пристрою. Ці дані дуже корисні при ремонті або доопрацюванні пристрою.

### 3.1 Розробка блоку розподілу розрядів

Для реалізації блоку розподілу розрядів використаємо нагромаджувальні регістри які призначені для короткочасного зберігання цифрового сигналу, а саме регістр із парафазним входом.

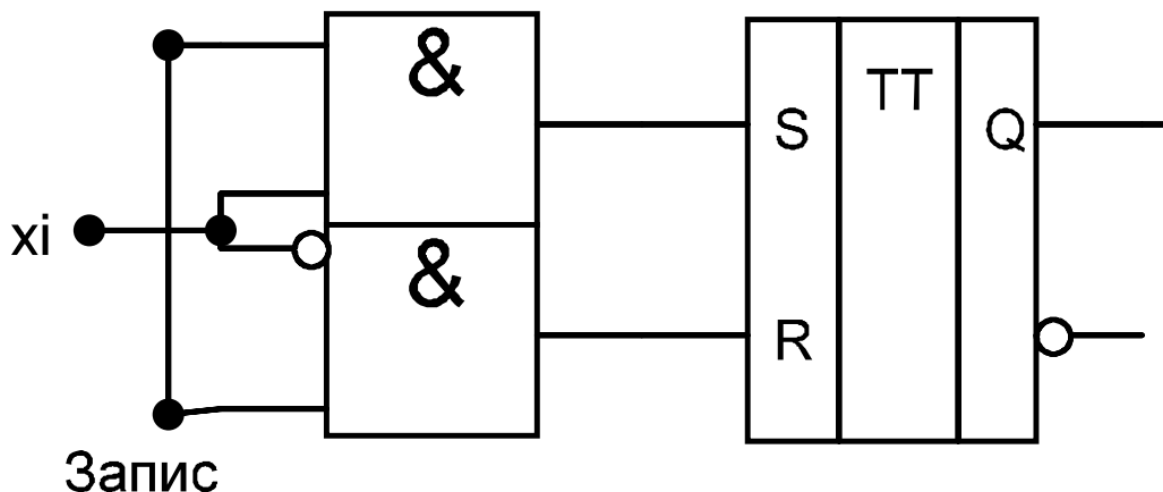


Рисунок 3.1 – Графічне зображення одного розряду регістру з парафазним входом

У цьому регістрі перед кожним тригером установлені дві двовходові схеми І, одна з яких має інверсний вхід. Їх виходи з'єднані з установлювальними входами тригера в 1 і 0. Тому, коли надходить сигнал «Запис» вхідна інформація записується до тригерів регістра першого ступеня, а

потім, після зникнення синхросигналу, переписується до допоміжного тригера і залишається там.

Для розподілу вхідної послідовності на 16 розрядів знадобиться 16 таких блоків. Керування запису кожного розряду буде здійснюватись за допомогою блоку керування.

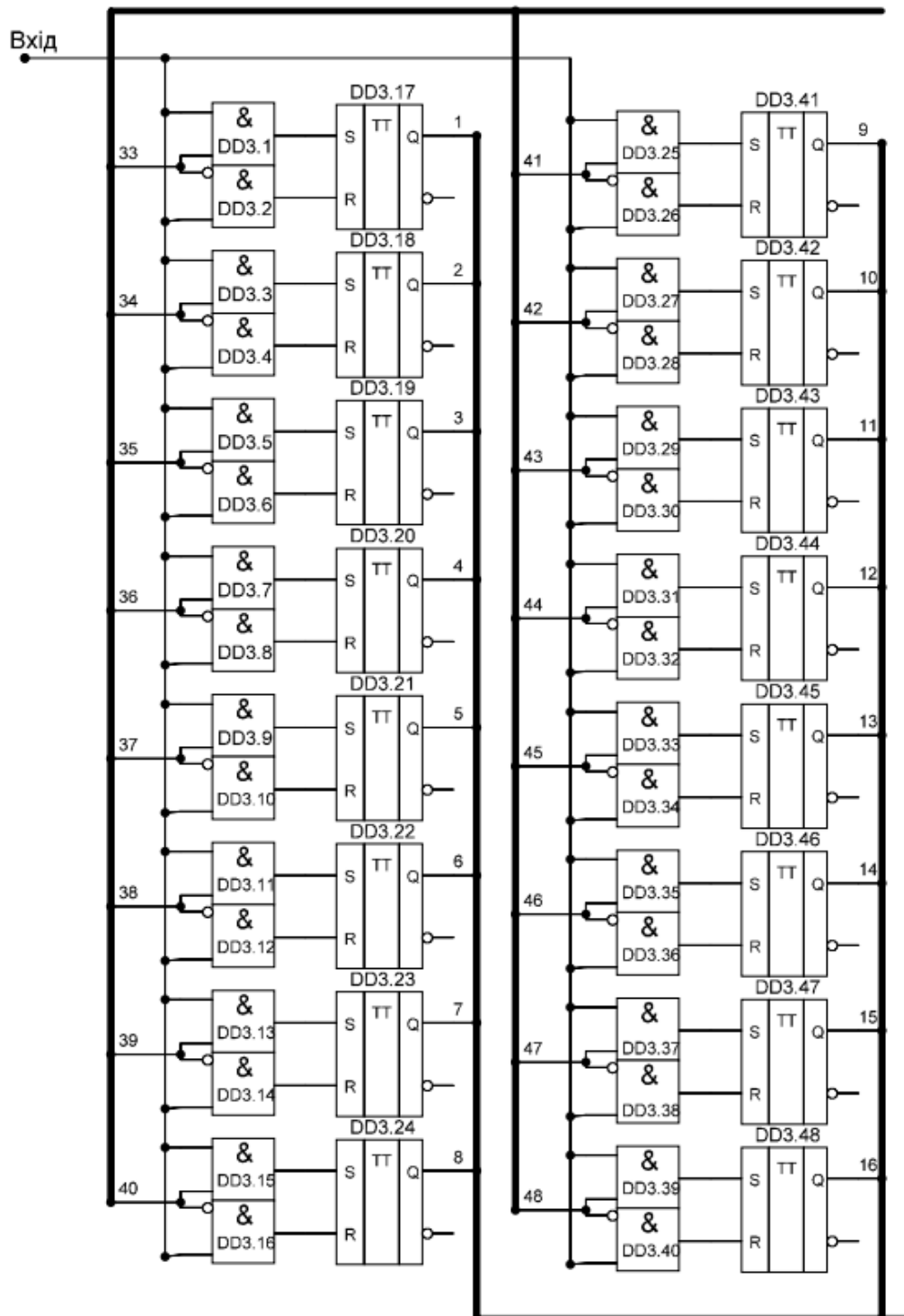


Рисунок 3.2 – Принципова схема регістру з парафазним входом блоку розподілу розрядів

Ізм.	Лист	№ документа	Підпис	Дата

Для дозволу зчитування даних з регістру додатково встановимо двовходові схеми І. В кожній схемі один з входів використовуватиметься для дозволу зчитування від блоку керування, а другий для сигналу відповідного розряду.

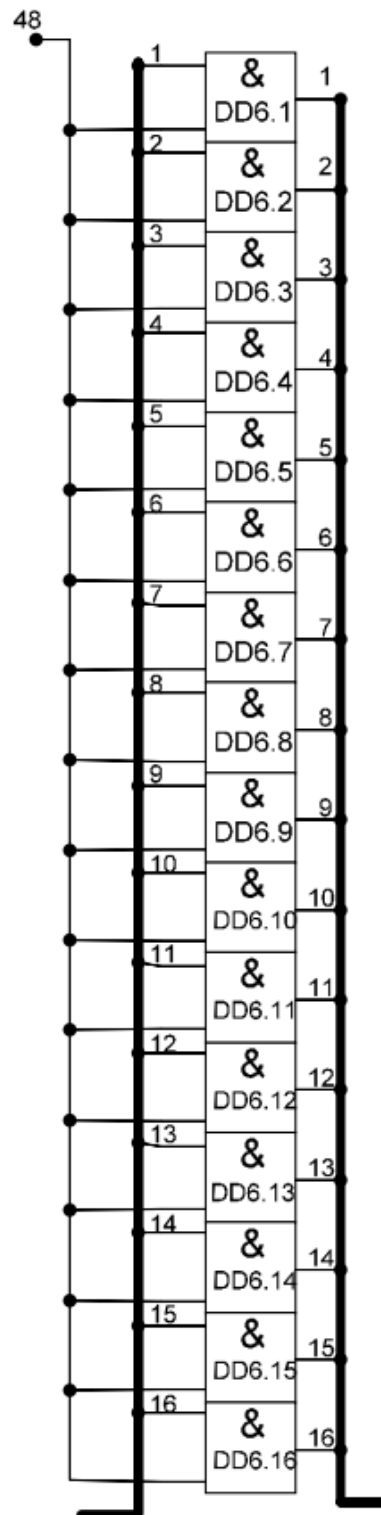


Рисунок 3.3 – Принципова схема дозволу зчитування даних з регістру блоку розподілу розрядів

Ізм.	Лист	№ документа	Підпис	Дата

ЕліТ 6.171.00.10.376

Лист

20

### 3.2 Розробка блоку виявлення одиниць

Для розробки блоку виявлення одиниць використаємо чотириходові схеми АБО, які будуть об'єднані за формулою:  $F = (x_0 + x_1 + x_2 + x_3) + (x_4 + x_5 + x_6 + x_7) + (x_8 + x_9 + x_{10} + x_{11}) + (x_{12} + x_{13} + x_{14} + x_{15})$

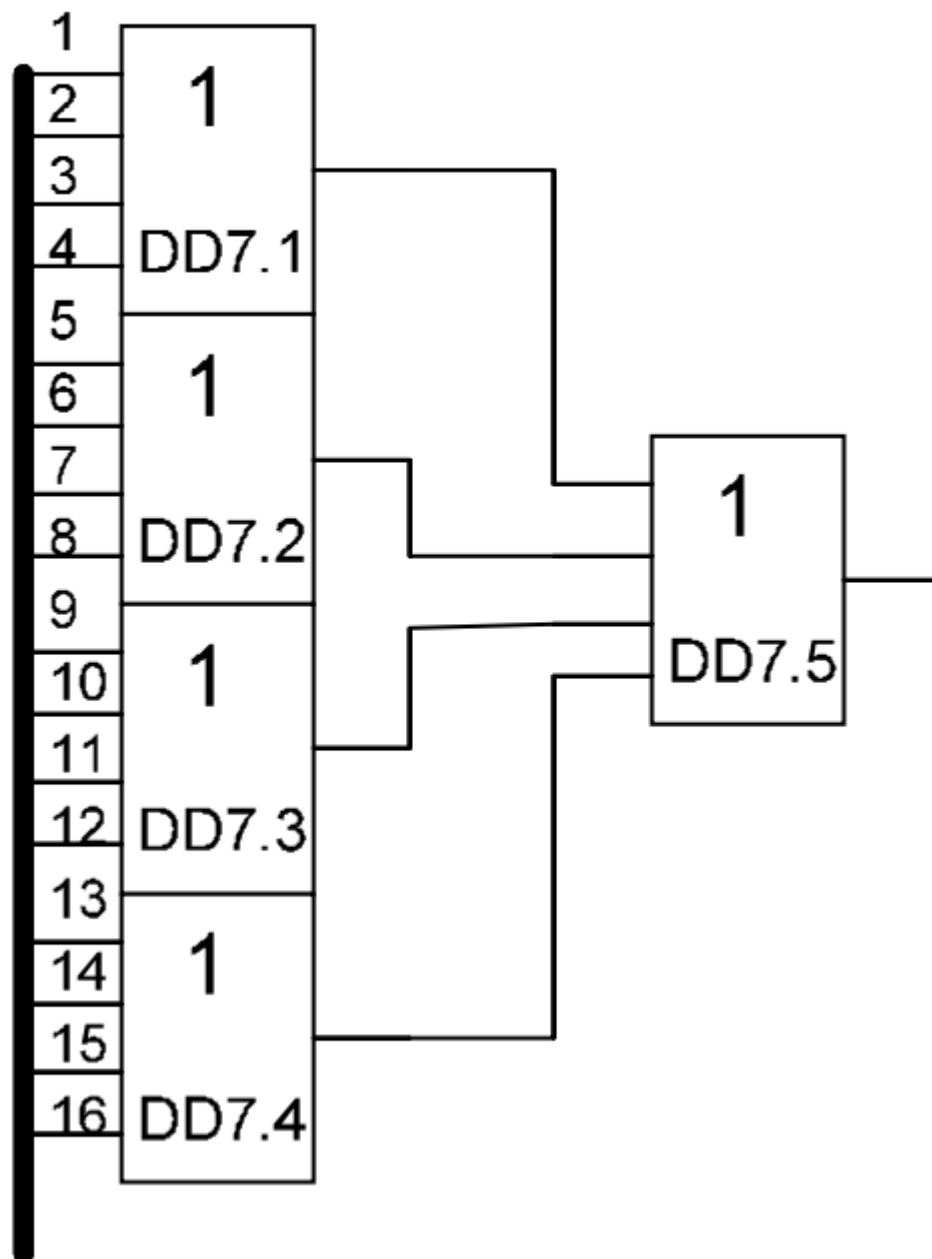


Рисунок 3.4 – Принципова схема виявлення одиниць блоку виявлення одиниць

Якщо хочаб на одному з входів  $x$  з'явиться значення 1 то на виході  $F$  теж буде значення 1.

Для проведення необхідних обчислень потрібно тимчасово зберігати вхідні розряди тому аналогічно попередньому розділу створимо регістр із парафазним входом.

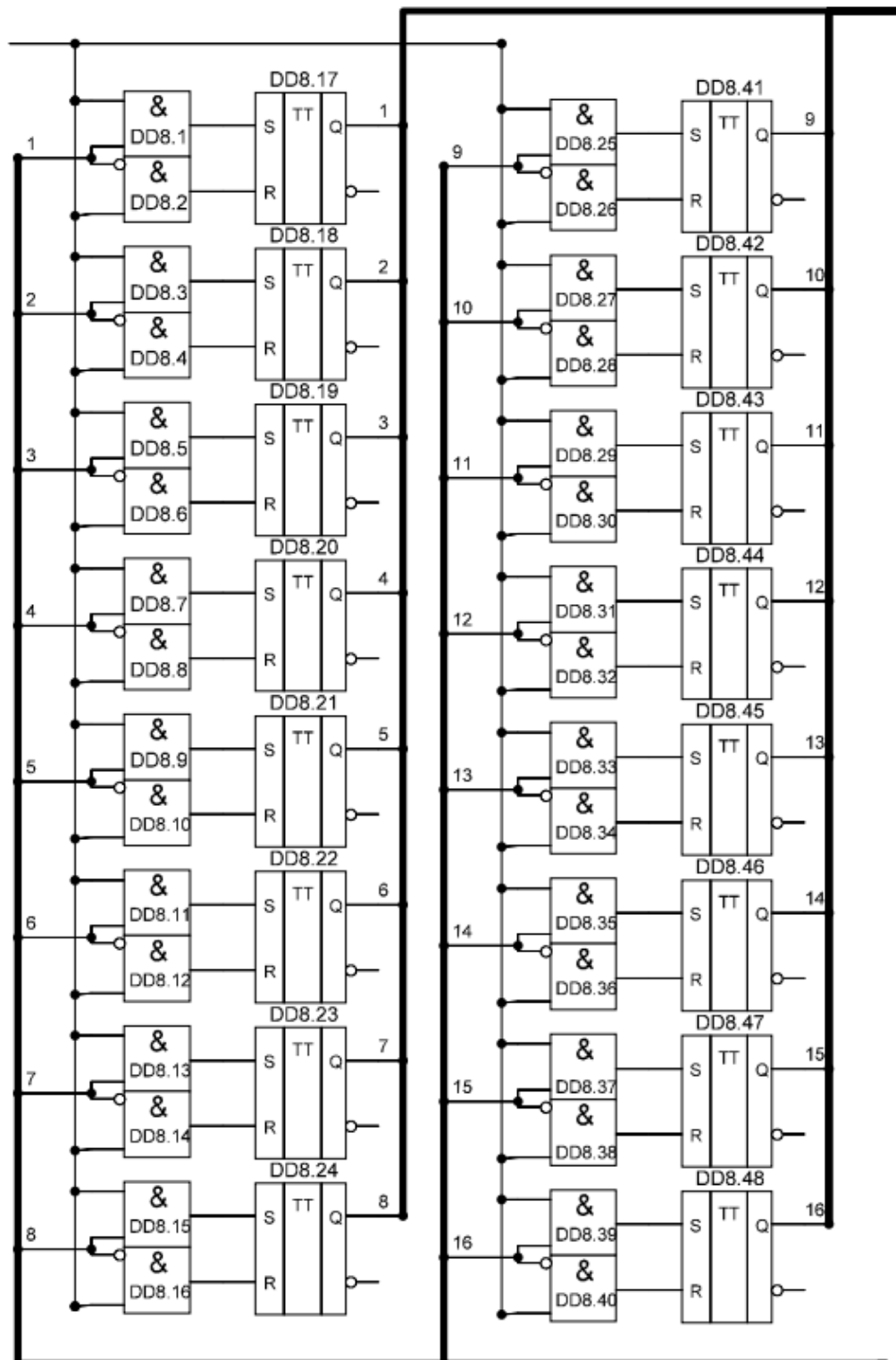


Рисунок 3.5 – Принципова схема регістру з парафазним входом блоку розподілу розрядів

Ізм.	Лист	№ документа	Підпис	Дата

### 3.3 Розробка блоку віднімання двійкового числа

Для реалізації блоку віднімання двійкових чисел використаємо суматори

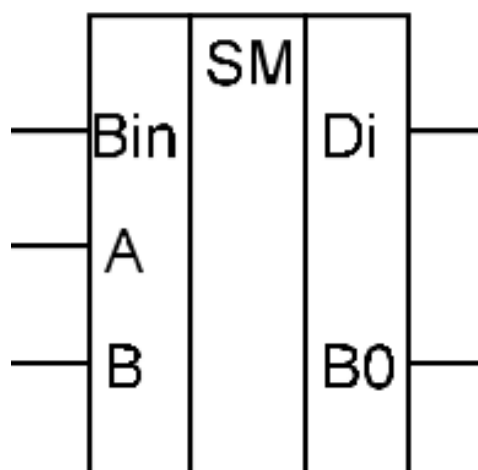


Рисунок 3.6 – Графічне зображення суматора

В віднімається з А (А і В - вхідні сигнали), результат (різниця) з'являється на виході Di. Якщо більше А (як у рядку 2 таблиці), потрібно зайняти 1 в сусідньому старшому розряді. Сигнал займа вказаний у стовпці B0

При відніманні багаторозрядних двійкових чисел потрібно брати до уваги займ "одиниць" у більш старших розрядах. Таблиця істинності, що містить різні комбінації, які можуть виникнути при відніманні двійкових чисел приведено нижче.

Створимо таблицю істинності станів суматора

Таблиця 3.1 – Таблиця істинності суматора

Входи			Виходи	
			Зізняця	Займ
A	B	Bin	Di	B0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Розглянемо алгоритм віднімання більш детально на прикладі віднімання десяткового числа 6 з десяткового числа 10 (у двійковій системі: 1010 – 0110). Приклад вирішується спочатку з використанням десяткових чисел, потім – двійкових чисел і, нарешті, з використанням спеціального математичного прийому. Спочатку двійкове віднімається записується у формі порозрядного доповнення до 1 (усюди 1 замінюється на 0 і 0 - на 1) і потім складається зі зменшуваним. Доповненням до 1 двійкового числа 0110 є число 1001. При додаванні виходить проміжний результат 10011. Далі останній перенесення вліво ми продовжуємо по круговій "траєкторії" і завершуємо його в розряді одиниць. Таке перенесення називається циклічним (або круговим) перенесенням. Складаючи циклічне перенесення із залишком проміжної суми, отримуємо різницю вихідних двійкових чисел 1010 і 0110. Відповідь: 0100 (десятькове число 4). [3]

					<i>ЕліТ 6.171.00.10.376</i>	<i>Лист</i>
<i>Ізм.</i>	<i>Лист</i>	<i>№ документа</i>	<i>Підпис</i>	<i>Дата</i>		24



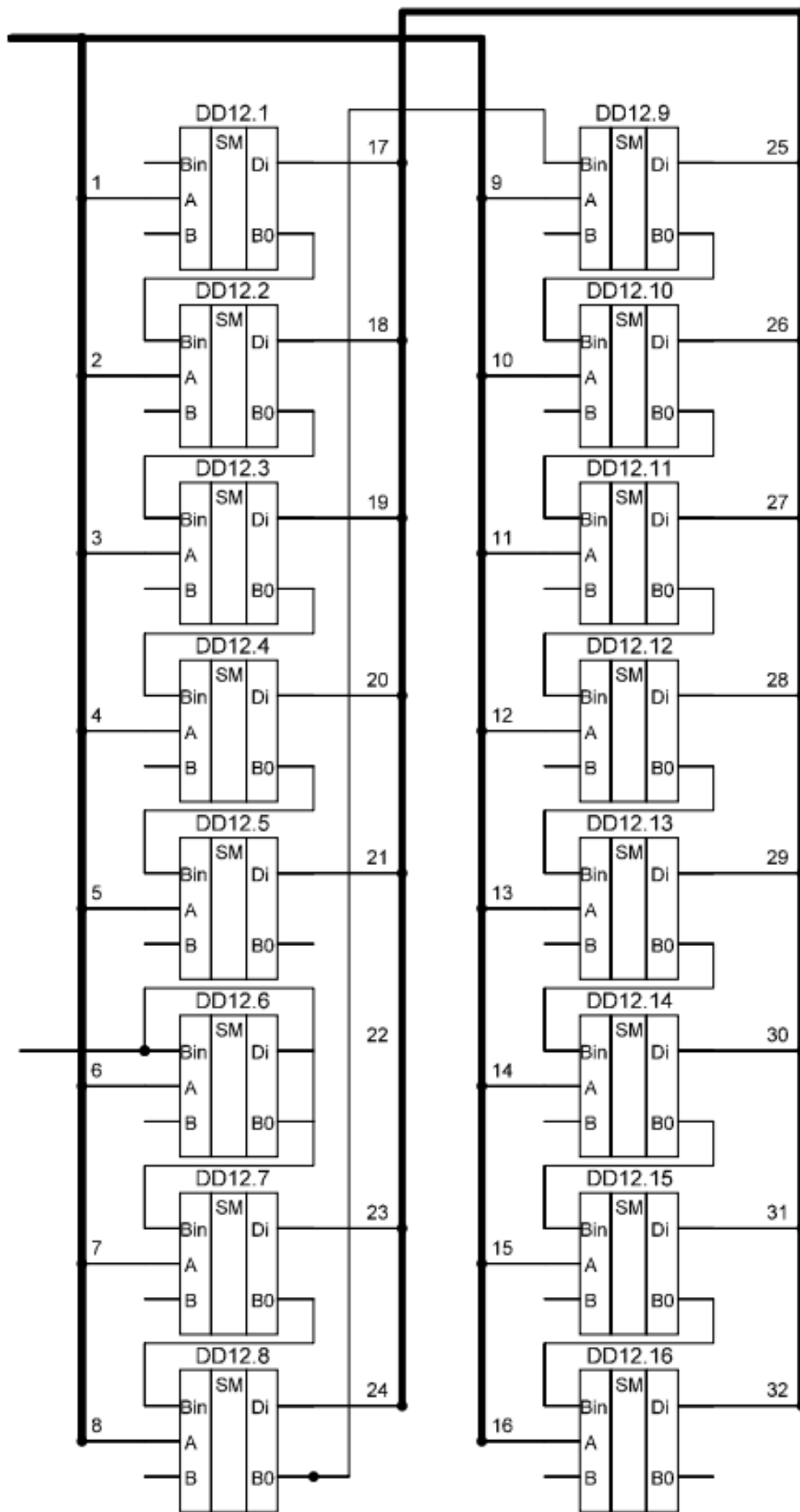


Рисунок 3.7 – Принципова схема блоку віднімання одиниць

Ізм.	Лист	№ документа	Підпис	Дата

### 3.4 Розробка блоку складання двійкових чисел

Для блоку складання двійкових чисел використаємо трьохходові схеми І. Перший вхід біде використовуватись як дозвіл складання від блоку керування, другий для входу основних розрядів з блоку розподілу розрядів, а третій вхід будуть входити розряди з блоку віднімання двійкових чисел. Припідключенні слід враховувати номери розрядів які будуть складатись один з одним.

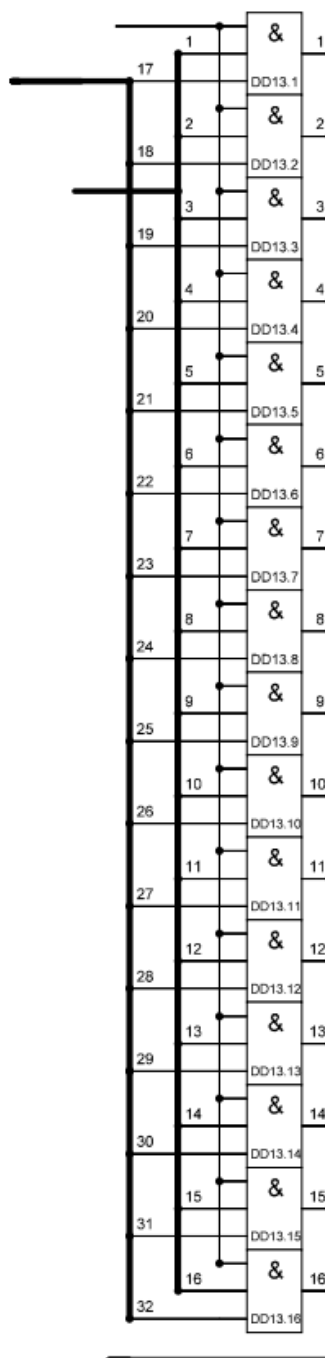


Рисунок 3.8 – Принципова схема блоку складання двійкових чисел

Ізм.	Лист	№ документа	Підпис	Дата

### 3.5 Розробка блоку лічильника одиниць

Для побудови блоку лічильника одиниць будемо використовувати Т-тригери. Нарисунку 3.9 показана графічне зображення Т-тригера

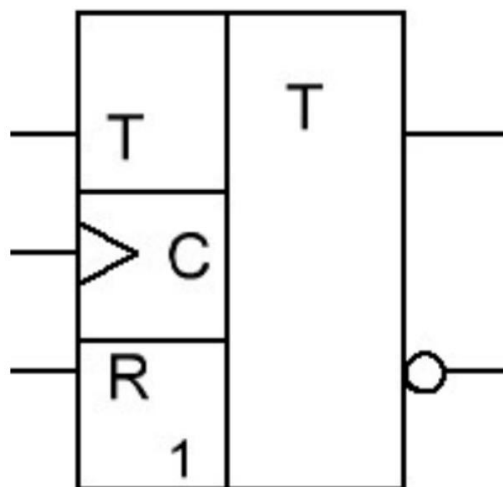


Рисунок 3.9 – Графічне зображення Т-тригера

Для того щоб тригер працював в режимі лічильника на входи Т потрібно подати сигнал 1, а на входи С імпульси. Інверсні виходи послідовно під'єднуємо на входи С. Щоб розрахувати потрібну кількість тригерів потрібно взяти  $\text{Log}_2(n)$ , де  $n$  – максимальна кількість підрахунку, в нашому випадку 16 розрядів тож  $n = 16$ , підставивши значення отримаємо  $\text{Log}_2(16) = 4$ , саме стільки має бути тригерів. Вихідний сигнал отримаємо з прямих виходів тригерів у вигляді чотирирозрядної двійкової комбінації.

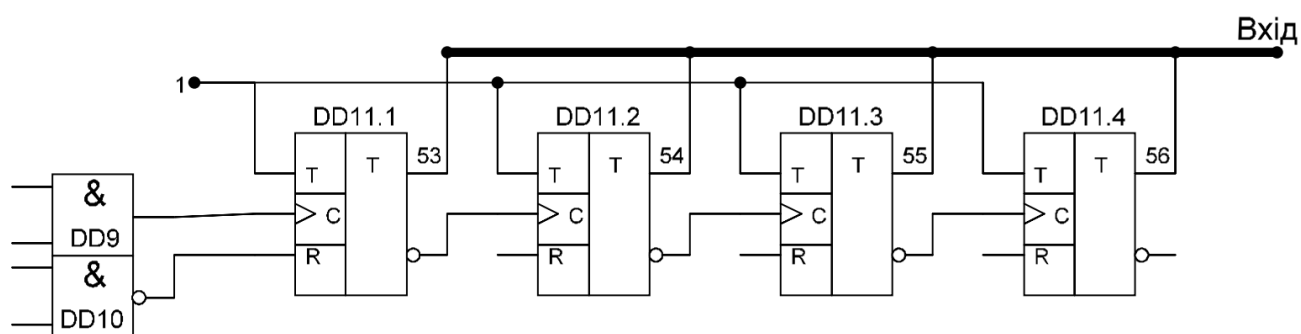


Рисунок 3.10 – Принципова схема лічильника

На Входах першого розряду тригера додатково встановимо двовходові логічні елементи І для дозволу рахування та збросу лічильника.

Ізм.	Лист	№ документа	Підпис	Дата

### 3.6 Розробка блоку керування

Функцією блоку керування є керування іншими блоками пристрою, а саме увімкнення та вимкнення їх коли це потрібно. Для керування блоком розподілу розрядів для запису 16 розрядів знадобиться 16 каналів керування, тому для цього створимо дешифратор на 16 вихідних сигналів для їх охоплення знадобиться чотирозрядні вхідні двійков комбінації. Для обґрунтування роботи дешифратора створимо таблицю яка показуватиме стани виходу дешифратора в залежності від входів. Перша колонка позначатиме номер двійкової комбінації, друга вихідну двійкову комбінацію, а третя номер сигналу виходу дешифратора.

Таблиця 3.1 – Таблиця істиності суматора

	Вхідна двійкова комбінація	Номер виходу дешифратора
№	a1a2a3a4	xi
1	0000	x1
2	0001	x2
3	0010	x3
4	0011	x4
5	0100	x5
6	0101	x6
7	0110	x7
8	0111	x8
9	1000	x9
10	1001	x10
11	1010	x11
12	1011	x12
13	1100	x13
14	1101	x14
15	1110	x15
16	1111	x16

За даними таблиці запишемо форми логічних функцій:

$$x1 = \overline{a1} \overline{a2} \overline{a3} \overline{a4}$$

$$x2 = \overline{a1} \overline{a2} \overline{a3} a4$$

$$x_3 = \overline{a_1} \overline{a_2} a_3 \overline{a_4}$$

$$x_4 = \overline{a_1} \overline{a_2} a_3 a_4$$

$$x_5 = \overline{a_1} a_2 \overline{a_3} \overline{a_4}$$

$$x_6 = \overline{a_1} a_2 \overline{a_3} a_4$$

$$x_7 = \overline{a_1} a_2 a_3 \overline{a_4}$$

$$x_8 = \overline{a_1} a_2 a_3 a_4$$

$$x_9 = a_1 \overline{a_2} \overline{a_3} \overline{a_4}$$

$$x_{10} = a_1 \overline{a_2} \overline{a_3} a_4$$

$$x_{11} = a_1 \overline{a_2} a_3 \overline{a_4}$$

$$x_{12} = a_1 \overline{a_2} a_3 a_4$$

$$x_{13} = a_1 a_2 \overline{a_3} \overline{a_4}$$

$$x_{14} = a_1 a_2 \overline{a_3} a_4$$

$$x_{15} = a_1 a_2 a_3 \overline{a_4}$$

$$x_{16} = a_1 a_2 a_3 a_4$$

Створений дешифратор 4 на 16 має вигляд:

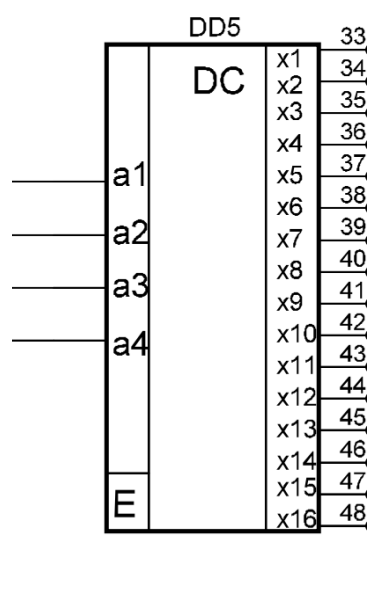


Рисунок 3.11 – Графічне зображення дешифратора 4 на 16

Вхідний сигнал для дешифратора реалізуємо з допомогою лічильника аналогічного розділу 3.5. який отримуватиме сигнал на вхід з блоку генератора.

Для керування іншими блоками створемо ще один дешифратор на 2 входи та 4 виходи. Перший вихід призначемо для входу С лічильника блоку лічильника одиниць, другий для увімкнення блоку віднімання, третій для дозволу складання блоку складання двійкових чисел... Для обґрунтування роботи дешифратора створимо таблицю яка показуватиме стани виходу дешифратора в залежності від входів. Перша колонка позначатиме номер двійкової комбінації, друга вихідну двійкову комбінацію, а третя номер сигналу виходу.

Таблиця 3.2 – Таблиця істиності суматора

	Вхідна двійкова комбінація	Номер виходу дешифратора
№	a1a2a3a4	xi
1	0000	x1
2	0001	x2
3	0010	x3
4	0011	x4

За даними таблиці запишемо форми логічних функцій:

$$x1 = \overline{a1} \overline{a2}$$

$$x2 = \overline{a1} a2$$

$$x3 = a1 \overline{a2}$$

$$x4 = a1 a2$$

Створений дешифратор 2 на 4 має вигляд:

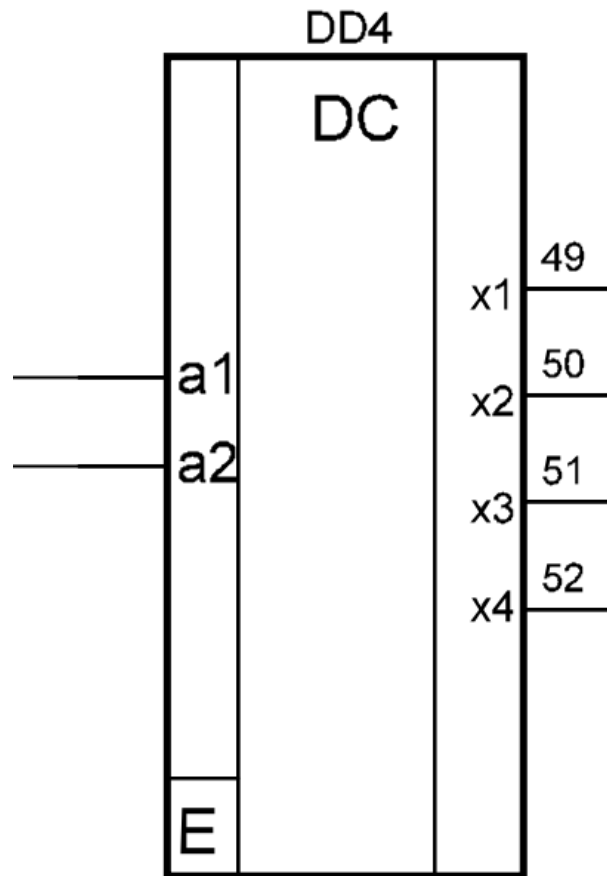


Рисунок 3.12 – Графічне зображення дешифратора

Вхідний сигнал для дешифратора реалізуємо з допомогою лічильника, за формулою  $\text{Log}_2(4) = 2$  знайдемо потрібну кількість тригерів для охоплення всіх комбінацій. Для того щоб тригер працював в режимі лічильника на входи Т потрібно подати сигнал 1, а на входи С імпульси. Інверсні виходи послідовно під'єднуємо на входи С. Вихідний сигнал отримуємо з прямих виходів тригерів у вигляді чотирирозрядної двійкової комбінації. На рисунку 3.13 зображено принципову схему блоку керування.

Ізм.	Лист	№ документа	Підпис	Дата

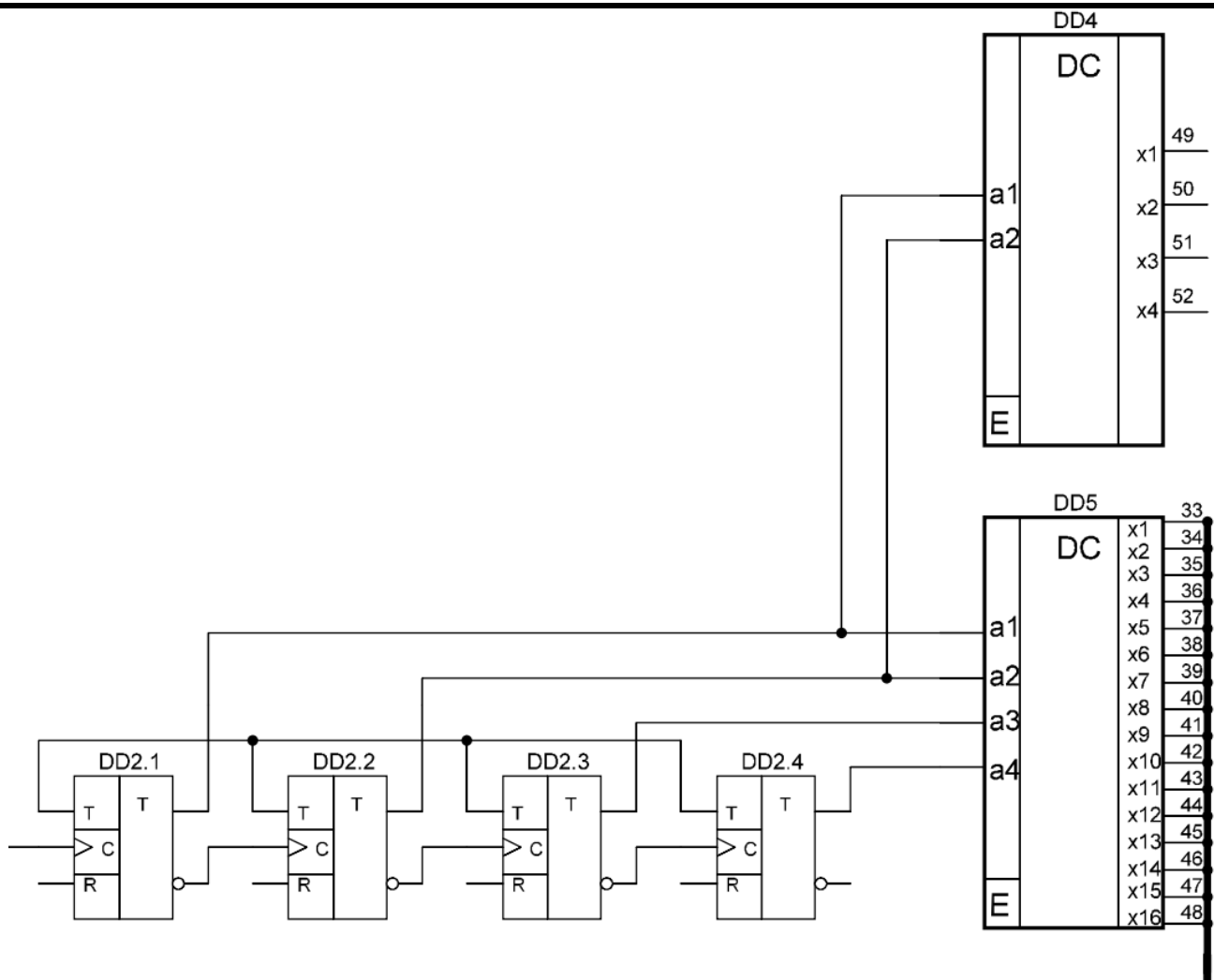


Рисунок 3.13 – Принципова схема блоку керування

### 3.7 Розробка блоку генератора

Як правило пристрої перетворення кодів використовують при побудові каналоутворюючої апаратури, де важливе значення має стабільність частот схем синхронізації, тобто здатність зберігати частоту генерації незмінної при зміні температури, напруги живлення і/або інших параметрів схеми. Звичайні автоколивальні генератори мають досить низьку стабільність. Загальноживаним способом підвищення стабільності частоти є використання кварцових резонаторів. На рисунку 3.14 наведена схема принципова генератора тактових імпульсів із кварцовим резонатором  $Cr_1$ , що використовує послідовний резонанс, і блоку заборони. Кварцовий резонатор включається у зворотний зв'язок інверторів DD1.1 і DD1.2, забезпечуючи поворот фази на  $\pi$  (по ланцюгу зворотного зв'язку). Особливістю "кварцових генераторів" є робота цифрових елементів (інверторів DD1.1 і DD1.2) у лінійному режимі, що визначається

Ізм.	Лист	№ документа	Підпис	Дата



резистивними зворотними зв'язками  $R_1 = R_2 = 220 \text{ Ом}$ . Конденсатор  $C_1 = 200 \text{ нФ}$  служить у якості фазозсувального елемента. Частота ПІ, які генеруються блоком генератора, задається параметрами резонатора й у значно меншому ступені параметрами інших елементів схеми.

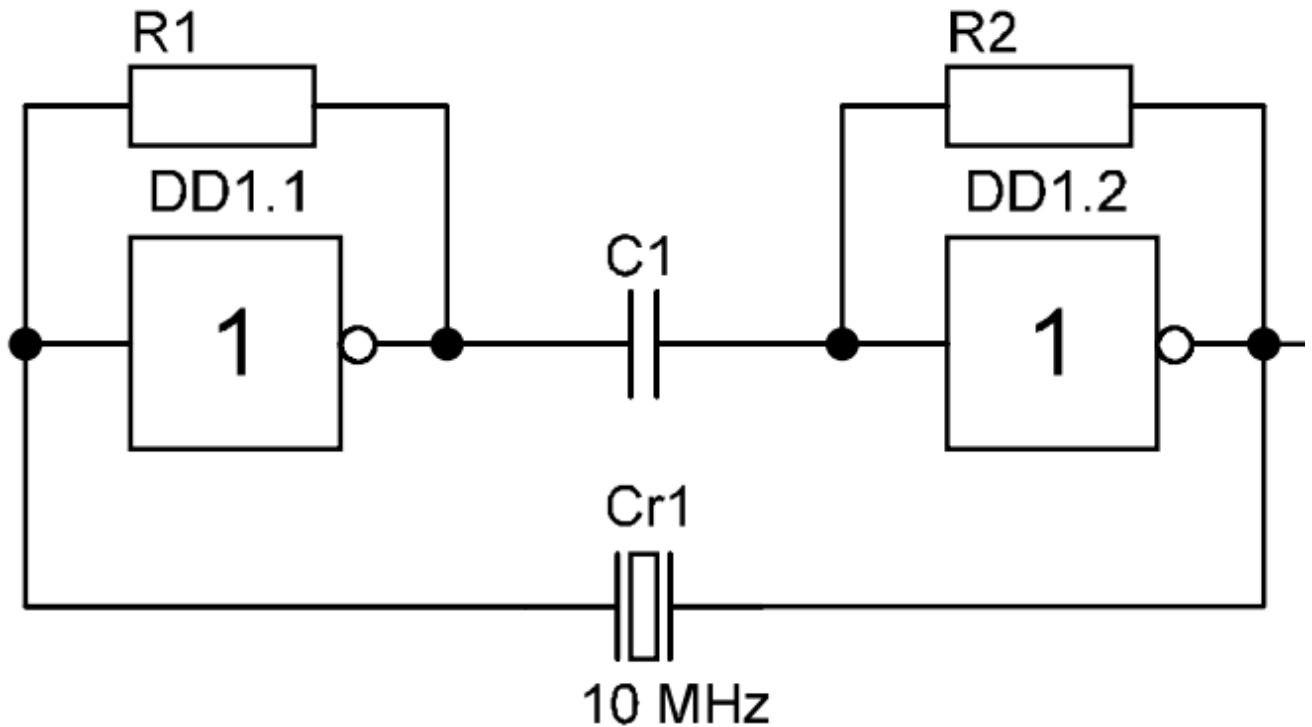


Рисунок 3.14 – Принципова схема блоку генератора

Ізм.	Лист	№ документа	Підпис	Дата

## ВИСНОВОК

В кваліфікаційній роботі бакалавра було спроектовано швидкодіючий пристрій обчислення кількості одиниць в двійкових послідовностях. Проектування здійснювалось з допомогою компонентів жорсткої логіки, а саме комбінаційних логічних схем, тригерів, регістрів та дешифраторів.

В першому розділі було оглянуто основні способи підрахунку кількості двійкових одиниць та було оглянуто області застосування в електронних системах. В другому розділі було обрано спосіб підрахунку згідно з поставленим завданням та спроектовано структурну схему. У третьому розділі було розроблено принципові схеми блоків пристрою. Під час виконання даної роботи були закріплені знання в галузі електронних та цифрових систем, отримані нові знання в проектуванні цифрових пристроїв, отримані нові навички в розробці структурних та принципових схем. Ці навички знадобляться в майбутньому.

					<i>ЕліТ 6.171.00.10.376</i>	Лист
						34
Ізм.	Лист	№ документа	Підпис	Дата		

## СПИСОК ЛІТЕРАТУРИ

1. Цифрова схемотехніка : підручник / О. А. Борисенко. – Суми : Сумський державний університет, 2016. – 200 с
2. Рейнгольд Э., Нивергельт Ю., Део Н. Комбінаторні алгоритмі. Теорія та практика. 1980. 480 с.
3. <https://studref.com/671305/prochie/summatory> (оновлена інформація 2022 р.)
4. <http://electricalschool.info/electronica/1918-logicheskie-jelementy-i-ili-ne-i-ne-ili.html>(оновлена інформація 2022 р.)
5. [https://etk.lntu.edu.ua/pluginfile.php/7361/mod\\_resource/content/2/%D1%80%D0%B5%D0%B3%D1%96%D1%81%D1%82%D1%80%D0%B8.pdf](https://etk.lntu.edu.ua/pluginfile.php/7361/mod_resource/content/2/%D1%80%D0%B5%D0%B3%D1%96%D1%81%D1%82%D1%80%D0%B8.pdf) (оновлена інформація 2021 р.)
6. [https://etk.lntu.edu.ua/pluginfile.php/7747/mod\\_resource/content/1/%D0%BB%2030%20%D0%B5%D0%BB%D0%B5%D0%BA%D1%82%D1%80%D0%BE%D0%BD%D1%96%D0%BA%D0%B0.pdf](https://etk.lntu.edu.ua/pluginfile.php/7747/mod_resource/content/1/%D0%BB%2030%20%D0%B5%D0%BB%D0%B5%D0%BA%D1%82%D1%80%D0%BE%D0%BD%D1%96%D0%BA%D0%B0.pdf) (оновлена інформація 2021 р.)
7. [https://stud.com.ua/28285/tovaroznavstvo/deshifratori\\_shifratori](https://stud.com.ua/28285/tovaroznavstvo/deshifratori_shifratori) (оновлена інформація 2020 р.)

					<i>ЕліТ 6.171.00.10.376</i>	Лист
Ізм.	Лист	№ документа	Підпис	Дата		35

