

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Сумський державний університет
Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

до кваліфікаційної роботи бакалавра на тему:

«Пристрій комутації для телекомунікаційної мережі»

Завідувач кафедри

А.С. Опанасюк

Керівник проекту

О.В. Бережна

Проектував студент

М.В. Зайцева

Суми
2022 р.

Сумський Державний Університет

Факультет ЕЛІТ **Кафедра** Електроніки і КТ
Спеціальність Телекомунікації та радіотехніка

ЗАТВЕРДЖУЮ:
Зав. кафедри Опанасюк А.С.
«_____» _____ 2022р.

**Завдання
на кваліфікаційну роботу бакалавра**

Зайцевої Марини Володимирівни
(прізвище, ім'я, по батькові)

1. Тема проекту «Пристрій комутації для телекомунікаційної мережі»

затверджено наказом по інституту від «12» квітня 2022 р. № 0241- VI

2. Термін здачі студентом закінченого проекту 05.06.2022

3. Вихідні дані до проекту Тип локальної мережі - Ethernet. Забезпечити можливість підключення 3 мережевих пристроїв і джерела інформації з паралельним інтерфейсом.

4. Зміст розрахунково-пояснювальної записки (перелік питань, які підлягають розробці) Вступ. 1. Огляд літератури та постановка завдання. 2. Розроблення алгоритму роботи та структурної схеми пристрою. 3. Розроблення схеми електричної принципової пристрою. Висновки.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

- 1 Схеми алгоритму. _____
- 2 Схеми електрична структурна. _____
- 3 Схеми електрична принципова. _____

Календарний план

№ п/п	Найменування етапів дипломного проекту (роботи)	Термін виконання етапів проекту (роботи)	Примітка
1.	Огляд технічної літератури	24.03.22	
2.	Розробка алгоритму функціонування та структурної схеми	7.04.22	
3.	Розрахунок вузлів та блоків пристрою та розробка схеми електричної принципової	21.04.22	
4.	Оформлення графічної частини	01.05.22	
5.	Оформлення пояснювальної записки	27.05.22	
6.	Рецензування та підготовка до захисту	5.06.22	

Студент-дипломник Зайцева М.В.

Керівник проекту Бережна О.В.

РЕФЕРАТ

Пояснювальна записка містить: 43 аркушів, 18 рисунків, 4 таблиці, 12 джерел літератури.

Графічна частина роботи містить: схему алгоритму роботи пристрою, структурну та принципову електричні схеми.

Пояснювальна записка містить чотири розділи: огляд літератури та постановка задачі проектування, розроблення алгоритму роботи та структурної схеми пристрою, розроблення схеми електричної принципової пристрою.

Перший розділ містить загальну інформацію про комутацію й комутатори, їх призначення, види та їх побудова, а також постановку завдання на проектування.

Другий розділ присвячений розробці алгоритму функціонування та структурної схеми проектованого пристрою.

Третій розділ присвячений розробці принципової схеми пристрою.

ЗМІСТ

ВСТУП	5
1. ОГЛЯД ЛІТЕРАТУРИ ТА ПОСТАНОВКА ЗАДАЧІ ПРОЕКТУВАННЯ.....	6
1.1. Постановка задачі	6
1.2. Огляд літератури	6
1.2.1 Види класифікацій локальних обчислювальних мереж	7
1.2.2 Комутатори	9
1.2.3 Типи комутації	9
1.2.4 Комутуючі концентратори.....	10
1.2.5 Способи обробки пакетів	11
1.2.6 Risc та Asic.....	12
1.2.7 Будова комутаторів старшого класу	12
1.2.8 Побудова віртуальних мереж	13
2. РОЗРОБЛЕННЯ АЛГОРИТМУ РОБОТИ ТА СТРУКТУРНОЇ СХЕМИ ПРИБОРУ.....	15
2.1. Розробка алгоритму функціонування	15
2.2. Обґрунтування структурної схеми	17
3. РОЗРОБЛЕННЯ СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ ПРИБОРУ	21
3.1. Вибір елементної бази	21
3.2. Розрахунок та синтез основних електронних вузлів та блоків пристрою.....	22
3.2.1 Мікропроцесорний блок.....	22
3.2.2 Інтерфейсний блок.....	31
3.2.3 Блок модуля Ethernet контролера на RTL8019AS	32

					ЕЛІТ 6.172.00.02.392 ПЗ			
Зм.	Лист	№ докум.	Підпис	Дата	Пристрій комутації для телекомунікаційної мережі Пояснювальна записка	Лім.	Лист	Листів
Розроб.		Зайцева М.В.						
Перевір.		Бережна О.В.					3	66
Реценз.						СумДУ, гр. ТК-81		
Н. Контр.		Бережна О.В.						
Затверд.		Опанасюк А.С.						

3.3. Розроблення програмного забезпечення пристрою	35
Висновок	37
Список літератури.....	38
Додаток А.....	40
Додаток Б	41
Додаток В.....	42

ВСТУП

У 80-х роках на основі високопродуктивних та економічних електронних приладах визначилось нове спрямування розвитку інформаційно-обчислювального обладнання - винахід локальних обчислювальних мереж або LAN (Local Area Network) для різного призначення. Локальна обчислювальна мережа – є мережею для комунікації, що забезпечує в рамках певного обмеженого простору взаємозв'язок задля великої кількості програмних продуктів. Вона підтримує зв'язок між ЕОМ, обладнанням, терміналами, забезпечує спільне використання ресурсів.

Насамперед локальні обчислювальні мережі формувалися для наукових цілей і мали на меті сумісне використання сукупних ресурсів. Це роз'яснювалося так, що в більшості випадків персональні комп'ютери, які були широко розповсюдженими, не забезпечували функціонування та створення досить потужних автоматизованих інформаційних систем через дефіцит власних ресурсів.

У локальних обчислювальних мережах, основа яких містить персональні комп'ютери, порівняно невелика вартість і складність, що забезпечує їх широке використання в галузях автоматизації банківської та комерційної, а також інших видів, наприклад діяльності, діловодства, виробничих і технологічних процесів, задля створення розподілених інформаційно-довідкових, контрольних-вимірювальних, управлінських систем, а також гнучких промислових виробництв та систем промислових робіт.

Зараз найпопулярнішими становляться локальні обчислювальні мережі для комерційної ролі.

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		5

1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ

1.1 Постановка задачі

Виходячи із завдання необхідно розробити пристрій комутації, який виконуватиме наступні функції:

- перевірка наявності даних для відправлення;
- формування пакета;
- рішення про пересилку;
- аналіз таблиці;
- перевірка на появу колізій;
- зберігання даних;
- індикація роботи пристрою.

При цьому потрібно розробити такі схеми:

- алгоритму;
- електричну структурну;
- електричну принципову.

1.2 Огляд літератури

Локальна обчислювальна мережа - це комунікаційна мережа, що забезпечує в межах деякої обмеженої території взаємозв'язок для широкого кола програмних продуктів. Вона підтримує зв'язок між ЕОМ, терміналами, обладнанням, забезпечує сумісне використання ресурсів.

Насамперед локальні обчислювальні мережі створювалися для наукових цілей і мали на меті сумісне використання загальних ресурсів. Але, зараз найпоширенішими становляться локальні обчислювальні мережі з комерційним призначенням.

Локальна комп'ютерна мережа являє собою об'єднання певного числа комп'ютерів (іноді досить великого) на відносно невеликій території [1,2].

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		6

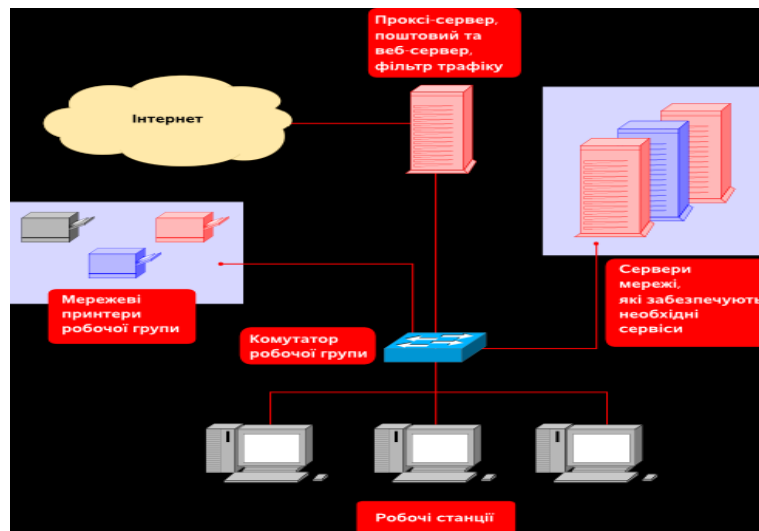


Рисунок 1.1 – Локальна комп’ютерна мережа

Переваги локальної обчислювальної мережі: наявність в офісі, конторі, установі (підприємстві, цеху) локальної обчислювальної мережі створює для користувачів принципово нові можливості завдяки об’єднанню прикладних систем персональних комп’ютерів та іншого обладнання мережі [1,2].

При приєднанні домашнього персонального комп’ютера майстра до комп’ютерної мережі організації через регіональну мережу для такого працівника немає необхідності щодня відвідувати організацію.

Локальні комп’ютерні мережі - це системи розподіленої обробки даних і, на відміну від глобальних та регіональних комп’ютерних мереж, охоплюють невеликі території (діаметром 5-10 км) всередині окремих контор, банків, бірж, вузів, установ, науково-дослідних організацій і т.д [1,2].

1.2.1 Види класифікацій локальних обчислювальних мереж

Широка і постійно зростаюча номенклатура локальних обчислювальних мереж, мережні програмні продукти і технології покладають на потенційного користувача складну задачу вибору потрібної системи з великої кількості існуючих. Сьогодні в світі нараховується десятки тисяч різних локальних обчислювальних мереж і для їх розгляду корисно мати систему класифікації. Усталеної класифікації локальних мереж поки що не існує, але для них можна виявити певні класифікаційні ознаки за:

- призначенням;

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		7

- типом використовуваних ЕОМ (Електронна обчислювальна машина);
- організацією управління;
- організації передачі інформації;
- топологією;
- методах теледоступу;
- фізичних носіях сигналів;
- управлінню доступом до фізичного середовища передачі і так далі [1,2].

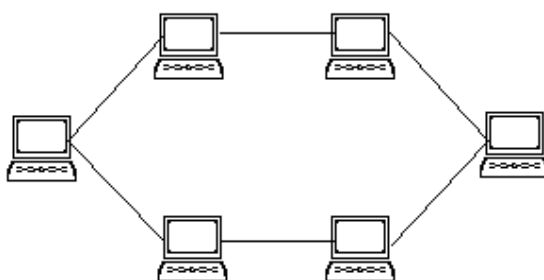


Рисунок 1.2 Кільцеве з'єднання

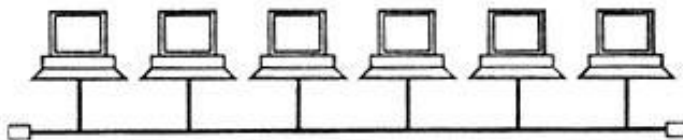


Рисунок 1.3 Магістральне з'єднання (шинна топологія)

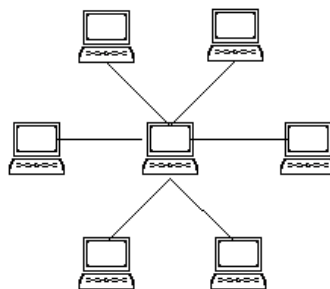


Рисунок 1.4 З'єднання типу зірка

<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>

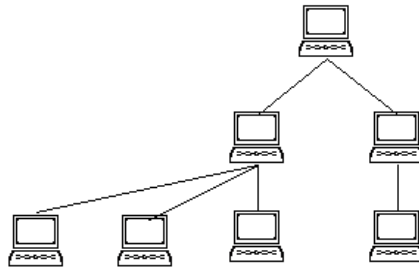


Рисунок 1.5 Ієрархічне з'єднання

1.2.2 Комутатори

Комутація є одною з найвідоміших нинішніх технологій. Комутатори витісняють маршрутизатори та мости якнайдалі в локальних мережах, лишаючи за ними функцію організації зв'язку крізь глобальну мережу. Ця популярність комутаторів визначена насамперед тим, що внаслідок мікросегментації вони дозволяють збільшити продуктивність мережі у порівнянні з мережами, які розділяються, з тою самою номінальною пропускною здатністю. Крім розподілу мережі на невеликі сегменти, комутатори також мають можливість організувати під'єднані пристрої в логічні мережі і їх нескладно перегруповувати, відколи це потрібно; інакшими словами, вони утворюють віртуальні мережі.

А що ж тоді таке комутатор? Комутатор – це прилад, що конструктивно виконаний як концентратор і діє подібно високошвидкісного багатопортового моста; цей вбудований апарат комутації дозволяє реалізувати сегментацію локальної мережі й відділяти смугу пропускання для крайніх станцій в мережі. Але це формулювання належить передусім для комутаторів кадрів.

1.2.3 Типи комутації

Під комутацією зазвичай розуміють чотири різні технології - конфігураційна комутація, комутація кадрів, комутація осередків і перетворення між кадрами і осередками.

Конфігураційна комутація відома також як комутація портів, при цьому конкретний порт на модулі інтелектуального концентратора приписується до

одного з внутрішніх сегментів Ethernet (чи Token Ring). Це призначення робиться видаленим чином за допомогою програмного управління мережею при підключенні або переміщенні користувачів і ресурсів в мережі.

Комутація кадрів, або комутація, в локальній мережі використовує стандартні формати кадрів Ethernet (чи Token Ring). Кожен кадр обробляється найближчим комутатором і передається далі по мережі безпосередньо одержувачеві. В результаті мережа перетворюється як би на сукупність паралельно працюючих високошвидкісних прямих каналів.

Комутація осередків застосовується в АТМ. Використання невеликих осередків фіксованої довжини дає можливість створити недорогі високошвидкісні комутуючі структури на апаратному рівні. І комутатори кадрів, і комутатори осередків можуть підтримувати декілька незалежних робітників груп незалежно від їх фізичного підключення. Перетворення між кадрами і осередками дозволяє, наприклад, станції з платою Ethernet безпосередньо взаємодіяти з пристроями в мережі АТМ [3,4].

1.2.4 Комутуючі концентратори

Перший комутуючий концентратор під назвою EtherSwitch був представлений компанією Kalpana. Цей концентратор дозволяв понизити конкуренцію в мережі за рахунок скорочення числа вузлів в логічному сегменті за допомогою технології мікросегментації. По суті, число станцій в одному сегменті скорочувалося до двох: станція, що ініціює запит, і станція, що відповідає на запит. Ніяка інша станція не бачить передавану між ними інформацію. Пакети передаються як би через міст, але без властивої мосту затримки.

У комутованій мережі Ethernet кожному членові групи з декількох користувачів може бути одночасно гарантована пропускна спроможність 10 Мбіт/с.

Комутуючі концентратори діють аналогічним чином (рис. 1.7) вони передають пакети з вхідного порту на вихідний порт через комутуючу матрицю. Коли пакет потрапляє на вхідний порт, комутатор читає його MAC-адреса (т. е. адреса другого рівня), і він негайно перенаправляє на порт, пов'язаний з цією адресою. Якщо порт зайнятий, то пакет поміщається в чергу.

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
						10
Зм.	Лист	№ докум.	Підпис	Дата		

По суті, черга є буфером на вхідному порту, де пакети чекають, коли потрібний порт звільниться. Проте методи буферизації дещо відрізняються. [3,4].

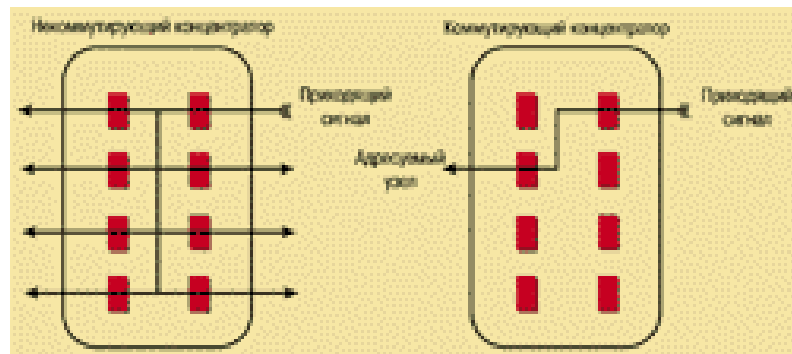


Рисунок 1.6 – Комутуючі концентратори

Комутуючі концентратори працюють подібно телефонним комутаторам з минулого: вони об'єднують вхідний порт практично з вихідним крізь комутуючу матрицю.

1.2.5 Способи обробки пакетів

При наскрізній комутації (званою також комутацією на льоту і комутацією без проміжної буферизації) комутатор прочитує тільки адресу пакету, що поступає. Пакет передається далі незалежно від відсутності або наявності в нім помилок. Це дозволяє значно скоротити час обробки пакету, оскільки читаються тільки декілька перших байт. Тому визначати дефектні пакети і просити їх повторну передачу повинна приймаюча сторона. Проте сучасні кабельні системи досить надійні, так що необхідність в повторній передачі у багатьох мережах мінімальна. Проте ніхто не застрахований від помилок у разі ушкодження кабелю, несправності мережевої плати або перешкод від зовнішнього електромагнітного джерела.

При комутації з проміжною буферизацією комутатор, отримуючи пакет, не передає його далі, поки не прочитає повністю, або в усякому разі не прочитає усю необхідну йому інформацію. Він не лише визначає адресу одержувача, але і перевіряє контрольну суму, тобто може відсікати дефектні

пакети. Таким чином, комутація з проміжною буферизацією робить упор на надійність, а не на швидкість.

Окрім двох вищеперелічених, деякі комутатори використовують гібридний метод. У звичайних умовах вони здійснюють наскрізну комутацію, але при цьому стежать за числом помилок за допомогою перевірки контрольних сум. Якщо число помилок досягає заданого порогового значення, вони переходять в режим комутації з проміжною буферизацією. При зниженні числа помилок до прийняттого рівня вони повертаються в режим наскрізної комутації. Такий тип комутації називається пороговою або адаптивною комутацією [3,4].

1.2.6 Risc та Asic

Комутатори з проміжною буферизацією реалізуються на основі стандартних процесорів RISC. Однією з переваг такого підходу є їх відносна дешевизна в порівнянні з комутаторами з інтегральними схемами ASIC, проте він не дуже хороший у разі спеціалізованих застосувань. Комутація в таких пристроях здійснюється за допомогою програмного забезпечення, тому їх функціональність може бути змінена за допомогою модернізації встановленого ПО. Недолік же їх в тому, що вони повільніше за комутатори на базі ASIC.

Комутатори з інтегральними схемами ASIC призначені для виконання спеціалізованих завдань: уся їх функціональність "защита" в апаратне забезпечення.

ASIC зазвичай здійснюють наскрізну комутацію. Комутуюча матриця ASIC створює виділені фізичні шляхи між вхідним і вихідним портом [3,4].

1.2.7 Будова комутаторів старшого класу

Комутатори старшого класу мають, як правило, модульну структуру, і вони можуть здійснювати як комутацію пакетів, так і комутацію осередків.

Модулі такого комутатора здійснюють комутацію між мережами різних типів, у тому числі Ethernet, Fast Ethernet, Token Ring, FDDI і ATM. При цьому основним механізмом комутації в таких пристроях є комутаційна структура

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		12

АТМ. Ми розглянемо архітектуру таких пристроїв на прикладі Centillion 100 компаній Bay Networks.

Комутація здійснюється за допомогою наступних трьох апаратних компонентів:

- об'єднувальна панель АТМ для надвисокошвидкісної передачі осередків між модулями;
- інтегральна схема спеціального призначення CellManager на кожному модулі для управління передачею осередків по об'єднувальній панелі;
- інтегральна схема спеціального призначення SAR на кожному модулі для перетворення кадрів в осередки і назад.

У комутаторах старшого класу комутація осередків використовується все частіше завдяки її високій швидкості і простоті міграції до АТМ [3,4].

1.2.8 Побудова віртуальних мереж

Окрім підвищення продуктивності, комутатори дозволяють створювати віртуальні мережі. Одним з методів створення віртуальної мережі є створення широкомовного домена за допомогою логічного з'єднання портів усередині фізичної інфраструктури комунікаційного пристрою (це може бути як інтелектуальний концентратор - конфігураційна комутація, так і комутатор - комутація кадрів). Наприклад, непарні порти восьмипортового пристрою приписуються до однієї віртуальної мережі, а парні - до іншої.

В результаті станція в одній віртуальній мережі опиняється ізольованою від станцій в іншій. Недолік такого методу організації віртуальної мережі полягає в тому, що усі станції, підключені до одного і тому ж порту, повинні належати до однієї і тієї ж віртуальної мережі.

Другий метод створення віртуальної мережі базується на MAC-адресах підключених пристроїв. При такому способі організації віртуальної мережі будь-який співробітник може підключати, наприклад, свій портативний комп'ютер до будь-якого порту комутатора, і він автоматично визначатиме приналежність його користувача до тієї або іншої віртуальної мережі на основі

MAC- адреси. Такий метод дозволяє також користувачам, підключеним до одного порту комутатора, належати до різних віртуальних мереж [3,4].

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		14

2 РОЗРОБЛЕННЯ АЛГОРИТМУ РОБОТИ ТА СТРУКТУРНОЇ СХЕМИ ПРИБРОЮ

2.1 Розробка алгоритму функціонування

Блок 2. Отримання фреймів з локальної мережі.

Блок 3. Комутатор аналізує пакети даних визначаючи адресу комп'ютера відправника і заносить його в таблицю.

Блок 4. Важливою функцією комутатора є механізм виділення MAC – адреси відправника і побудова таблиці комутації для них.

Блок 5. Аналіз таблиці призначений для того, щоб дізнатися є або ні MAC – адреса відправника в таблиці. Якщо таблиця комутації пристрою правильна і точна, комутатор прийматиме правильні й точні рішення про відправку або фільтрацію фреймів.

Блок 6. Якщо адреса записана в таблицю, то переходимо до блоку 7. Якщо адреса не записана в таблицю, то переходимо до блоку 8.

Блок 7. Виділення MAC – адреси отримувача і побудова таблиці комутації та здійснюється перехід до блоку 9.

Блок 8. Проходить запис MAC – адреси відправника в таблицю комутації.

Блок 9. Знову проходить аналіз таблиці MAC – адресів.

Блок 10. Якщо MAC – адреса отримувача не записана в таблицю, то переходимо до блоку 11. Якщо MAC – адреса записана в таблицю, то переходимо до блоку 13.

Блок 11. Формує ширококомовну адресу для передачі цього фрейму на усі порти.

Блок 12. Кадри з ширококомовними MAC-адресами передаються комутатором на усі його порти, як і кадри з невідомою адресою призначення.

Блок 13. Вибір номера порту

Блок 14. Передача фрейму на потрібний порт.

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		15

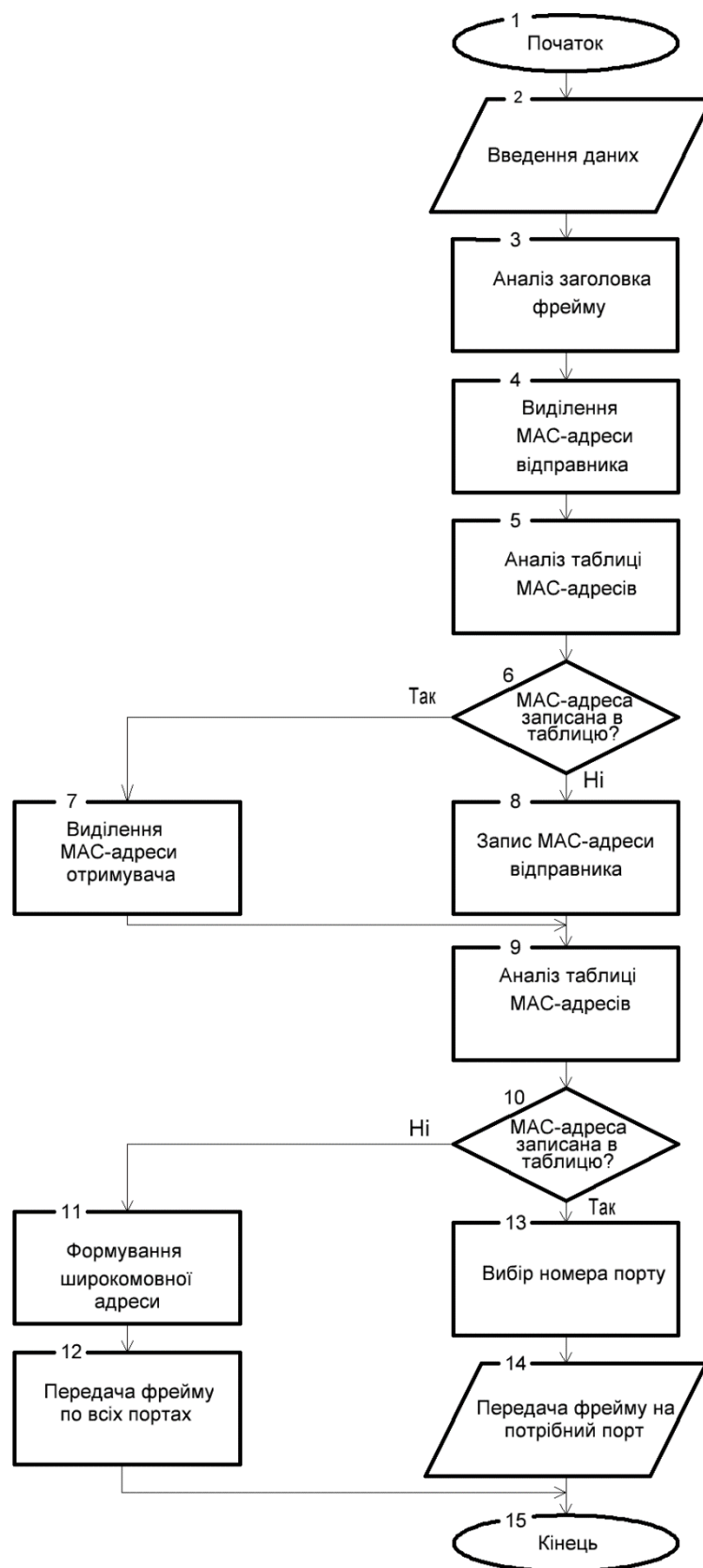


Рисунок 2.1 – Алгоритм функціонування пристрою

2.2 Обґрунтування структурної схеми

Основне завдання комутатора в локальній мережі полягає в пересилці Ethernet фреймів. Для виконання такої функції пристрій використовує певні алгоритми, ґрунтовані на аналізі MAC – адресів, посилювача й одержувача в Ethernet заголовках фреймів. Розглянемо основні типи адрес, використовувани в сучасних мережах.

Згідно зі стандартами Інституту IEEE MAC - адреса технології Ethernet можна розділити на три категорії:

- одноадресні (unicast addresses), або ті, які ідентифікує один інтерфейс, мережеву плату або порт локальної мережі;
- ширококомовні (broadcast addresses) фрейм з ширококомовним адресом в якості одержувача (FFFF.FFFF.FFFF) має бути прийнятий і оброблений усіма пристроями в сегменті локальної мережі (LAN);
- багатоадресні (multicast addresses) дозволяють одночасно приймати трафік деякій групі мережевих пристроїв, що динамічно змінюється, в локальній мережі.

Основне завдання будь-якого Ethernet комутатора полягає в отриманні фреймів з локальної мережі і подальшому ухваленні рішення: потрібно такий фрейм переслати через будь-який порт (порти) або проігнорувати (тобто відкинути) його [13].

Щоб виконати це завдання, комутатори виконують наступні дії.

1. Приймають рішення про те, слід переслати фрейм або відфільтрувати (не пересилати) на підставі MAC - адреса пристрою отримувача.

2. Вивчають MAC - адреса і будують таблицю комутації на підставі MAC адресів пристроїв відправників фреймів.

3. Підтримують топологію другого рівня без петель з іншими комутаторами шляхом використання протоколу розподіленого єднального дерева (Spanning Tree Protocol STP) [13].

Фільтрація і передача фрейму.

Щоб прийняти рішення про те, чи слід пересилати фрейм, комутатор використовує динамічно створювану таблицю комутації, в якій містяться MAC - адреса і ідентифікатори вихідних інтерфейсів. Комутатор порівнює MAC - адрес одержувача фрейма із записом в такій таблиці, щоб прийняти

рішення про те, слід передати фрейм далі або проігнорувати його. Щоб зрозуміти, куди комутатор повинен відправити фрейм, треба уміти переглядати і аналізувати його таблицю адрес. У таблиці міститься інформація про адреси і використовуваних пристроєм інтерфейсах для відправки пакетів до них.

Знаходження MAC-адреса.

Іншою важливою функцією комутатора є механізм виявлення MAC адрес і побудова таблиці комутації для них. Якщо таблиця комутації пристрою правильна і точна, комутатор прийматиме правильні і точні рішення про відправку або фільтрацію фреймів.

Комутатори будують таблицю адрес, переглядаючи фрейми, що входять, і записуючи з них MAC - адреса одержувачів. Якщо на вхід будь – якого порту пристрою отриманий фрейм і MAC - адрес в полі відправника фрейма відсутній в таблиці комутації, комутатор створює запис, що відповідає йому, в таблиці. У таблицю поміщається адреса й ідентифікатор інтерфейсу, через який був отриманий фрейм [13].

Лавинна розсилка фреймів.

Коли отриманий фрейм з адресою одержувача, відсутньою в таблиці, комутатор пересилає такий фрейм через усі інтерфейси, крім того, звідки він прийшов. Комутатор завжди розсилає одноадресний фрейм, адреса одержувача якого відсутня в таблиці комутації (unknown unicast frame), через усі інтерфейси в надії, що шуканий пристрій опиниться в якому" або з підключених до нього Ethernet" сегментів і відповідь на такий фрейм і, отже, можна буде внести правильний запис в таблицю MAC - адрес пристрою.

Процес пересилки фреймів через усі активні інтерфейси комутатора, крім того, звідки він прийшов, називають лавинною розсилкою (flooding).

Комутатори з використанням лавинної розсилки передають як одноадресні фрейми, адреси одержувачів яких відсутні в таблиці, так і ширококомвні. Аналогічно пристрої поступають з багатоадресними (multicast) фреймами, окрім тих випадків коли в комутаторах явно сконфігуровані деякі засоби оптимізації багатоадресних потоків даних [13].

Кадри з ширококомвними MAC-адресами передаються комутатором на усі порти, та кадри з невідомою адресою призначення. Подібний режим поширення кадрів назвали затопленням мережі (flood). Присутність

										Лист
										18
Зм.	Лист	№ докум.	Підпис	Дата						

комутаторів в мережі не стає на заваді розсилки ширококомовних кадрів по усіх сегментах мережі, та зберігає її прозорість. Проте це є гідністю тільки у тому випадку, якщо ширококомовна адреса вироблена коректно працюючим вузлом.

Проте не рідко трапляється так, що в наслідку якихось апаратних чи програмних збоїв протокол верхнього рівня, а можливо і сам мережевий адаптер приступають функціонувати некоректно і безупинно з великою інтенсивністю формувати кадри з ширококомовною адресою впродовж деякого проміжку часу. Комутатор в цьому випадку передає ці кадри в усі сегменти, затоплюючи мережу помилковим графіком. Така ситуація називається ширококомовним штормом (broadcast storm).

Комутатори не захищають мережі від ширококомовних штормів, в усякому разі, за умовчанням, як це роблять маршрутизатори. Максимум, що може зробити адміністратор за допомогою комутатора для боротьби з ширококомовним штормом - встановити для кожного вузла гранично допустиму інтенсивність генерації кадрів з ширококомовною адресою.

Але при цьому треба точно знати, яка інтенсивність є нормальною, а яка – помилковою [13].

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		19

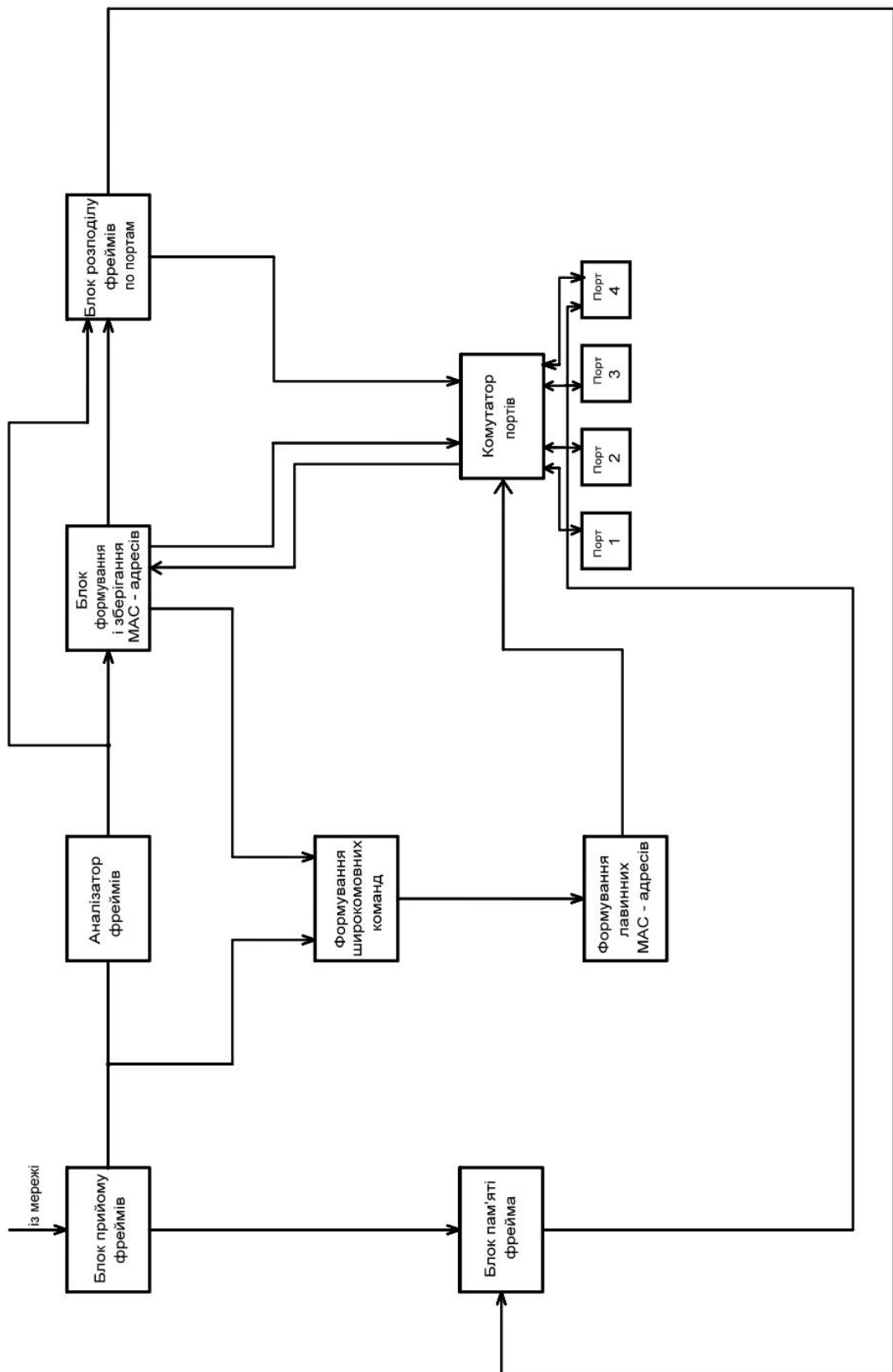


Рисунок 2.2 – Структурна схема пристрою

Зм.	Лист	№ докум.	Підпис	Дата

3 РОЗРОБЛЕННЯ СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ ПРИБРОЮ

3.1 Вибір елементарної бази

При розробці принципової схеми проектуючого пристрою головним етапом є відбір елементної бази, котра складає кожний з блоків повно функціонуючого пристрою. Основою при обранні елементної бази являє собою постановку завдання, призначення та функціонування даного пристрою.

Головною характеристикою в виборі елементів є адаптація мікроконтролера до особливостей виконання конкретної задачі, яка здійснюється загалом за допомогою розробки належного програмного забезпечення, котре потім заноситься до пам'яті програм.

В однієї із розповсюджених класів немалих інтегральних схем (ВІС) значаться однокристальні мікро-ЕОМ. Вони іменують ВІС, в напівпровідниковому кристалі котрої цілком реалізована готова мікропроцесорна система у якої є центральний процесор, пам'ять, порти вводу-виводу та решта периферійних пристроїв. Широко використовуються багатько серій однокристальних мікро-ЕОМ.

Основною архітектурною особливістю однокристальних мікро-ЕОМ є використання роздільної пам'яті програм (ПЗУ) і даних (ОЗУ). Такий поділ дозволяє спростити виконання більшості команд і підвищити швидкодію мікро-ЕОМ. Архітектура однокристальних мікро-ЕОМ - результат еволюції архітектури мікропроцесорів і мікропроцесорних систем, обумовленої прагненням істотно знизити їх апаратні витрати і вартість. Як правило, ці цілі досягаються як шляхом підвищення рівня інтеграції ВІС, так і за рахунок пошуку компромісу між вартістю, апаратними витратами і технічними характеристиками. Дана мікро - ЕОМ представляє прилади, конструктивно виконані у вигляді однієї ВІС і включає в себе всі пристрої, необхідні для реалізації цифрової системи управління мінімальної конфігурації: процесор, запам'ятовуючий пристрій даних, запам'ятовуючий пристрій команд, внутрішній генератор тактових сигналів, а також програмовані інтегральні схеми для зв'язку із зовнішнім середовищем [5].

					ЕлІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		21

Оскільки провідною частиною проектованого пристрою служить МП, то обрання елементної бази ґрунтуватиметься на обранні мікропроцесора. У своїй комплексно-курсній роботі був обраний мікропроцесор серії КР1821ВМ85А.

Мікросхеми КР1821ВМ85А – це 8-розрядні статичні мікропроцесори, призначення яких побудова мікро-ЕОМ, вони застосовуються в системах обробки та передачі інформації. Для КР1821 потрібне одне джерело живлення з напругою + 5В, потужність приблизно 1,5 Вт, а також працюючі з номінальною частотою 18500 кГц. На входах та виходах з серії 1821 електрично спільно з інтегральними схемами ТТЛ [6].

Дивлячись на надану характеристику по однокристальним ЕОМ із серією 1821, ми можемо побачити, що вони мають значні функціонально-логічні можливості і являються ефективним засобом автоматизації різноманітних процесів і об'єктів.

Щоб керувати зовнішніми пристроями, крім того ж для забезпечення потрібної швидкості вводу одержаного коду до пам'яті, потрібно використати контроллер КР580ВВ55.

На блок модуля з Ethernet контроллером виберемо RTL8019АS. Цей інтегрований на кристалі контроллер Ethernet цілком відповідає стандарту 10base-T/100base-TX.

Запам'ятовуючі пристрої мікропроцесорних систем що базуються на БІС МП К1821ВМ85 містять байтову організацію і реалізуються так само, як і ЗУ для систем що базуються на БІС КР580 і 8086А. В такому разі ПЗУ може користуватися БІС К573РФ5. У ролі проектованого ОЗУ вибираємо статичне ОЗУ НМ6116.

3.2 Розрахунок та синтез основних електронних вузлів та блоків пристрою

3.2.1 Мікропроцесорний блок

Мікропроцесорний блок є центральним блоком пристрою, що проектується. Він забезпечує синхронізацію і керування роботи цілого пристрою, забезпечує прийом, зберігання і обробку даних, що поступають по системній шині видачу.

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
						22
Зм.	Лист	№ докум.	Підпис	Дата		

Мікропроцесор КР1821ВМ85А живиться від одного джерела живлення +5В, виконаний по КМОП - технології, призначення виведень представлено на (рис 3.2.)

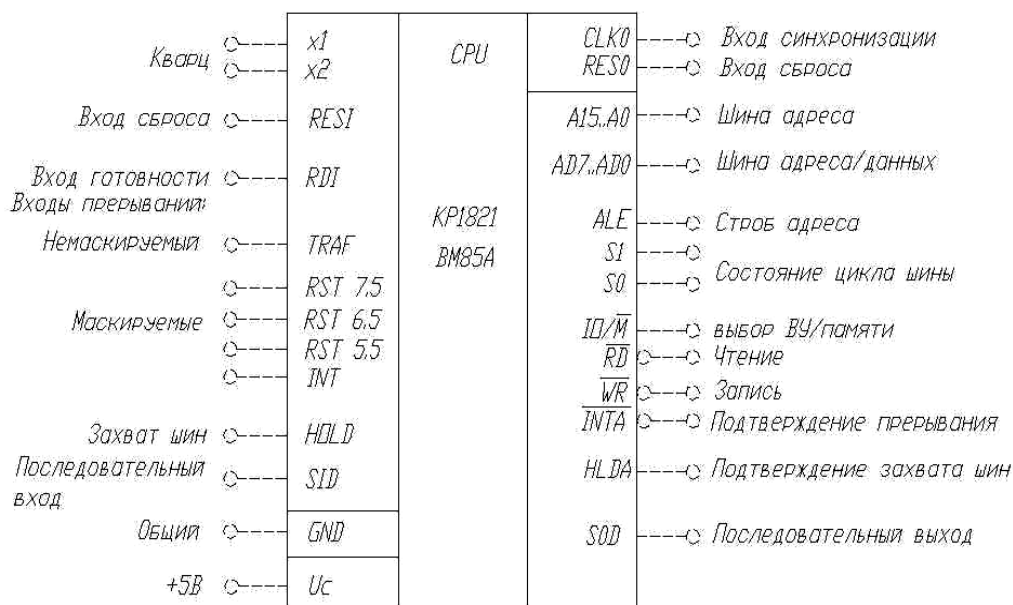


Рисунок 3.1 – Призначення виходів КР1821ВМ85А

Щодо центрального процесорного модуля, то він на базі мікросхеми КР1821ВМ85А (DD1), і складається з двох буферних регістрів КР580ІР82 (DD5, DD6), двонаправленого шинного формувача КР580ВА86 (DD7), мультиплектора К555КП11 (DD8), зовнішнього резонатора (С2, ZQ), та схеми формування скидань (С1, R1, S).

Таблиця 3.1 – Функція виводів мікропроцесора

Вивід	Функція	Опис
AD0 – AD7	Двунаправлена, три стани	Шина адреси/даних
AD8 – AD15	Вихід, три стани	Шина адреси
ALE	Вихід	Роздільна здатність захвату адреса
RD	Вихід, три стани	Управління зчитуванням

Вивід	Функція	Опис
WR	Вихід, три стани	Управління записом
IO/M	Вихід, три стани	Показник ВУ або пам'яті
S0 , S1	Вихід	Показник стану шини
READI	Вихід	Виклик стану очікування
SID	Вихід	Введення послідовних даних
SOD	Вихід	Вивід послідовних даних
HOLD	Вихід	Вимоги захвату
HLDA	Вихід	Підтвердження стану захвату
INTR	Вхід	Запит переривання
TRAP	Вхід	Запит немаскованого переривання
RST 5.5 RST 6.5 RST 7.5	Вхід	Запит апаратного векторного переривання
INTA	Вхід	Підтвердження запита на переривання
RESET IN	Вхід	Анулювання системи
RESET OUT	Вхід	Анулювання периферії
X1 , X2	Вхід	З'єднання кристалу або зовнішнього ГТІ
CLK	Вхід	Сигнал внутрішнього ГТІ

Мікропроцесор KP1821BM85A має поєднані шину адреси й шину даних. Для поділу сигналів таких шин використовують буферні регістри. Коли з'явиться в провідному такті машинного ряду в шині A8-A15 старший байт адреси, а в шині AD0 – AD7 - молодший, то стробується за допомогою сигналу процесора ALE, котрий застосовується для того, щоб дозволити запис в регістри. Та при просуванні по шині AD0 – AD7 даних цього сигналу немає. Отже, в регістри запишеться адреса, однак дані передаватимуться крізь шинний формувач. Крім того, шинний формувач і регістри призначень для збільшення здатності навантаження ЦПМ (32 мА/виведення).

Буферний регістр адрес потрібен для отримання та зберігання адресної частини команди що виконується. Інакше кажучи, адрес слова в ньому міститься до видачі на адресну шину.

Буферний регістр даних застосовують для короткотривалого зберігання обраного з пам'яті слова насамперед перед видачею його до зовнішньої шини даних. Розрядність цього пристрою визначається з кількості байтів в інформаційному слові [7].

Таблиця 3.2 - Призначення висновків буферного регістра KP580IP82

Номер вивода	Позначення	Призначення
1 – 8	DI0 – DI7	Входи регістра
9	OE	Дозволення вихода
10	GND	Загальний
11	STB	Строб
19 – 12	DO0 – DO7	Виходи регістра
20	Vcc	+5 В

Коли сигнали від процесора надійдуть до мультиплексора, то він оберне їх в сигнали читання/запису зовнішніх пристроїв і пам'яті - MEMW, MEMR, I/OW, I/OR.

Якраз від обрання процесора буде залежати швидкодія системи загалом, правильність обробки даних, а крім того зручність розробки необхідного програмного забезпечення цілого контролера. Оптимальним для дипломного проекту, що розробляється, буде мікропроцесор KP1821BM85A, перевагами якого є:

- низька вартість;
- орієнтування на функціонування у складі мікроконтролерів;
- сумісність програм з мікропроцесором KP580BM80A;
- потреба в одному джерелі живлення +5В;
- наявності є вбудований генератор тактових імпульсів;
- вбудований контролер для переривання.
- вбудований системний контролер;

Проте, разом з перерахованими достоїнствами, у KP1821BM85A є і деякі недоліки:

- відсутність команди ділення в наявному складі команд;

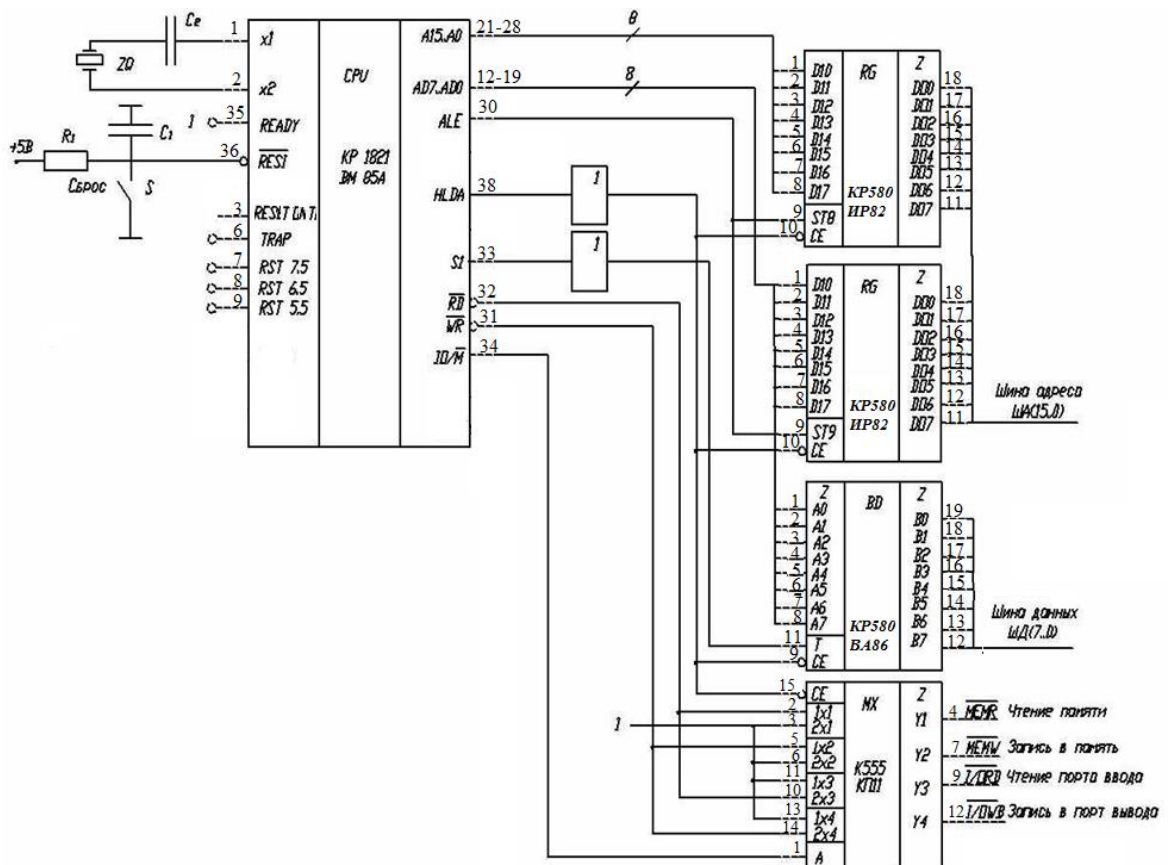


Рисунок 3.2 – Структура процесора КР1821ВМ85А

Задля побудови блока пам'яті вирішуються наступні задачі:

- характеризувати організацію пам'яті (розрахунок її розрядності й об'єму елементів пам'яті);
- розподілення адресного простору серед пам'яті даних і пам'яті програм;
- розробка способів доступу до селекторів пам'яті й адреси.

В проектуючому пристрої блоком пам'яті є ОЗУ і ПЗП. У першому виводяться дані, що вводять, проміжні й вихідні дані, а в другому - зберігаються коди програми.

Для елементів пам'яті ПЗП і ОЗУ є можливість присвоїти будь-які адреси, за допомогою апаратного шляху, які б починалися від 0 і до 65535, та при цьому необхідно враховувати обставину, за якої при увімкненні живлення, а потім скидування мікропроцесор завжди розпочинає зчитування коду команди, котрий розміщений в самому осередку з адресом 0000h.

Зм.	Лист	№ докум.	Підпис	Дата

За такої умови доцільно для ПЗП відвести елементи пам'яті з адресами від 0000h до 07ffh. В такому випадку нижня адреса ОЗУ 2048 (0800h), а верхня межа тоді у 2 Кбайт підходить адресі 4095 (0fffh). У таблиці 3.4 показана карта пам'яті.

Таблиця 3.4 – Карта пам'яті

Тип ЗУ	ША	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ПЗУ	0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	07FFh	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
ОЗУ	0800h	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
	0FFFh	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

В якості ПЗП використовується БІС К573РФ5. Такий ПЗУ може бути реалізованим на основі одної мікросхеми пам'яті що має ультрафіолетове стирання, організовану 2к*8 та час для вибірки адреси дорівнює 450 нс. Щодо ІМС, вона містить 11 адресних входів, входи з дозволом програмування WE, 8 виходів даних, вибірки кристала CE, та дозволом виходів OE.

Призначення виведень мікросхеми пам'яті зображено на (рис 3.3.) Функціональна схема представлена на (рис 3.4.)

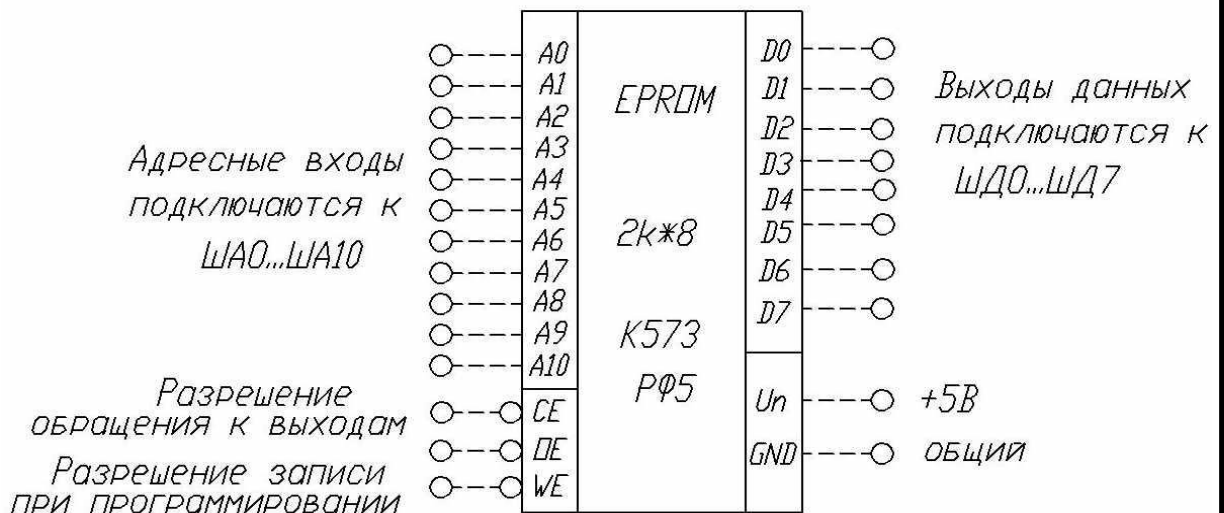


Рисунок 3.3 - Призначення виведень мікросхеми пам'яті з ультрафіолетовим стиранням

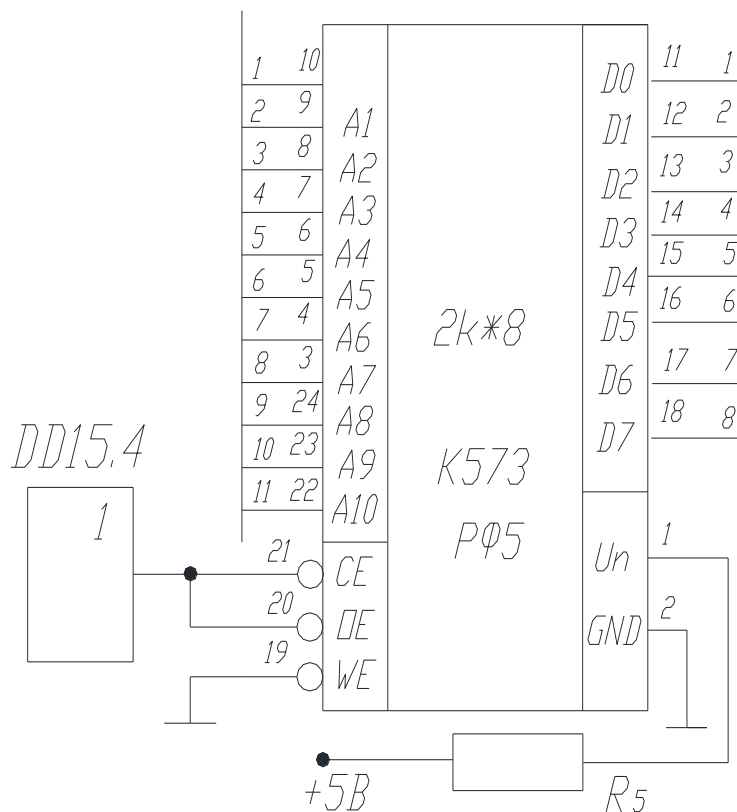


Рисунок 3.4 - Функціональна схема блока ПЗУ

У ролі проектованого ОЗУ вибираємо статичне ОЗУ НМ6116 в об'ємі 2 Кбайт. ОЗУ бувають динамічного і статичного типів. Оскільки в проектованому контролері об'єм оперативної пам'яті замалий, то нема сенсу використовувати в нім динамічне ОЗУ.

А ще застосування ОЗУ статичного типу дає можливість вирішити завдання, яке збереже дані в пам'яті, порівнюючи з динамічним ОЗУ статичне не потребує в циклі регенерації пам'яті.

Через це можна значно спростувати апаратну частину контролера. Щоб записати дані з входів I/O2 - I/O7 в мікросхему, потрібно на входах А0-А9 установити необхідну адресу елемента пам'яті, надати до входів CS і WR напругу з низьким рівнем. Для зчитування даних з пам'яті потрібно встановити адрес осередку, на вхід CS та надати напругу з низьким рівнем, та на вхід WR з високим.

Функціональне позначення цієї мікросхеми представлено на (рис 3.5).
 Функціональна схема блока ОЗУ представлена на (рис 3.6.)

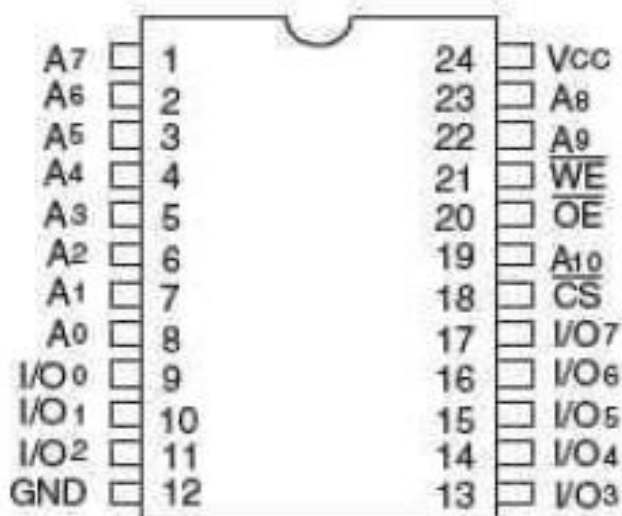


Рисунок 3.5 - Функціональне позначення HM6116

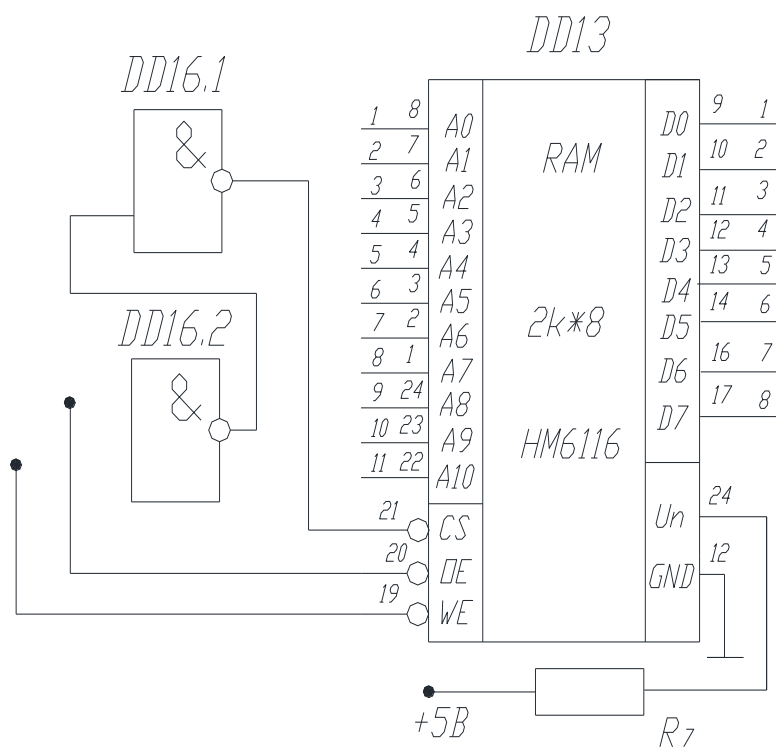


Рисунок 3.6 - Функціональна схема блока ОЗУ

3.2.2 Інтерфейсний блок

Щоб керувати зовнішніми пристроями, і для забезпечення потрібної швидкості вводу одержаного коду в пам'ять, необхідно використати контроллер КР580ВВ55А- паралельний інтерфейс, який дозволить організувати ввід/вивід паралельної інформації усякого формату (рис. 3.7).

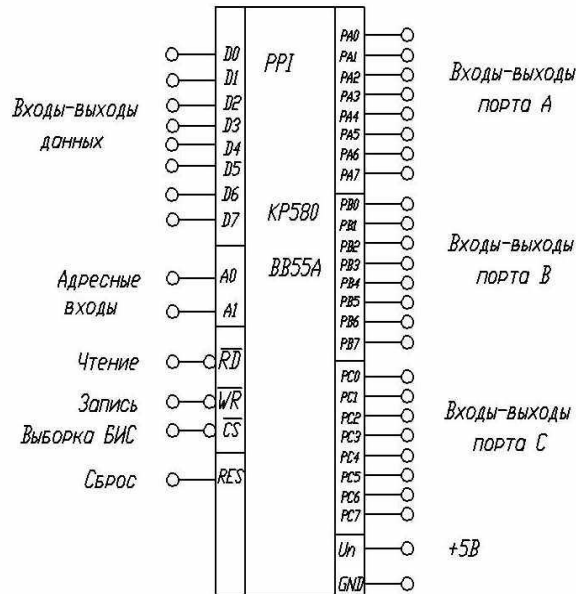


Рисунок 3.7 – Функціональне позначення і призначення виведень БІС КР580ВВ55

Ця мікросхема об'єднана в три восьмирозрядні порти вводу/виводу РА, РВ, РС. Крім того, порт РС спроможний робити як два самостійні 4-х розрядні порти. Призначення виведень:

- D7..D0 - шина даних;
- RA7.PA0, RB7.PB0, PC7.PC0- відповідні виведення портів РА, РВ, РС;
- A1, A0 адреси. Задавати адресу поточного порту: 00 - РА, 01 - РВ, 10 - РС, 11 - регістр слова, що управляє. Підключаються до 2-х молодших біт адресної шини;
- RD - читання. Коли нульовий рівень, то процесор зчитує інформацію з шини даних, котра на цей час увімкнена до порту (РА, РВ, РС) і

залежно від адреси, визначеної виведеннями A1, A0. Підключається до виведення системного контроллера IOR;

- WR - запис. Коли нульовий рівень, то процесор видає інформацію на шину даних, яка підключена до порту (PA, PB, PC) в залежності від адреси, визначуваної виведеннями A1, A0. Підключається до виведення системного контроллера IOW;

- CS - вибірка мікросхеми. Коли одиничний рівень, то входи мікросхеми переводяться в Z- стан. З дешифратора ВУ подається сигнал, і задає адресу порту.

Для задання роботи порту використовується слово, що управляє і яке тримає 8 біт.

D0: 1 – ввід PC3...PC0, 0 – вивід PC3...PC0;

D1: 1 – ввід PB, 0 – вивід PB;

D2: номер режиму порту PB у двійковій системі;

D3: 1 – ввід PC7...PC4, 0 – вивід PC7...PC4;

D4: 1 - введення PA, 0 - виведення PA

D5-6: номер режиму порту PA у двійковій системі;

D7 = 1 – в режимі установки.

Навіщо програмуються порти:

- порт A – виведення даних (щоб керувати входами в аналоговому комутаторі);

- порт B – ввід інформації з АЦП;

- PC0.PC3 - для управління роботи з облаштуванням відображення інформації;

- PC4.PC7 - на виходах утворюються послідовні логічні одиниці, на фронті яких робиться запис у відповідний регістр семисегментного коду.

3.2.3 Блок модуля Ethernet контроллера на RTL8019AS

RTL8019AS - інтегрований на кристалі контроллер Ethernet MAC+PHY, що повністю відповідає стандарту 10base, - T/100base - TX. Для зв'язку з хостом (мікроконтроллером) він використовує паралельний інтерфейс SPI. Мікросхема практично не вимагає зовнішніх компонентів для роботи і підтримує декілька Power – down режимів [8].

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		32



Рисунок 3.8 – Общий вид микросхемы RTL8019AS

RTL8019AS інтегрує RTL8019A і 16 Кбайт SRAM в одній мікросхемі. Він призначений не лише для забезпечення зручніших функцій, але і заощадити зусилля SRAM джерела і інвентаря [9].

Особливості:

- 100-контактний PQFP;
- 16 Кбайт SRAM;
- сумісність з Ethernet II і IEEE 802.3 10base5, 10base2, 10baset;
- підтримка UTP, AUI і BNC авто визначення;
- програмне забезпечення сумісне з NE2000 на обох 8 і 16-бітових слотах;
- підтримка дуплексного Ethernet. Функція подвійної смуги пропускання каналу;
- підтримує три рівні потужності;
- вбудована функція попередньої вибірки даних для підвищення продуктивності;
- підтримка автоматичного визначення полярності корекції 10baset;
- підтримка 8 ліній переривань;
- підтримує Адресу введення-виведення, повністю режим декодування;
- підтримка BROM - відключення команди для звільнення пам'яті після видаленого завантаження;
- Підтримка 4 діагностичний світлодіод шпильки з програмованими виходами [8].

Застосовується мікросхема RTL8019AS у вбудованих системах, таких як ADSL роутери, маршрутизатори IP обміну (NAT), сервери друку і кабельні модеми.

Нижче представлено функціональну схему блока RTL8019AS і призначення виведень мікроконтролера:

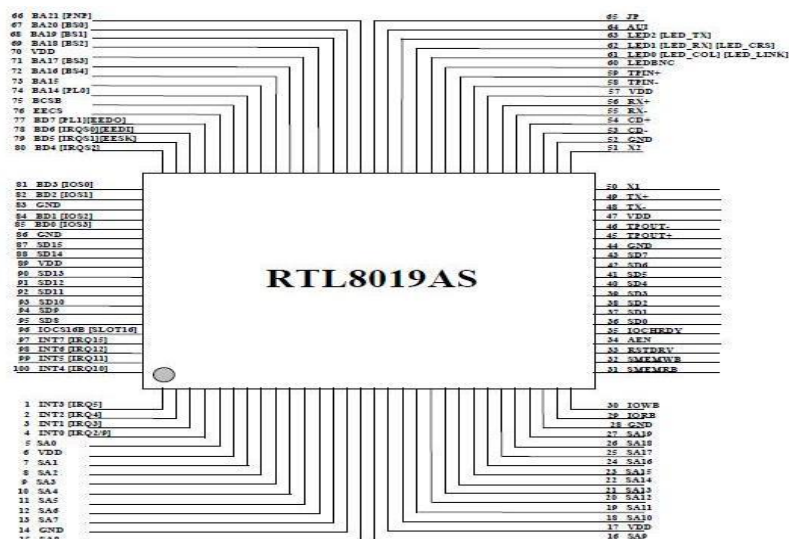


Рисунок 3.9 – Розташування введень-виведень мікросхеми RTL8019AS

Якщо спростити функціональну схему блоку RTL8019AS з показаними підключеними виведеннями для RJ - 45,управління, шини даних, то вона виглядатиме так:

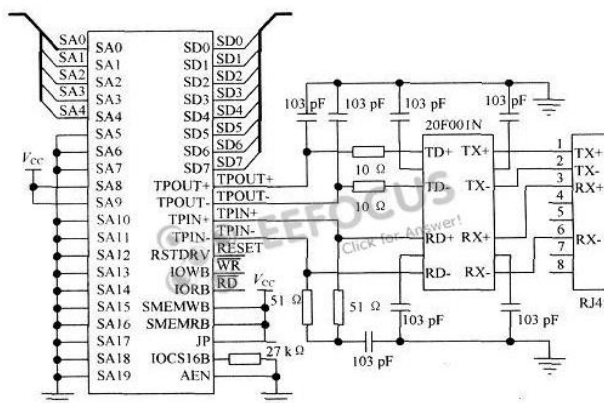


Рисунок 3.10 – Спрощена функціональна схема

Зм.	Лист	№ докум.	Підпис	Дата

3.3 Розроблення програмного забезпечення пристрою, що проектується

Відтворимо програмований контроллер з послідовними введеннями-виведеннями.

Частина програми зробленої на асемблері, яка приведена нижче, для мікроконтроллера КР1821ВМ85, відтворює один з варіацій асинхронного передавання вздовж послідовного каналу організації елементів масиву, користуючись програмованим контроллером з послідовним введенням-виведенням КР1821ВМ85А, інакше, універсальний асинхронний приймач (УАПП).

Для вводу в УАПП інструкцій і виводу даних використовуються так звані адреси DATA і INSTR, відповідно. ADDR - адрес джерела буфера даних, що знаходиться в пам'яті, та ідентифікатор N визначає кількість елементів в масиві даних. Коли з'являється помилка парності, то робиться заклик до підпрограми, яка розташована за адресом ERR, щоб обробити помилки.

Мітка – Мнемокод – Коментар

BEGIN DI; Заборона на переривання

MVI A,40H ;Запис інструкції програмного скидання

OUT INSTR

MVI A,7DH ;Запис інструкції режиму

OUT INSTR

MVI A,31H ; Запис інструкції команди передачі

OUT INSTR

MVI B,N ; Установка лічильника масиву даних

LXI H,ADDR ;Завантаження початкової адреси масиву

ENTR: MOV A,M ;Передача елементу масиву в акумулятор

OUT DATA;Запис елементу масиву в УАПП

WAIT: IN INSTR ;Слово стану УАПП

MOV C,A ;Зберігання слова стану

ANI 08 ;Виділення біта помилки парності

CNZ ERR ;Якщо помилка, то звернення до програми обробки

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		35

MOV A,C ;Відновлення слова стану
 RAR ;Контроль готовності передавача
 JNC WAIT ;Якщо не готовий, то на повтор
 DCR B ;Зміна лічильника елементів масиву
 JZ EXIT ;Якщо все, то вихід з програми
 INX H ;Наступний елемент масиву
 JMP ENTR ;Повторення циклу передачі
 EXIT:MVI A,38H ;Запис інструкції команди кінця передачі
 OUT INSTR
 EI ;Дозвіл переривання

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		36

ВИСНОВОК

В класифікаційній роботі бакалавра у відповідності з поставленим завданням було розроблено пристрій комутації для комп'ютерної мережі.

До складу центрального блоку пристрою входять:

- мікросхема КР1821ВМ85А;
- два буферні регістри КР580ІР82;
- двонаправлений шинний формувач КР580ВА86;
- мультиплексор К555КП11;
- зовнішній резонатор;
- схема формування скидання.

Розроблений алгоритм роботи пристрою, а також структурна і принципова схеми пристрою.

					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		37

СПИСОК ЛІТЕРАТУРИ

1. <https://studfile.net/preview/9184486/> (2019 p.)
2. http://wiki.fizmat.tnpu.edu.ua/index.php/Локальна_комп%27ютерна_мережа (2012p.)
3. <https://androidas.ru/chto-takoe-svitch-i-dlya-chego-nuzhny-podobnyye-ustroistva-osnovy-mostov/> (2022p.)
4. Сторчак К.П., Ткаленко О.М., Полоневич О.В., Чорна В.М. Технології програмної комутації. Навч. посібник, підготовлено для студентів вищих навчальних закладів – Київ: ДУТ, 2018. – 104с. https://dut.edu.ua/uploads/1_1761_63999631.pdf (2018p.)
5. https://library.kre.dp.ua/Books/NMM/ЕОМ%20та%20мікропроцесори%20Дворніченко%20Н.Ф/ЕОМ_та_мікропроцесори%20_КЛ_Дворніченко_Н_Ф.pdf (2018)
6. <https://studfile.net/preview/7481349/page:4/> (2018 p.)
7. <https://www.sciencedirect.com/topics/engineering/memory-address-register> (2016 p., англomовне джерело)
8. <https://www.realtek.com/en/products/communications-network-ics/item/rtl8019as> (2019 p., англomовне джерело)
9. [Osnovy-pobudovi-telekommunikacijnih-system-ta-merezz-2017.pdf \(kre.dp.ua\)](https://kre.dp.ua/Osnovy-pobudovi-telekommunikacijnih-system-ta-merezz-2017.pdf) (2017p.)
10. Мікропроцесори та цифрова електроніка [Електронний ресурс]: навч. посіб. для студ. спеціальності 141 "Електроенергетика, електротехніка та електромеханіка" / К. К. Победаш, В. А. Святненко; КПІ ім. Ігоря Сікорського. - Електронні текстові дані (1 файл: 8.37 Мбайт). - Київ: КПІ ім. Ігоря Сікорського, 2021, -120 с <https://ela.kpi.ua/bitstream/123456789/45666/1/Mikroprotsesory.pdf>(2021p.)
11. Кулик І.А. Застосування квазірівноважних кодів в телекомунікаційних системах / І.А. Кулик, А.О. Лобанов, М.В. Зайцева // Фізика, електроніка, електротехніка (ФЕЕ-2022). Матеріали та програма науково-технічної конференції. – Суми: СумДУ, 2022. - С. 66.
12. Розподілені мікропроцесорні системи: конспект лекцій [Електронний ресурс]: для підготовки докторів філософії в галузі знань 17 Електроніка та телекомунікація за спеціальністю 171 Електроніка за

										Лист
										38
Зм.	Лист	№ докум.	Підпис	Дата						

спеціалізацією «Електронні системи» / КПІ ім. Ігоря Сікорського; уклад.: Т. О. Терещенко – Електронні текстові данні (1 файл:5544 кбайт). – Київ: КПІ ім. Ігоря Сікорського, 2018. – 192 с.

13. Організація комп'ютерних мереж: конспект лекцій [Електронний ресурс]: навч. посіб. для студ. спеціальності 121 «Інженерія програмного забезпечення», спеціалізації «Програмне забезпечення комп'ютерних та інформаційно-пошукових систем» / Л.М. Олещенко; КПІ ім. Ігоря Сікорського. – Київ: КПІ ім. Ігоря Сікорського, 2018. – 225 с.

14. https://ela.kpi.ua/bitstream/123456789/22890/1/Organizacia_komputernyh_merezh_Konspekt_lekciy.pdf (2018)

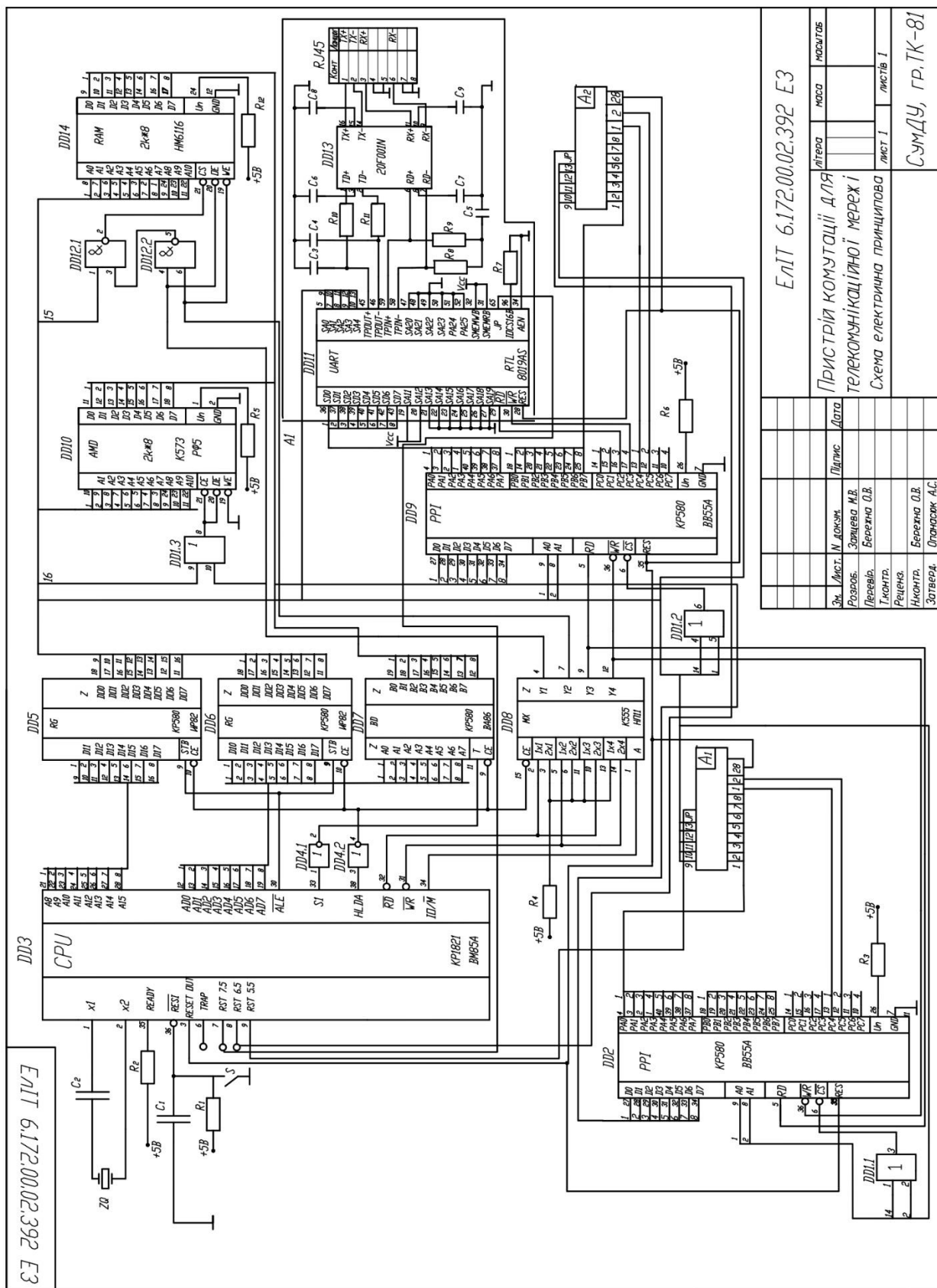
					ЕЛІТ 6.172.00.02.392 ПЗ	Лист
Зм.	Лист	№ докум.	Підпис	Дата		39

Додаток А
Лістинг програми

Мітка – Мнемокод - Коментар

```
BEGIN DI ;Заборона переривання
MVI A,40H ;Запис інструкції програмного скидання
    OUT INSTR
MVI A,7DH ;Запис інструкції режиму
    OUT INSTR
MVI A,31H ; Запис інструкції команди передачі
    OUT INSTR
MVI B,N ; Установка лічильника масиву даних
LXI H,ADDR ;Завантаження початкової адреси масиву
ENTR: MOV A,M ;Передача елемента масиву в акумулятор
    OUT DATA;Запис елемента масиву в УАПІ
WAIT: IN INSTR ;Слово стану УАПІ
    MOV C,A ;Зберігання слова стану
    ANI 08 ;Виділення біта помилки парності
    CNZ ERR ;Якщо помилка, то на програму обробки
    MOV A,C ;Відновлення слова стану
    RAR ;Контроль готовності передавача
    JNC WAIT ;Якщо не готовий, то повтор
    DCR B ;Зміна лічильника елементів масиву
    JZ EXIT ;Якщо все, то вихід з програми
    INX H ;Наступний елемент масиву
    JMP ENTR ;Повторення циклу передачі

EXIT:MVI A,38H ;Запис інструкції команди кінця передачі
    OUT INSTR
EI ;Дозвіл преривання
```



ЕЛІТ 6.172.00.02.392 ЕЗ		літера	модуль
Пристрій комутації для телекомунікаційної мережі			
Схема електрична принципова			
Зна. лист.	М. док-м.	Листів	Дата
Розроб.	Золіщев М.В.		
Перевір.	Бережна О.В.		
Ілюстр.			
Реценз.			
Анотац.	Бережна О.В.		
Затверд.	Оларюк А.С.		

Рисунок 1 - Принципіальна схема пристрою

Додаток В

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

ФІЗИКА, ЕЛЕКТРОНІКА,
ЕЛЕКТРОТЕХНІКА

ФЕЕ :: 2022

**МАТЕРІАЛИ
та програма**

МІЖНАРОДНОЇ НАУКОВОЇ КОНФЕРЕНЦІЇ
МОЛОДИХ ВЧЕНИХ

(Суми, 18–22 квітня 2022 року)

Суми
Сумський державний університет
2022

**Застосування квазірівноважних кодів в
телекомунікаційних системах**

Кулик І.А., доцент; Лобанов А.О., студент гр. ТК-81;

Зайцева М.В., студент гр. ТК-81

Сумський державний університет, м. Суми, Україна

Одним із перспективних напрямів розвитку телекомунікаційних пристроїв та систем є підвищення їх інформаційної потужності без збільшення довжини інформаційних повідомлень. У такий спосіб можна досить ефективно підвищити швидкість передачі інформації по каналам зв'язку, особливо якщо це здійснюється з мінімальним використанням апаратно-програмних витрат й без помітного зниження завадостійкості передачі даних.

Для збільшення інформаційної потужності систем передачі даних та пристроїв кодування/декодування пропонується застосування в них квазірівноважних кодів, множини яких на відміну від множин рівноважних комбінацій володіють значно більшою потужністю (кількістю кодових елементів) при тій самій кількості інформаційних розрядів. Це є наслідком використання декількох дозволених чисел одиниць в квазірівноважних кодових послідовностях.

Квазірівноважні коди, як і рівноважні, мають біноміальну структуру і для їх формування можна застосувати біноміальні числа, які генеруються двійковими біноміальними системами числення з параметрами n і k . Алгоритм отримання квазірівноважних кодових комбінацій, що мають довжину $(n-1)$ розрядів і кількості k та $(k-1)$ двійкових одиниць досить простий. Він полягає в тому, що до біноміальних чисел, які закінчуються одиницею, додають двійкові нулі, а до біноміальних чисел, які закінчуються нулем, додають одиниці доки не буде сформована результуюча квазірівноважна комбінація з $(n-1)$ розрядів. Очевидно, що і зворотний перехід до біноміальних чисел не буде становити технічних труднощів.

Слід зауважити також, що перетворення квазірівноважних $(n-1)$ -розрядних кодів, які мають k та $(k-1)$ одиниць, до звичайних рівноважних, які мають n розрядів і k одиниць, теж складається з простих операцій, а можливе сумісне застосування біноміальних кодів, квазірівноважних і рівноважних комбінацій в телекомунікаційних системах та пристроях кодування/декодування дозволить адаптивно підходити до організації передачі даних по каналам зв'язку.