

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Кафедра електроніки і комп'ютерної техніки

ПОЯСНЮВАЛЬНА ЗАПИСКА

ДО КВАЛІФІКАЦІЙНОЇ РОБОТИ МАГІСТРА

на тему:

**«АДАПТИВНА СИСТЕМА ЗАВАДОСТІЙКОГО ПІДРАХУНКУ
ІМПУЛЬСІВ НА ОСНОВІ БІНОМІАЛЬНИХ ЧИСЕЛ»**

Завідувач кафедри

Опанасюк А. С.

Керівник проекту

Кулик І. А.

Консультант

з техніко-економічної частини

Маценко О. М.

Розробив студент групи ЕС.м-11

Жижа В. В.

Суми 2022

СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Факультет _____ електроніки та інформаційних технологій

Кафедра _____ електроніки і комп'ютерної техніки

Напрямок підготовки _____ 8.171.00.10 «Електроніка»

Освітня програма _____ Електронні системи та компоненти

ЗАТВЕРДЖУЮ

Зав. кафедрою _____ Опанасюк А. С.

"__" _____ 2022 р.

ЗАВДАННЯ

на кваліфікаційну роботу магістра

1. Тема роботи _____

затверджена наказом по університету " __ " _____ 2022 р. № _____

2. Термін здачі студентом завершеної роботи _____

3. Вихідні дані до роботи _____

4. Зміст розрахунково-пояснювальної записки (перелік питань, що належить розробити) 1) Огляд літератури та поставлення задачі роботи. 2) Науково-дослідна частина. 3) Розробка електронної системи з використанням отриманих результатів дослідження. 4) Техніко-економічна частина.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

1) Схема електрична структурна. 2) Схема алгоритму. 3) Схема електрична функціональна. 4) Схема електрична принципова.

6. Консультанти з кваліфікаційної роботи

Розділи	Консультанти	Завдання видав	Завдання прийняв
Техніко-економічна частина	Маценко О. М.		

7. Дата видачі завдання _____

8. Керівник роботи _____

9. Завдання прийняв до виконання _____

КАЛЕНДАРНИЙ ПЛАН

№ п/п	Назва етапів дипломного проекту	Термін виконання етапів роботи	Примітки
1	Огляд літератури й постановка завдання дослідження	20.09.22 – 10.10.22	
2	Науково-дослідна частина	10.10.22 – 20.10.22	
3	Розробка алгоритму функціонування	20.10.22 – 25.10.22	
4	Розробка та обґрунтування структурної схеми	25.10.22 – 30.10.22	
5	Розробка функціональної схеми	30.10.22 – 05.11.22	
6	Розробка та розрахунок принципової схеми	05.11.22 – 15.11.22	
7	Техніко-економічна частина	15.11.22 – 25.11.22	
8	Оформлення пояснювальної записки	25.11.22 – 30.11.22	
9	Оформлення графічного матеріалу	30.11.22 – 10.12.22	
10	Представлення роботи керівнику і отримання відгуку	11.12.22	
11	Представлення роботи кафедри для отримання рецензії	15.12.22	

Студент _____

Керівник роботи _____

« ___ » _____ 2022 р.

РЕФЕРАТ

Пояснювальна записка містить: сторінок: 82, рисунків: 25, таблиць: 33, джерел літератури: 16.

Об'єктом дослідження роботи є адаптивна система завадостійкого підрахунку імпульсів на основі біноміальних чисел.

Метою роботи є розробка адаптивної системи підрахунку імпульсів, яка працює на основі біноміальних чисел та здатна функціонувати в умовах активних завод.

Висока актуальність лічильних пристроїв зумовлює необхідність вирішення проблеми підвищення їх завадостійкості. Останнє досягається шляхом введення в лічильник так званих заборонених комбінацій схематично та за допомогою перешкодостійких систем підрахунку. Рахункові пристрої, що використовують для своєї роботи заборонені стани, вирішують досить складну задачу підрахунку і вимагають розробки контрольних пристроїв, за роботою яких також необхідно стежити. Крім того, структура самого лічильника стає неоднорідною. Також страждає надійність рахункового пристрою, рівень якої може знизитися.

Одними з найбільш актуальних пристроїв для перешкодостійкого рахунку є біноміальні лічильники, для роботи яких використовуються біноміальні системи рахунку. Важливими особливостями біноміальних лічильників є високий рівень перешкодостійкості та однорідність структури. Крім того, помітно різке зниження апаратної вартості декодерів, які працюють зі своїми станами. Здебільшого це призводить до зниження загальних апаратних витрат пристрою порівняно з двійковими лічильниками. Приємним бонусом є можливість адаптувати пристрій під характер і інтенсивність перешкод і змінювати коефіцієнт перерахунку.

Ключові слова: біноміальний, перешкоди, система числення, завадостійкість, лічильник.

ЗМІСТ

ВСТУП.....	6
РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ ДОСЛІДЖЕННЯ	8
1.1 Надійність та відмовостійкість електронних пристроїв.....	8
1.2 Двійкові біноміальні системи числення.....	14
1.3 Типи і класифікація лічильних пристроїв.....	19
1.4 Постановка завдання на проектування.....	22
РОЗДІЛ 2 НАУКОВО-ДОСЛІДНА ЧАСТИНА	24
РОЗДІЛ 3 РОЗРОБКА ЕЛЕКТРОННОЇ СИСТЕМИ З ВИКОРИСТАННЯМ ОТРИМАНИХ РЕЗУЛЬТАТІВ ДОСЛІДЖЕННЯ	36
3.1 Розробка та обґрунтування алгоритму функціонування	36
3.2 Розробка структурної схеми проектованої системи	42
3.3 Розробка електричної функціональної схеми	43
3.4 Вибір елементної бази та розробка принципів схем блоків ..	51
РОЗДІЛ 4 ТЕХНІКО-ЕКОНОМІЧНА ЧАСТИНА	69
4.1 Розрахунок повної собівартості системи	69
4.2 Розрахунок ціни системи	75
4.3 Визначення річних витрат споживача	76
4.4 Розрахунок повної ціни користувача	78
4.5 Висновки до техніко-економічної частини	78
ВИСНОВКИ	80
СПИСОК ЛІТЕРАТУРИ	81
ПЕРЕЛІК ЕЛЕМЕНТІВ	82

ЕЛІТ 8.171.00.10.421 ПЗ				
Зм.	Лист	№ докум	Підпис	Дата
Розроб.		Жижа В. В.		
Перевір.		Кулик І. А.		
Реценз.				
Н. Контр.		Гапич В. М.		
Затверд.		Опанасюк А. С.		
Адаптивна система завадостійкого підрахунку імпульсів на основі біноміальних чисел. Пояснювальна записка.				
		Лит.	Лист	Листів
		у	5	82
СумДУ гр. ЕС.м-11				

ВСТУП

У розвитку засобів обробки даних можна виділити дві основні тенденції – використання мікропроцесорів і створення досить повного комплексу мікроелектронних пристроїв, що реалізують найбільш поширені обчислювальні операції. Перший передбачає програмний, другий – схемотехнічний спосіб реалізації обчислювальних функцій. Схемна реалізація засобів обробки даних, у порівнянні з програмним забезпеченням, значно підвищує швидкість виконання операцій і є незамінною в пристроях керування в режимі реального часу.

Особливе місце серед схем, що використовуються для обробки даних, займають лічильники. Облік є найважливішою ланкою в організаційно-технологічних автоматизованих системах управління. Лічильники важливі не тільки самі по собі, але і з точки зору нових схемотехнічних рішень в області цифрових пристроїв, оскільки до них можна віднести будь-який пристрій, який в процесі роботи проходить кілька станів.

Широке застосування лічильників вимагає підвищення їх надійності, зокрема, завадостійкості. Останнє досягається шляхом введення в лічильники заборонених станів. Однак їх виявлення інколи перетворюється на досить складну задачу і вимагає, крім лічильника, розробки контрольного пристрою, правильність роботи якого необхідно контролювати. У цьому випадку лічильник набуває неоднорідної структури, яку нелегко проектувати та налагоджувати, а його надійність може навіть знизитися.

Ці протиріччя можна подолати, використовуючи завадостійкі системи числення. Розроблені на їх основі лічильники однорідні і перешкодостійкі. Вони не містять спеціального пристрою керування, хоча вони все ще мають надлишковість апаратного забезпечення порівняно з двійковими лічильниками. До цього класу пристроїв відносяться також біноміальні лічильники, що працюють в біноміальній системі числення. Їх важливою особливістю є значне скорочення обладнання, необхідного для розшифровки їх станів. У деяких випадках це може призвести до того, що сума витрат на обладнання в пристрої з біноміальними лічильниками в цілому зменшиться в порівнянні з пристроєм, що містить двійкові лічильники. Крім того, ці лічильники дозволяють, змінюючи коефіцієнт перетворення, підлаштовуватися під інтенсивність і характер перешкод.

Друга важлива, якщо не головна, перевага лічильників, що працюють в завадостійких системах числення, – це можливість сортувати комбінаторні конфігурації, наприклад, комбінації, комбінації з повтореннями, перестановками і т. д. Таким чином, лічильники завадостійких систем числення мають важливі переваги – завадостійкість і багатofункціональність.

Біноміальні лічильники являються актуальними пристроями для завадостійкого рахунку. Вони функціонують з використанням біноміальних ваг та різних алфавітів (двійкового, вісімкового, шістнадцяткового).

Створені на базі біноміальних систем числення системи завадостійкого підрахунку імпульсів не міститимуть контролюючого пристрою, однак володітимуть апаратною надлишковістю, якщо проводити паралель з системами підрахунку, які для своєї роботи використовують двійкову систему числення. Характерними властивостями біноміальних лічильників являється однорідність структури та великий рівень перешкодостійкості. При чому, додатково знижується рівень апаратних витрат дешифраторів, працюючих зі станами лічильників. Це є причиною зменшення апаратних витрат такої системи в цілому, якщо порівнювати з системами, в складі яких функціонують двійкові лічильники. Важливою особливістю завадостійких систем підрахунку імпульсів є адаптація до характеру та інтенсивності завад та можливість зміни коефіцієнта перерахунку.

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
						7
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

РОЗДІЛ 1 ОГЛЯД ЛІТЕРАТУРИ І ПОСТАНОВКА ЗАВДАННЯ ДОСЛІДЖЕННЯ

1.1 Надійність та відмовостійкість електронних пристроїв

Сучасна цифрова електронна техніка пройшла шлях свого розвитку від електронних трубок до інтегральних схем і тепер переходить до пристроїв, що використовують передові нанотехнології, тобто молекулярну електроніку. Проте на всіх етапах розвитку перед нею стояла і стоїть сьогодні задача підвищення надійності. Особливо це було важливо для контрольного обладнання, оскільки від його надійності безпосередньо залежить безпека виробничих ліній, хімічних і ядерних реакторів, транспортних засобів. Це завдання залишиться для цифрової електроніки і в майбутньому. Більш того, її вирішення стане ще більш актуальним, оскільки сфера застосування електронних пристроїв управління постійно розширюється, а їх нові технічні рішення не в змозі задовольнити постійно зростаючим вимогам до їх надійності. Очевидно, що для завдання підвищення надійності цифрової техніки залишаються в силі всі наявні розробки в її вирішенні, але будуть розроблені і принципово нові підходи, які дозволять зробити ривок у зростанні її надійності.

Серед уже існуючих підходів, які вирішують проблему підвищення надійності цифрових систем, також існує підхід, який її вирішує, починаючи з елементної бази – дешифраторів, регістрів, лічильників, суматорів. Проте в даний час невідомі доступні в масовому виробництві електронні цифрові системи, наприклад комп'ютери, в яких збої і відмови автоматично усуваються на найнижчому рівні - на рівні їх елементів і на кожному циклі роботи.

Раніше масовому впровадженню цього підходу заважала висока складність виготовлення інтегральних мікросхем і, відповідно, їх висока вартість. Сьогодні вартість мікросхем значно знизилася, але технологічна надійність вже наявної елементної бази вважається досить високою, а тому питання розробки відмовостійкої елементної бази часто не розглядається як першочергове завдання. Дійсно, для багатьох застосувань цифрових систем, особливо побутових, надійність наявної елементної бази цілком прийнятна. Тому завдання подальшого підвищення її надійності взагалі не ставиться, а необхідна надійність електронних систем досягається за допомогою програмних чи структурних методів. Наприклад, в літаку встановлюють три-п'ять комп'ютерів, що дублюють один одного, і більшістю «голосів» вирішується, яка інформація достовірна.

					ЕЛІТ 8.171.00.10.421 ПЗ	Лист
						8
Зм.	Лист	№ докум.	Підпис	Дата		

Це дає можливість реалізовувати на звичайній елементній базі надійні електронні системи відносно невисокої вартості, придатні не тільки для масового виробництва, а й для спеціальних замовлень.

Проте все ще є сфери застосування, де наявної на даний момент надійності цифрових систем явно недостатньо. Це, наприклад, ракетна та військова техніка, рухомий склад, атомні електростанції. Відомі випадки в літаках, коли навіть з п'ятьма комп'ютерами в цифровій системі пристрою відбувалися збої і пристрій виходив з ладу. Втрати від низької надійності електронних цифрових систем у таких і подібних випадках можуть бути настільки великими, що майже будь-які витрати на її вдосконалення не можна вважати надмірними. І якщо витрати на підвищення надійності не надто великі, то ще більше сенсу є підвищення надійності електронних систем, у тому числі на рівні мікросхем. Дійсно, сьогодні теоретично і практично доведено, що інтегральні схеми старіють, якими б надійними вони не були спочатку, і рано чи пізно виходять з ладу. Причому їх вихід з ладу може статися з абсолютно непередбачуваних причин, пов'язаних, наприклад, з процесами, що відбуваються на рівні атомів. Загалом питання підвищення надійності повинні вирішуватися на різних рівнях, починаючи від елементної бази і закінчуючи структурою проектного технічного пристрою чи системи. Тоді кожен елемент і блок електронної системи на кожному циклі роботи буде подавати сигнал про свою справність або несправність, а наявна система моніторингу та діагностики буде оперативно реагувати на це.

Оскільки при розглянутому загальному підході до підвищення надійності електронної системи її керування відбувається на кожному кроці, то це буде система з оперативним керуванням. Однак така система лише подає сигнали про збої або збої, що виникли, і вказує їх місце розташування. Для виправлення помилок також потрібна система, яка швидко усуває збої та збої, а для цього потрібні додаткові елементи в структурі вихідної електронної системи. Тому в електронну систему спочатку, а не після її побудови, у всіх без винятку її елементах і блоках необхідно вводити схеми керування, діагностики та усунення відмов. Крім того, їх можна розосередити в основному ланцюзі, щоб вони не діяли як окремі пристрій. Це рішення є найефективнішим способом впровадження резервування, оскільки воно є найбільш економічним з точки зору з точки зору апаратних витрат і, крім того, трохи знижує швидкість вихідного пристрою за рахунок розпаралелення процесу керування.

						<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>			9

Найважливішою характеристикою електронних пристроїв завжди була надійність. Існує кілька принципів надійності, в основі яких лежить попередження відмов шляхом зниження інтенсивності відмов за рахунок використання електронних схем і компонентів з високим і надвисоким ступенем інтеграції, зниження рівня перешкод, спрощених режимів роботи схеми, а також за рахунок удосконалення методів складання обладнання.

Питання підвищення надійності і відмовостійкості необхідно вирішувати на різних рівнях, починаючи від елементної бази і закінчуючи структурою проектованого пристрою або системи. Саме тоді кожен елемент і електронні блоки системи при кожному такому спрацьовуванні подадуть сигнал про свою справність або несправність, а наявна система управління і діагностики оперативно на це відреагує.

Існує кілька основних напрямків забезпечення надійності, відмовостійкості та відмовостійкості електронних пристроїв (систем):

1. Використання структурної надмірності. Найбільш ефективним варіантом структурної надмірності є дублювання. При збільшенні витрат у 2 рази це дозволяє підвищити надійність у 1,5 рази. При подальшому збільшенні коефіцієнта резервування його ефективність за критерієм $K_e = \text{надійність} / \text{вартість}$ стрімко падає (табл. 1.1). Резервування на нижчому рівні опису ефективніше, ніж резервування на вищому рівні. Така система з дублюванням усіх комп'ютерних пристроїв має приблизно в 2,7 рази більшу надійність, ніж система з двома дубльованими комп'ютерами;

Таблиця 1.1 – Ступінь ефективності резервування

Кратність резервування	K_e
1/1	0,75
2/1	0,611
3/1	0,52

2. Підвищення відмовостійкості елементної бази. Це перспективний напрямок, оскільки підвищення стійкості до відмов кожного елемента

електронної системи дозволяє підвищити надійність останньої в кілька разів. Різні типи відмов сучасних електронних пристроїв мають різну ймовірність (табл. 1.2). Проаналізувавши ці дані, можна дійти висновку, що в майбутньому суттєве підвищення надійності обладнання за рахунок підвищення рівня інтеграції мало ймовірно;

Таблиця 1.2 – Оцінка вірогідності відмов

Тип відмов	Оцінка вірогідності
Логічні елементи	0,04
ОЗП	0,0315
ПЗП	0,0685
Котушки індуктивності, конденсатори, резистори	0,597
Місця спаювання	0,0462
Роз'єми	0,0588
Реле	0,0929
Інші	0,0651

3. Використання засобів контролю та реконфігурації. Підвищення ймовірності виявлення відмови дозволяє підвищити надійність функціонування системи, оскільки забезпечує можливість миттєвого переходу на робочий об'єкт.
4. Використання інформаційної надлишковості (виправлені коди працюють у режимі виявлення та виправлення помилок).

Для забезпечення відмовостійкості в електронній системі з самого початку повинні бути запроваджені схеми контролю, діагностики та виправлення несправностей. Більше того, їх можна розподілити по основній схемі, щоб вони не виступали як окремий пристрій. Таке рішення є найефективнішим способом, оскільки воно досить економне з точки зору витрат на обладнання і, крім того, трохи знижує швидкість роботи пристрою за рахунок того, що процес управління

буде відбуватися паралельно з основним завданням.

Але завдяки тому, що така відмовостійка система повинна контролювати свою роботу на кожному циклі роботи, вимоги до її ефективності та швидкості досягають максимуму. У такій системі при управлінні роботою окремих мікросхем на їх нижніх рівнях у багатьох випадках доводиться відмовлятися від програмних методів контролю та усунення збоїв і відмов і замінювати їх схемними. Здебільшого це ускладнює і здорожує електронну систему, але, в той же час, значно підвищує її надійність і швидкодію в порівнянні з системами, де такого цілодобового контролю немає.

У розвитку засобів обробки інформації можна виділити дві основні тенденції - використання мікропроцесорів і створення досить повного набору мікроелектронних пристроїв. Перший передбачає програмне забезпечення, а другий – схематичний спосіб реалізації обчислювальних функцій.

Необхідність забезпечення відмовостійкості електронних пристроїв різного призначення, побудованих на програмованих логічних інтегральних схемах (ПЛК), зумовлена високими функціональними вимогами до їх швидкодії, надійності, точності та безвідмовності. Одним із перспективних шляхів підвищення відмовостійкості електронних пристроїв на ПЛС є використання в їх конструкції вбудованих засобів самовідновлення. Програмне забезпечення для самовідновлення – це програмне резервування, яке, у свою чергу, збільшує вартість пристроїв, оскільки воно вимагає додаткові витрати на обладнання. Однак цей недолік компенсується тим, що розглянуті засоби самовідновлення значно підвищують продуктивність і надійність. Апаратно-програмні засоби самовідновлення – це сукупність програмно-апаратних засобів, які використовуються на різних ієрархічних рівнях пристрою (системи) і забезпечують корекцію широкого класу відмов (несправностей) і оперативне відновлення працездатності електронного пристрою. Самовідновлювальні електронні пристрої (системи) повинні володіти такими властивостями: виявлення відмов (несправностей) у момент їх першого прояву (ця властивість реалізується за допомогою вбудованих схем керування, які автоматично перевіряють наявність відмов); локалізація відмов (несправностей) із заданою глибиною (реалізується за допомогою вбудованих засобів автоматичного тестування); реконструкція (реконфігурація) структури пристрою (реалізована за допомогою програмних засобів); відновлення нормального функціонування пристрою (реалізується відповідними вбудованими апаратно-програмними

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		12

засобами).

Схемна реалізація в порівнянні з програмною має в рази більшу швидкість виконання операцій і тому незамінна в пристроях, що працюють в режимі реального часу. Блоки електронних пристроїв, у свою чергу, складаються з елементів, виконаних у вигляді інтегральних мікросхем, наприклад дешифраторів, лічильників. Тому підвищення захищеності електронної системи в цілому слід починати з підвищення захищеності мікросхем. Їх вартість при сучасній технології виробництва не сильно зростає, швидкість роботи практично не знижується, а надійність зростає в рази.

Лічильники та дешифратори на даний момент є найбільш поширеними та універсальними елементами цифрової техніки. Відмовостійкість декодерів дозволяє підвищити надійність пристроїв, до складу яких вони входять, наприклад, мультиплексорів, суматорів, пристроїв енергонезалежної пам'яті, програмно-логічних матриць. За допомогою дешифраторів (повних і неповних) ви можете реалізувати будь-який, як завгодно

складна логічна функція і, відповідно, цифровий електронний пристрій, який використовує цю функцію для своєї роботи. А якщо ці декодери ще й відмовостійкі, то це дозволяє будувати на їх основі відмовостійкі електронні системи.

Однак декодери – це лише комбінаційні схеми, тобто схеми без пам'яті. Хоча в принципі на їх основі будь-який цифровий пристрій або система, що працює протягом одного циклу, може бути реалізована у вигляді матричної схеми, на практиці поки що неможливо обійтися без цифрових пристроїв з пам'яттю. Одним з таких поширених і універсальних цифрових приладів є лічильник.

Особливе місце серед схем обробки даних займають лічильники. До них відноситься будь-який пристрій, який під час роботи проходить кілька станів. При наявності додаткових комбінаційних схем, зокрема дешифратора, за допомогою лічильника можна реалізувати пристрій керування, пристрій кодування, аналого-цифровий та цифро-аналоговий перетворювач, перетворювач коду, і частотомір. Тому на практиці питанням підвищення перешкодостійкості та відмовостійкості лічильників приділяється значна увага. Лічильники важливі не тільки самі по собі, але і з точки зору отримання нових схемотехнічних рішень в області цифрових пристроїв.

Широке застосування лічильників вимагає підвищення їх надійності і,

									Лист
									13
Зм.	Лист	№ докум.	Підпис	Дата					

зокрема, захищеності. Остання властивість досягається шляхом введення в лічильники заборонених станів. Однак їх виявлення стає досить складним завданням і вимагає розробки крім лічильника контрольного пристрою, за роботою якого необхідно стежити. При цьому лічильник набуває неоднорідну структуру, яку нелегко проектувати та налаштовувати.

Зокрема, подолати зазначені протиріччя можна, використовуючи перешкодостійкі неоднорідні системи рахунку. Розроблені на їх основі лічильники досить стійкі до перешкод. Однак вони не містять спеціального контролюючого пристрою вони мають надлишок обладнання порівняно з двійковими лічильниками..

Перевагою таких лічильників є можливість вибору комбінаторних конфігурацій: поєднання, поєднання з повтореннями, перестановки. Таким чином, лічильники перешкодостійких рахункових систем мають важливі переваги - захищеність і багатофункціональність. До цього класу пристроїв відносяться лічильники, що працюють в біноміальній системі рахунку - біноміальні лічильники [16]. Важливою їх особливістю є суттєве зниження обсягу апаратних витрат, необхідних для декодування їх станів. Крім того, такі лічильники дозволяють адаптуватися до інтенсивності та характеру перешкод шляхом зміни коефіцієнта перерахунку.

Таким чином, підвищення надійності та забезпечення відмовостійкості електронних пристроїв сьогодні є чи не основними критеріями проектування та побудови сучасних електронних систем.

1.2 Двійкові біноміальні системи числення

Зважаючи на те, що чисел набагато більше, ніж цифр, для запису числа зазвичай використовується набір (комбінація) цифр. Тільки для невеликої кількості чисел - для найменших цілих - достатньо однієї цифри. Існує багато способів запису чисел за допомогою цифр, які називають системами числення. Значення числа може залежати або не залежати від порядку цифр у записі. Ця властивість визначається системою числення і служить основою для найпростішої класифікації таких систем.

Система числення – це запис математичної структури, на основі якої можна отримати необмежену кількість різноманітних кодів, комбінації яких є словами, а не цифрами. Усі системи числення поділяються на чотири групи: позиційні, непозиційні, змішані та унарні.

									Лист
									14
Зм.	Лист	№ докум.	Підпис	Дата					

В обчислювальній техніці широко використовуються двійкові, вісімкові, шістнадцяткові та інші позиційні системи числення з єдиною структурою (їх ще називають степеневими або натуральними системами числення). Менш відомі більш складні позиційні системи числення з неоднорідною структурою (також звані гетерогенними позиційними системами числення). В даний час неоднорідні системи числення ще не набули широкого застосування. Однак дослідження цих систем виявило ряд їх корисних властивостей, наприклад, несприйнятливість до перешкод і можливість генерації перестановок.

Теоретично розробка спеціалізованих пристроїв керування на базі гетерогенних систем позиційного обчислення, структура яких максимально відповідає специфіці задачі, що розв'язується, дозволяє заощадити апаратні витрати та досягти значно кращої продуктивності. Оскільки неоднорідні системи підрахунку є надлишковими, разом із збільшенням швидкодії та здешевленням контрольних пристроїв підвищується їх надійність і спрощується пошук несправностей.

Практичне застосування неоднорідних систем числення базується на двох найважливіших їх властивостях: по-перше, вони дозволяють формувати та нумерувати комбінаторні об'єкти різної природи; по-друге, вони стійкі до перешкод. Завдяки наявності таких властивостей у неоднорідних системах позиційного рахунку на їх основі можуть бути розроблені спеціалізовані пристрої керування з екстремальними характеристиками за швидкодією, габаритами, надійністю та вагою.

Серед комбінаторних задач особливе місце займають задачі комбінаторної оптимізації. Для таких завдань найпоширенішим рішенням є перебір можливих варіантів і вибір найкращого за деякими критеріями. Якщо пошук неможливий, його замінює випадковий пошук. В обох випадках необхідно організувати або сортування, або генерацію комбінаторних об'єктів. Гетерогенні системі розрахунку дають змогу запропонувати загальний метод розв'язання цієї задачі. До таких неоднорідних систем числення відносяться біноміальні системи числення як з двійковими, так і з багатозначними алфавітами. Розглянемо позиційну двійкову біноміальну систему числення докладніше.

У цифровій техніці широко поширені експонентні позиційні системи числення, вага розрядів чисел визначається степенем з показником, що дорівнює номеру розряду, і основою, що визначається початковими числами натурального ряду - 2, 3, 4, Серед них особливою популярністю користуються системи

						Лист
						15
Зм.	Лист	№ докум.	Підпис	Дата	ЕлІТ 8.171.00.10.421 ПЗ	

рахунку з двійковим алфавітом — двійкові системи числення. Менш відомі більш складні системи позиційного рахунку, в яких співвідношення між вагою цифри та її числом відрізняється від степеневого співвідношення. Вони ще не знайшли достатньо широкого практичного застосування. Однак відомі на даний момент корисні властивості деяких неступневих систем числення, такі як перешкодостійкість, генерація і вибір комбінаторних конфігурацій, кодування інформації, в яких основи також представлені натуральними числами, наприклад, системи числення зі змішаною основою, роблять їх застосування на практиці досить перспективним.

Відомі також випадки використання позиційних систем рахунку, основою яких є різні функції. Ці системи числення підвищеної складності мають ряд особливостей і переваг, які не притаманні більш простим степеневим системам числення. З їх допомогою можна будувати перешкодостійкі та відмовостійкі цифрові пристрої, стискати інформацію, захищати її від несанкціонованого доступу, вирішувати комбінаторні задачі, в тому числі задачу оптимізації цифрових пристроїв (систем).

Особливе значення для вирішення облікових завдань і побудови відповідних облікових приладів і систем на їх основі мають системи позиційного рахунку. Існує ціла галузь технік підрахунку та рахункових пристроїв, які використовують переважно двійкові позиційні системи числення. Подібні лічильники, або просто лічильники, довгий час були поза конкуренцією через їх простоту і відносно невеликі апаратні витрати, необхідні для реалізації таких пристроїв.

Однак розвиток інтегральних технологій, і особливо програмно-логічних інтегральних схем (ПЛК), дозволяє сьогодні будувати більш складні цифрові пристрої і, зокрема, лічильники, які мають можливість здійснювати самоконтроль і самодіагностику вашої роботи, а також виконувати ряд інших корисних функцій паралельно з обчисленнями, наприклад, генерувати захищені від втручання коди або сортувати можливі рішення комбінаторних задач. Одним із способів побудови таких сучасних лічильників є використання більш складних, ніж звичайні, непотужних систем позиційного рахунку, або вирішення окремої задачі за допомогою системи рахунку, яка найбільше підходить для такого формату задач.

Прикладом застосування «підходящої» системи обчислень для вирішення відповідної задачі може служити наступний випадок. Нехай V – множина деяких

										Лист
										16
Зм.	Лист	№ докум.	Підпис	Дата						

комбінаторних об'єктів і $|V| = N$. Далі нехай об'єкти V будуть лінійно впорядковані згідно з деяким критерієм, який визначає відносний порядок об'єктів. Потім кожному об'єкту можна присвоїти індекс або номер, який зазвичай змінюється від 1 до N або від 0 до $N - 1$. Визначення номера об'єкта зазвичай називають завданням нумерації. Зворотнє завдання на знаходження предмета за заданим числом називається завданням перерахування.

Дуже часто порядок на множині V визначається рекурсивно. У цьому випадку необхідно отримати нерекурсивний розв'язок задачі (де)нумерації. Оскільки багато комбінаторних об'єктів представлено як двійкові набори або, загалом, як слова в алфавіті з q букв, $q \geq 2$, їх можна впорядкувати лексикографічно, і тоді ми можемо говорити про лексикографічний код. Іншим порядком є мінімальний порядок змін, або код Грея, в якому зміна при переході до наступного об'єкта є «мінімальною». Виявляється, що в більшості випадків існують деякі системи числення, які дуже підходять для розв'язування задач нумерації. Таким чином, звичайна двійкова система числення є відповідною системою для лексикографічно впорядкованого коду $L(n)$ двійкових наборів довжини n . Те саме стосується коду Грея $G(n)$ тих самих об'єктів. Менш відомими прикладами є перерахування двійкових наборів довжини n однакової ваги k . Відповідною системою для лексикографічного коду $L(n, k)$ є біноміальна система числення, тоді як у випадку коду Грея $G(n, k)$ зручно використовувати так звану змінну біноміальну систему числення.

Ще дві біноміальні системи (так звані змішані біноміальні системи) зручні для нумерації коду $C(n, k)$ розбиття числа n на k частин [5].

У цій роботі позиційні системи рахунку з біноміальними вагами і двійковий алфавіт $\{1, 0\}$ – біноміальна двійкова система числення. Їх основою є вираз для біноміальних коефіцієнтів, який задає кількість комбінацій певної кількості елементів із загального їх набору.

Тоді, відповідно, кількісний еквівалент вказаної кодової комбінації n -розрядної k -біноміальної поданої системи числення $A_i = (a_{j-1}, a_{j-2}, \dots, a_0)$, $i = 0, 1, \dots, P - 1$, визначатиметься виразом:

$$A_i = a_{j-1} C_{m-1}^{k-q_j} + \dots + a_l C_{m-j+l}^{k-q_{l+1}} + \dots + a_0 C_{m-j}^{k-q_1}, \quad (1.1)$$

при дотриманні двох систем обмежень:

$$\begin{cases} q_0 = k, \\ j < m, \end{cases} \quad (1.2)$$

$$\quad (1.3)$$

та

$$\begin{cases} m - k = j - q_0, \\ q_0 < k, \end{cases} \quad (1.4)$$

$$\quad (1.5)$$

де q_0 – кількість одиниць в біноміальному числі; P – діапазон чисел; j – кількість розрядів біноміального числа (довжина); $l = 0, 1, \dots, j - 1$ – порядкові номери розряду; q_l – сума одиничних значень цифр біноміального числа від $(j - 1)$ -го розряду до l -го включно:

$$q_l = \sum_{i=l}^j a_i, \quad (1.6)$$

де $q_j = a_j = 0$.

Максимальне біноміальне число при цьому дорівнює:

$$A_{\langle \text{бін} \rangle}^{\text{max}} = C_{m-1}^k + C_{m-2}^{k-1} + \dots + C_{m-k+1}^{k-k+1} = C_m^k - 1. \quad (1.7)$$

Отже, діапазон P представлених в біноміальній системі числення чисел, що враховує і нуль, дорівнює C_n^k [2].

Характерною властивістю біноміальних чисел є те, що двійкові кодові комбінації, які їх представляють, утворюють клас біноміальних непарних чисел, що мають різну довжину (розряд). Тоді для них має бути виконана важлива вимога, що жодна з цих комбінацій не може бути початком іншої. Інакше ці комбінації будуть нерозрізнені. Ця вимога в теорії кодування відома як вимога префіксу нерівномірних кодів.

Тільки ті кодові комбінації, які задовольняють вимогу префіксу, можуть передавати інформацію. Для уніфікованих кодових комбінацій однакової

					ЕЛІТ 8.171.00.10.421 ПЗ	Лист
						18
Зм.	Лист	№ докум.	Підпис	Дата		

довжини вимога до префіксу виконується автоматично, оскільки різні кодові комбінації однакової довжини завжди можна відрізнити одна від одної. Тоді як для неуніфікованих кодів потрібні спеціальні докази властивості префіксності.

1.3 Типи і класифікація лічильних пристроїв

Як відомо, людство навчилося користуватися найпростішими обчислювальними пристроями тисячі років тому. Найпопулярнішою виявилася потреба визначити кількість предметів, пронумерувати останні, порівняти їх та їх частини. Велика актуальність вирішення цих проблем зумовила швидку і масштабну еволюцію, яка почалася зі звичайного абаку (різновид абаку в Стародавній Греції та Римі) і продовжується сучасними (цифровими) лічильниками.

Лічильник – послідовний цифровий пристрій, призначений для підрахунку кількості інформації, що надійшла на його вхід. Числа в лічильнику представлені станами тригерів, кількість яких визначається кількістю бітів лічильника. Будь-які лічильники будуються на основі однотипних взаємопов'язаних розрядних схем, кожна з яких, в загальному випадку, складається з універсальних тригерів і побудованих на їх основі Т-тригерів (рис. 1.1), що працюють в лічильному режимі, для чого вхідна частота характеристичного розділу на дві та деяка комбінаційна схема, призначена для генерації сигналів керування тригером.

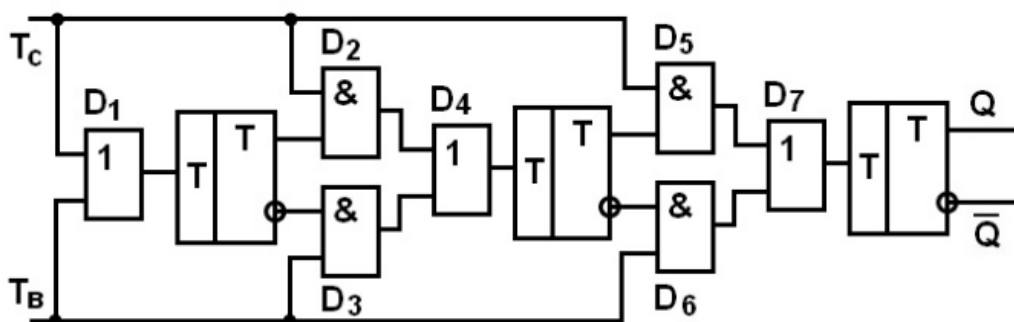


Рисунок 1.1 – Реверсивний лічильник з послідовним переносом на три розряди

Лічильник може виконувати такі мікрооперації над кодовим словом:

- 1) скидання до початкового стану (введення нульового коду) - скидання до нульового стану;
- 2) запис вхідної інформації в паралельній формі;
- 3) зберігання інформації;

- 4) видача інформації, що зберігається в паралельній формі;
- 5) інкремент – збільшення збереженого кодового слова на одиницю;
- 6) декремент – зменшення збереженого кодового слова на одиницю.

До основних параметрів лічильника відносяться:

- Лічильний модуль (М) – основний статичний параметр, що характеризує максимальну кількість лічильних імпульсів, поданих на лічильник, при яких він повертається у вихідний стан, тобто розмір замкнутого циклу лічильника.
- Час встановлення вихідного коду є основним динамічним параметром, який характеризує проміжок часу між моментом надходження вхідного сигналу та моментом встановлення нового коду на виході.
- Швидкість роботи, яка характеризується часом встановлення нового стану лічильника (режим підрахунку), а також максимальною частотою вхідних імпульсів.

Швидкісні параметри визначаються швидкодією тригерів, що використовуються в лічильнику, структурою лічильника, яка визначається способами подачі лічильних імпульсів і передачі сигналів на розряди, а також швидкодією комбінаційних цифрових пристроїв, які синхронізують роботу окремих цифр лічильника.

Лічильники класифікуються за характером виконуваної арифметичної операції, модулем обчислення, кодом записуваного числа, способом подачі лічильних імпульсів і способом передачі сигналів перенесення від молодшого розряду до старшого.

Крім деяких параметрів, зазначених вище, необхідно також відзначити кількість розрядів лічильника, максимальну кількість, яку може зареєструвати лічильник, і параметри швидкості: тривалість процесу встановлення (затримки) інформації (зчитування) лічильника після подачі наступного імпульсу лічильника та мінімального інтервалу часу між надходженням сусідніх імпульсів рахунку.

За значенням облікового модуля лічильники поділяються на:

- двійковий. У двійкових лічильниках кількість інформаційних одиниць визначається як $M = 2n$, де n — кількість тригерів (розрядів) у схемі лічильника. Отже, залежно від кількості розрядів лічильника n він може порахувати кількість одиниць

інформації, кратних $2n$. Починаючи з нульового стану, після кожних $2n$ вхідних імпульсів тригери лічильника повертатимуться у вихідний стан, після чого починається новий цикл, що повторює попередній;

- двійково-десятковий (декадний), $M = 10$ (M не кратне $2n$);
- з довільним постійним обліковим коефіцієнтом (M не кратне $2n$);
- зі змінним обліковим коефіцієнтом (M не кратне $2n$).

За характером виконуваної арифметичної операції вони поділяються на лічильники, що складаються (виконують мікрооперацію приросту над збереженим вхідним словом), віднімають (виконують мікрооперацію зменшення над збереженим вхідним словом) і зворотні лічильники. До реверсивних лічильників відносяться ті, які можуть, залежно від стану сигналу реверсу або на яку шину подається наступний імпульс лічильника, виконувати операції підсумовування або віднімання.

За способом подачі лічильних імпульсів розрізняють синхронні (паралельні) і асинхронні лічильники. До синхронних відносяться лічильники, в яких сигнали лічильників надсилаються паралельно (одночасно, синхронно) всім розрядам.

Асинхронні лічильники можуть бути наскрізними, послідовними і змішаного (комбінованого) типу. В асинхронних лічильниках прохідного типу лічильний імпульс для кожного розряду формується стробуванням лічильного імпульсу, що надходить на попередній розряд, вихідним сигналом з попереднього розряду. У лічильниках послідовного типу лічильний імпульс кожного розряду є сигналом перенесення з виходу попереднього розряду. У лічильниках змішаного типу деякі розряди управляються синхронно, а інші - асинхронно.

За способом передачі сигналів перенесення від нижчих розрядів до вищих розрізняють лічильники паралельного, прохідного, послідовного та змішаного типів.

За способом організації зв'язків між розрядами лічильники поділяються на:

- лічильник з послідовною передачею, в якому перемикання тригерів розрядних схем відбувається по черзі (найпростіші за схемою, але мають найменшу швидкість);
- лічильник з паралельною передачею, в якому перемикання всіх тригерів розрядної схеми відбувається одночасно за сигналом

									Лист
									21
Зм.	Лист	№ докум.	Підпис	Дата					

синхронізації С (вони мають найбільшу швидкодію, але їх схема найскладніша);

- лічильник з комбінованим послідовно-паралельним переносом, коли використовуються різні комбінації способів переносу (займає проміжне місце за швидкістю та складністю схемної реалізації).

Висока актуальність лічильних пристроїв зумовлює необхідність вирішення проблеми підвищення їх завадостійкості. Останнє досягається шляхом введення в лічильник так званих заборонених комбінацій схематично та за допомогою перешкодостійких систем підрахунку. Рахункові пристрої, що використовують для своєї роботи заборонені стани, вирішують досить складну задачу підрахунку і вимагають розробки контрольних пристроїв, за роботою яких також необхідно стежити. Крім того, сама конструкція лічильника стає неоднорідною, тобто виникають труднощі з проектуванням і налаштуванням останнього. Також страждає надійність рахункового пристрою, рівень якої може знизитися.

Одним із найбільш актуальних пристроїв для перешкодостійких чисел є біноміальні лічильники, які використовують для функціонування біноміальні ваги та різні типи алфавітів (двійковий, вісімковий). Лічильники, розроблені на основі біноміальних систем числення, не будуть містити пристрої моніторингу, але матимуть апаратне резервування порівняно з лічильниками, які працюють з двійкова система числення. Важливими особливостями біноміальних лічильників є високий рівень перешкодостійкості та однорідність структури. Крім того, помітно різке зниження апаратної вартості декодерів, які працюють зі своїми станами. Здебільшого це призводить до зниження загальних апаратних витрат пристрою порівняно з двійковими лічильниками. Приємним бонусом є можливість адаптувати пристрій під характер і інтенсивність перешкод і змінювати коефіцієнт перерахунку.

1.4 Постановка завдання на проектування

У результаті літературного огляду та аналізу існуючих тенденцій побудови цифрової вимірювальної та лічильної техніки можна зробити наступні висновки:

- перспективним є використання нетрадиційних систем числення, які на відміну від двійкових систем числення мають підвищену перешкодостійкість і дають можливість контролювати помилки в пристроях;

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
						22
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

- важливо впровадити у функціонування пристроїв, у тому числі лічильних, елементи адаптації до довжини та кількості оброблюваних інформаційних послідовностей, рівня перешкод у пристрої, каналів зв'язку тощо.

Враховуючи наведені особливості конструкції вимірювально-обчислювальних пристроїв, до проекрованої адаптивної системи заводостійкого підрахунку імпульсів на основі біноміальних кодів сформульовано наступні технічні вимоги:

- використання системи числення з біноміальними вагами і двійковим алфавітом $\{1, 0\}$;
- сумарна кількість розрядів біноміальних лічильників – 10;
- кількість кодів комбінацій, які перебираються, – не менше 64;
- діапазон зміни двійкових одиниць задля підвищення рівня адаптації системи до помилок – від 0 до 5;
- максимальне значення частоти перемикання біноміальних лічильників – не менше 20 МГц;
- напруга живлення – $5 \text{ В} \pm 0,2$;
- діапазон робочих температур – $-15 \dots +70 \text{ }^\circ\text{C}$;
- значення відносної вологості повітря – не більше 80%.

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		23

РОЗДІЛ 2 НАУКОВО-ДОСЛІДНА ЧАСТИНА

Забезпечення високої точності передачі інформації завжди було одним із головних завдань електронної техніки. У даній роботі буде досліджено перешкодостійку передачу результатів чисельного вимірювання інформації під час підрахунку імпульсів за допомогою біноміальної системи для підрахунку імпульсів. Для таких пристроїв важливим параметром, безумовно, є збільшення якості читання та передачі інформації, тому для кодування десяткових розрядів, що містять вимірювальну інформацію, доцільно використовувати перешкодостійкі коди. У даній роботі використовуються біноміальні коди, які мають просту структуру і в той же час мають хорошу стійкість як до симетричних каналів передачі інформації, так і до асиметричних. Кодові комбінації біноміальних кодів у цій роботі мають довжину чотири цифри (для прикладу), максимальна кількість одиниць у яких дорівнює двом. Перевищення кількості одиниць і в кодовій комбінації говорить про те, що сталася помилка. Проте визначення рівня захищеності двійково-десяткових біноміальних кодів залишається актуальним і тому потребує більш детального подальшого дослідження. На проведення цієї оцінки спрямована ця частина роботи. Це дозволить провести більш детальну оцінку ефективності пристрою вимірювання даних, який розроблений на основі двійково-десяткових біноміальних кодів. Оцінка буде проведена за допомогою теоретичних розрахунків різних параметрів несприйнятливості, результати яких будуть представлені у вигляді графіків. Оцінка буде проводитися для лічильника, який працює за алгоритмом біноміальних кодів і є основним компонентом пристрою, що розробляється. Під час розрахунку буде отримана математична модель розташування ймовірності помилкового переходу отриманої біноміальної кодової комбінації. При розрахунку математичної моделі враховувалися характерні особливості біноміальних кодів. Будуть отримані алгоритми оцінки захищеності кодів, за результатами яких буде зроблено висновок щодо перешкодостійкості двійково-десяткових біноміальних кодів.

У роботі [16] представлено метод оцінки перешкодостійкості передачі даних за допомогою біноміальних кодів, кількість кодових комбінацій яких дорівнює M . Принцип його дії полягає в тому, що кодові комбінації, які будуть проходити через канал зв'язку, можуть змінюватися. Їх значення, крім переходу до правильної кодової комбінації, до групи з $M - 1$ дозволених хибних

комбінацій, які не можуть бути виявлені, або до групи $(N - M)$ заборонених кодових комбінацій, які можуть бути виявлені, де N – сумарна максимальна кількість усіх можливих кодових комбінацій. Для оцінки перешкодостійкості біноміальних кодів пропонується використовувати формули ймовірностей переходу кодових комбінацій у ці класи [16]. Двійково-десяткові цифри від 0 до 9 кодуємо біноміальними кодовими комбінаціями довжини $n = 4$ з кількістю одиниць $k = 2$ (табл. 2.1).

Таблиця 2.1 – Кодування біноміальними комбінаціями

№	Десятковий код	Біноміальний код
0	0000	0000
1	0001	0010
2	0010	0011
3	0011	0100
4	0100	0101
5	0101	0110
6	0110	1000
7	0111	1001
8	1000	1010
9	1001	1100

Проведемо дослідження перешкодостійкості коду. Для проведення дослідження необхідно:

- визначити загальну N і дозволена M кількість кодових комбінацій;
- визначити значення ймовірності V хибних переходів, які не можуть бути виявлені, ймовірності P правильного переходу та ймовірності Z хибного переходу, який може бути виявлений, для двійково-десяткових збалансованих кодових комбінацій у різних станах канал зв'язку;
- оцінити ефективність біноміальних кодів як захисту інформації від перешкод.

Спочатку обчислимо загальну (N) і дозволена (M) кількість усіх можливих кодових комбінацій.

Загальна кількість усіх можливих двійкових кодових комбінацій довжини $n = 4$ дорівнює:

$$N = 2^n = 2^4 = 16. \quad (2.1)$$

Кількість усіх можливих допустимих кодових комбінацій для біноміальних кодів з параметрами $n = 4$ і $k = 2$:

$$N = C_{n+1}^k = \frac{(n+1)!}{k!(n-k+1)!} = 10 \quad (2.2)$$

Для двійкових кодів вплив перешкод на біти кодових комбінацій може викликати різні наслідки в симетричних і несиметричних каналах зв'язку. Тому що в симетричному каналі зв'язку ймовірність переходу під впливом перешкод нуля до одиниці (p_{01}) та одиниці до нуля (p_{10}) рівні, але відрізняються в несиметричних каналах. У нашому випадку система каналів зв'язку є симетричною, тому $p_{01} = p_{10}$.

Якщо відомі ймовірності переходів від нуля до нуля (p_{00}) і переходів одиниці до одиниці (p_{11}), то ймовірності переходів від нуля до одиниці та одиниці до нуля можна визначити наступним чином:

$$p_{01} = 1 - p_{00} \quad (2.3)$$

$$p_{10} = 1 - p_{11}$$

Ймовірність того, що двійкова послідовність довжиною n елементів надходить без спотворень, обчислюється за співвідношенням:

$$P_{\text{пр}} = (1 - p_{01})^n \quad (2.4)$$

Ймовірність спотворення двійкової послідовності довжиною n елементів обчислюється за співвідношенням:

$$P_{\text{сп}} = 1 - (1 - p_{01})^n \quad (2.5)$$

Достовірний перехід рівноважної кодової комбінації до виду самої себе оцінюється імовірністю:

$$\Pi = \sum_{i=1}^M P_i p_i^i, \quad (2.6)$$

де P_i – імовірність генерації джерелом i -ї комбінації; p_i^i – імовірність переходу рівноважної кодової комбінації до виду самої себе.

Тож, розглянемо перелік імовірностей правильного переходу рівноважних кодових комбінацій із застосуванням даних імовірності p_i^i , отриманих в системі без будь-якого зовнішнього впливу (табл. 2.2).

Таблиця 2.2 – Імовірності достовірного переходу рівноважних кодових комбінацій до виду самих себе

Біноміальний код	P_i	p_i^i	Π
0000	0,1	0,999999	0,0999999
0010	0,1	0,999999	0,0999999
0011	0,1	0,999999	0,0999999
0100	0,1	0,999999	0,0999999
0101	0,1	0,999999	0,0999999
0110	0,1	0,999999	0,0999999
1000	0,1	0,999999	0,0999999
1001	0,1	0,999999	0,0999999
1010	0,1	0,999999	0,0999999
1100	0,1	0,999999	0,0999999

Базуючись на отриманих результатах, тримаємо загальну імовірність достовірного переходу рівноважних кодових комбінацій до виду самих себе:

$$\Pi = \sum_{i=1}^M P_i p_i^i = 0,999999, \quad (2.7)$$

Необхідним є також розрахунок правильного переходу під дією перешкод. Для реалізації розрахунків потрібно взяти значення імовірності переходу одиниці до нуля (нуля до одиниці) в чітко визначених межах:

$$p_{10} = (1 * 10^{-6} \div 1 * 10^{-5}) \quad (2.8)$$

Отримані результати розрахунків занесені до таблиці 2.3.

Таблиця 2.3 – Імовірність достовірного переходу під дією перешкод, зважаючи на імовірності переходу одиниці до нуля (нуля до одиниці)

p_{10}	П
$1 \cdot 10^{-6}$	0,999996
$2 \cdot 10^{-6}$	0,999992
$3 \cdot 10^{-6}$	0,999988
$4 \cdot 10^{-6}$	0,999984
$5 \cdot 10^{-6}$	0,99998
$6 \cdot 10^{-6}$	0,999976
$7 \cdot 10^{-6}$	0,999972
$8 \cdot 10^{-6}$	0,999968
$9 \cdot 10^{-6}$	0,999964
$1 \cdot 10^{-5}$	0,999960

Базуючись на даних, отриманих в результаті розрахунків, сформуємо графік залежності імовірності достовірного переходу від імовірності переходу одиниці до нуля (нуля до одиниці) (рис. 2.1).

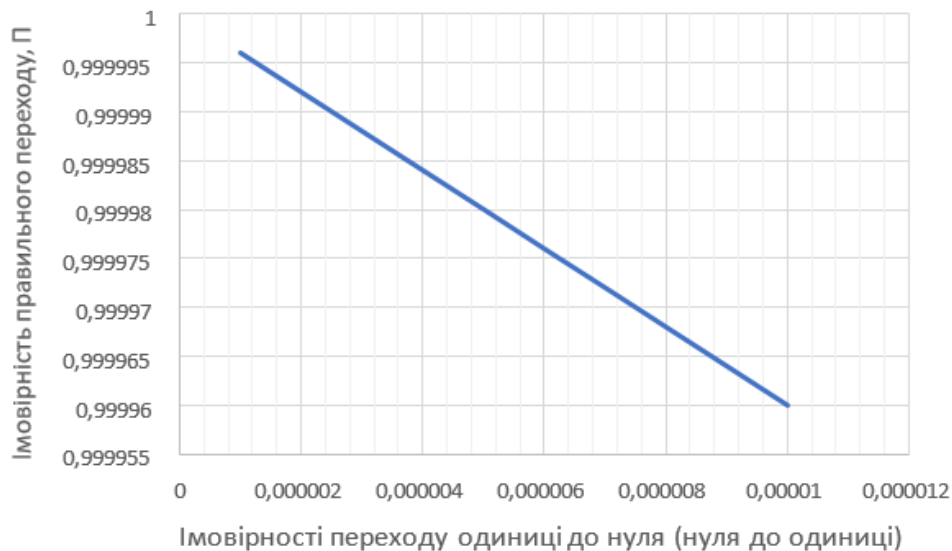


Рисунок 2.1 – Графік залежності імовірності достовірного переходу від імовірності переходу одиниці до нуля (нуля до одиниці)

Обрахуємо імовірність неправильних переходів, які не визначаються, в залежності від імовірності переходу одиниці до нуля (нуля до одиниці) у визначених межах:

$$p_{10} = (1 * 10^{-6} \div 1 * 10^{-5}) \quad (2.9)$$

Формула для розрахунку імовірності неправильних переходів біноміальних кодових комбінацій, які не визначаються, наведена нижче:

$$V = \sum_{i=1}^M P_i p_i^H, \quad (2.11)$$

де p_i^H – імовірність неправильного переходу i -ї комбінації до класу кодових комбінацій, які не визначаються. Ця імовірність розраховується за формулою:

$$p_i^H = \sum_{i=1, j \neq 1}^M p_{i,j}^H, \quad (2.12)$$

де $p_{i,j}^H$ – імовірність неправильного переходу i -ї комбінації до j -ї комбінації, яка являється дозволеною. Отримані результати розрахунків занесені до таблиці 2.4.

Таблиця 2.4 – Імовірності неправильних переходів, які не визначаються, в залежності від імовірностей переходу одиниці до нуля (нуля до одиниці)

p_{10}	V
$1 \cdot 10^{-6}$	$6 \cdot 10^{-7}$
$2 \cdot 10^{-6}$	$1,2 \cdot 10^{-6}$
$3 \cdot 10^{-6}$	$1,8 \cdot 10^{-6}$
$4 \cdot 10^{-6}$	$2,4 \cdot 10^{-6}$
$5 \cdot 10^{-6}$	$3 \cdot 10^{-6}$
$6 \cdot 10^{-6}$	$3,6 \cdot 10^{-6}$
$7 \cdot 10^{-6}$	$4 \cdot 10^{-6}$
$8 \cdot 10^{-6}$	$4,8 \cdot 10^{-6}$
$9 \cdot 10^{-6}$	$5,4 \cdot 10^{-6}$
$1 \cdot 10^{-5}$	$6 \cdot 10^{-6}$

Базуючись на даних, отриманих в результаті розрахунків, сформуємо графік залежності імовірностей неправильних переходів, які не визначаються, від імовірностей переходу одиниці до нуля (нуля до одиниці) (рис. 2.2).

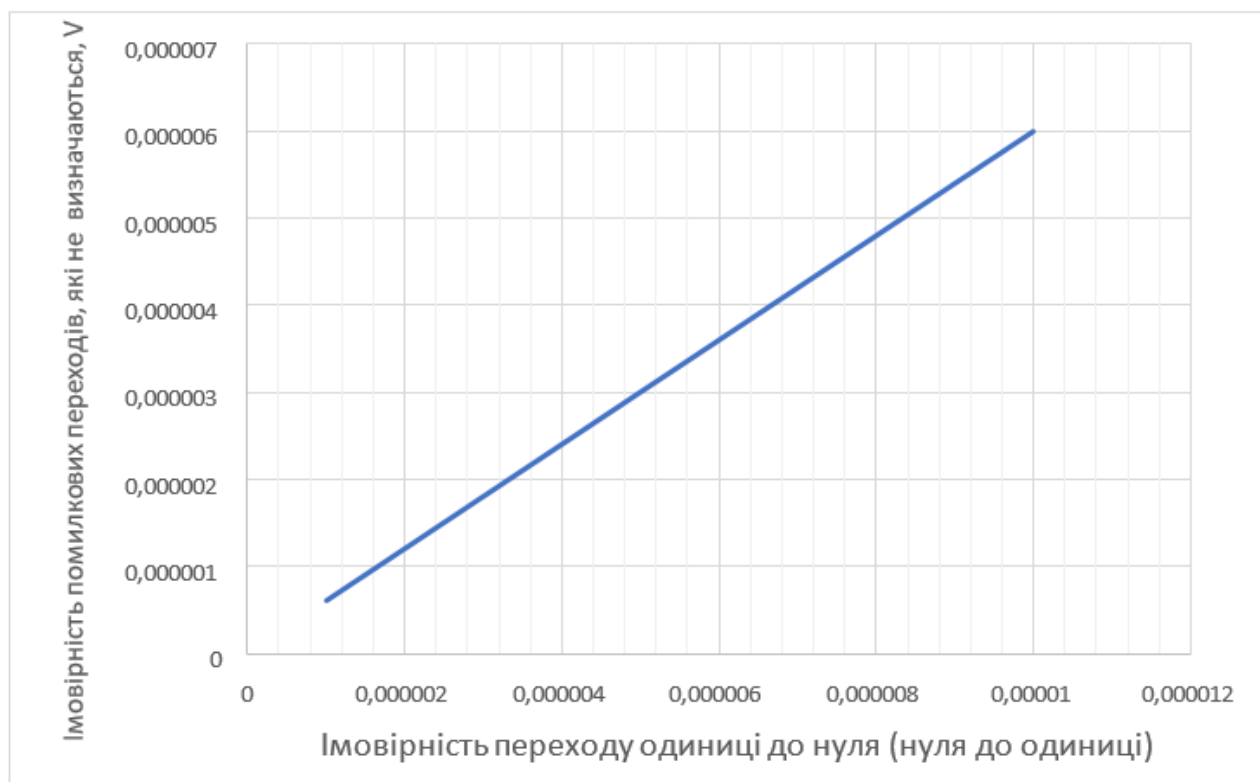


Рисунок 2.2 – Графік залежності імовірностей неправильних переходів, які не визначаються, від імовірностей переходу одиниці до нуля (нуля до одиниці)

Враховуючи те, що значення імовірностей неправильних переходів (V), які не визначаються, та значення імовірностей достовірного переходу (Π) були розраховані, можна знайти імовірності неправильних переходів, які можна визначити. Розрахунки ведуться за наступними формулами:

$$Z = 1 - V - \Pi, \quad (2.13)$$

де Z – імовірність помилкових переходів, які можна визначити. Знаходиться за формулою:

$$Z = \sum_{i=1}^M P_i p_i^0, \quad (2.14)$$

де p_i^0 – імовірність неправильного переходу i -ї комбінації до класу кодових комбінацій, які не визначаються. Ця імовірність розраховується за формулою:

$$p_i^0 = \sum_{j=M+1}^M p_{i,j}^0, \quad (2.15)$$

де $p_{i,j}^0$ – імовірність неправильного переходу i -ї комбінації.

Отримані результати розрахунків занесені до таблиці 2.5.

Таблиця 2.5 – Імовірності неправильних переходів, які можна визначити, в залежності від імовірностей переходу одиниці до нуля (нуля до одиниці)

p_{10}	Z
$1 \cdot 10^{-6}$	$3,39999 \cdot 10^{-6}$
$2 \cdot 10^{-6}$	$6,79998 \cdot 10^{-6}$
$3 \cdot 10^{-6}$	$1,01999 \cdot 10^{-5}$
$4 \cdot 10^{-6}$	$1,35999 \cdot 10^{-5}$
$5 \cdot 10^{-6}$	$1,69999 \cdot 10^{-5}$
$6 \cdot 10^{-6}$	$2,03998 \cdot 10^{-5}$

Продовження таблиці 2.5

$7 \cdot 10^{-6}$	$2,37997 \cdot 10^{-5}$
$8 \cdot 10^{-6}$	$2,71996 \cdot 10^{-5}$
$9 \cdot 10^{-6}$	$3,05995 \cdot 10^{-5}$
$1 \cdot 10^{-5}$	$3,39994 \cdot 10^{-5}$

Базуючись на даних, отриманих в результаті розрахунків, сформуємо графік залежності імовірностей неправильних переходів, які можна визначити, від імовірностей переходу одиниці до нуля (нуля до одиниці) (рис. 2.3).

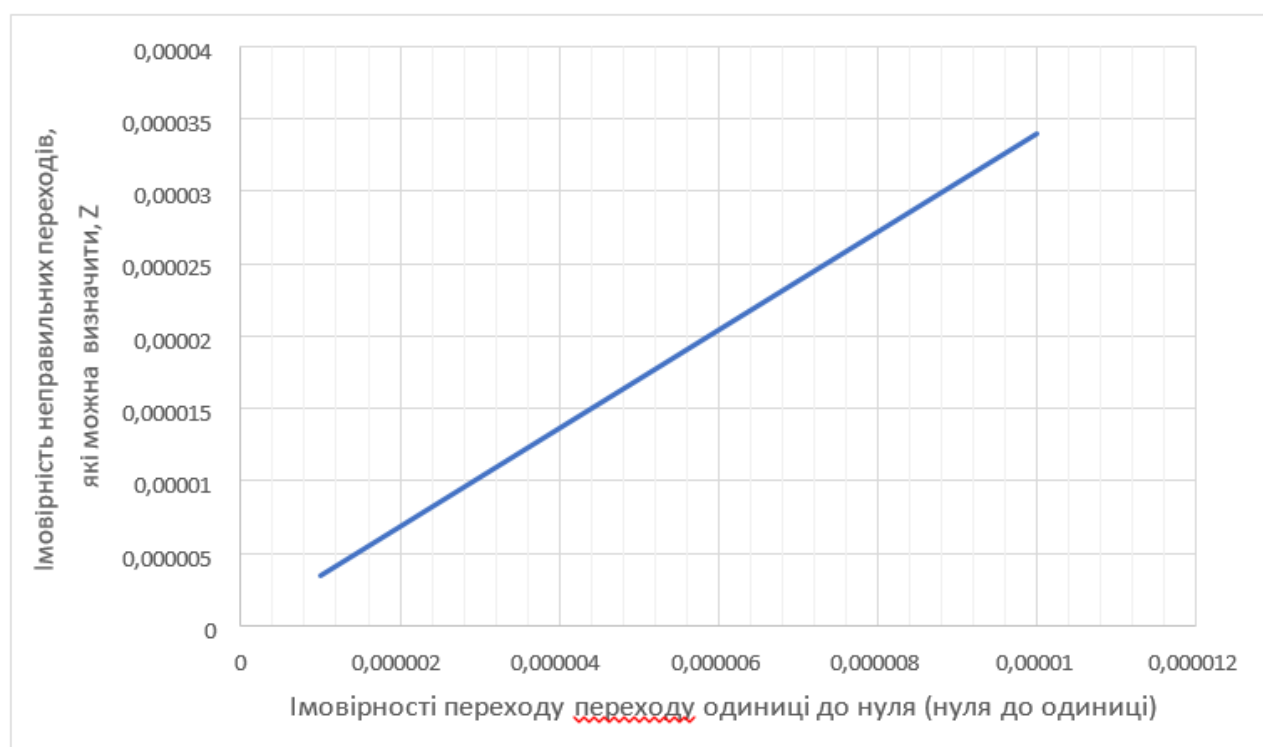


Рисунок 2.3 – Графік залежності імовірностей неправильних переходів, які можна визначити, від імовірностей переходу одиниці до нуля (нуля до одиниці)

В цілях наглядності проведемо порівняльне дослідження імовірності неправильних переходів, які не визначаються, для кодів з двійковим алфавітом.

Для цього наведемо в таблиці еквівалентні десятковим цифрам значення в двійковій системі числення (таблиця 2.6)

Таблиця 2.6 – Еквівалентні десятковим цифрам двійкові

Десяткові числа	Двійкові числа
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Для приведених двійкових кодових комбінацій обрахуємо значення імовірності неправильних переходів, які не визначаються, в залежності від імовірностей переходу одиниці до нуля (нуля до одиниці) (таблиця 2.7).

Таблиця 2.7 – Імовірності неправильних переходів для двійкових кодових комбінацій, які не визначаються, в залежності від імовірностей переходу одиниці до нуля (нуля до одиниці)

p_{01}	V
$1 \cdot 10^{-6}$	$1 \cdot 10^{-6}$
$2 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$3 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$4 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$5 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$6 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$7 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$8 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$9 \cdot 10^{-6}$	$1 \cdot 10^{-5}$
$1 \cdot 10^{-5}$	$1 \cdot 10^{-5}$

Базуючись на даних, отриманих в результаті розрахунків, сформуємо графік залежності імовірностей неправильних переходів для двійкових кодових комбінацій, які не визначаються, від імовірностей переходу одиниці до нуля (нуля до одиниці) та проведемо порівняння із аналогічним графіком залежності для біноміальних кодових комбінацій (рис. 2.4).

Як видно із графіків залежностей імовірності неправильних переходів, які не визначаються, у біноміальних кодових комбінацій суттєво менші, ніж у двійкових кодів, що, в свою чергу, робить використання біноміальних кодів більш актуальним у системах, які потребують підвищеної точності та висувують ряд вимог до кодів, з якими вони працюють, основною серед яких є високий рівень завадостійкості.

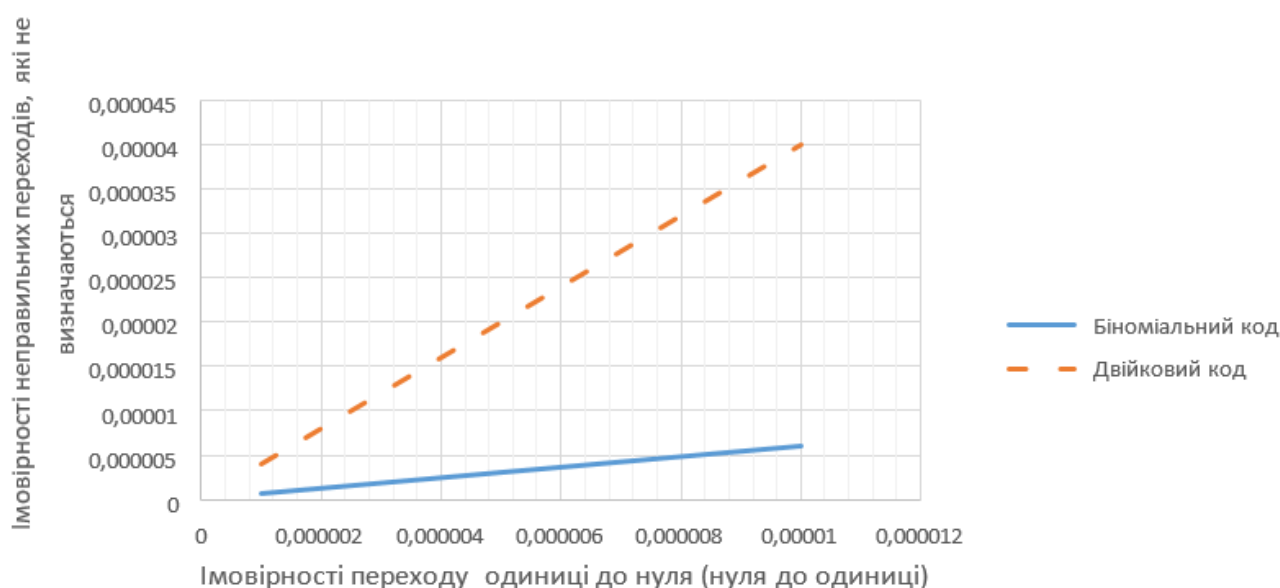


Рисунок 2.4 – Графік залежності імовірностей неправильних переходів для двійкових та біноміальних кодових комбінацій, які можна визначити, від імовірностей переходу одиниці до нуля (нуля до одиниці)

В процесі дослідження були розглянуті питання кодування двійково-десяткових цифр біноміальними кодовими комбінаціями. За складеним алгоритмом дослідження було проведено порівняльну характеристику графіків залежності імовірностей неправильних переходів для двійкових та біноміальних кодових комбінацій, які можна визначити, від імовірностей переходу одиниці до нуля (нуля до одиниці) та завадостійкості двійково-десяткових біноміальних кодових комбінацій.

Результатом дослідження став очікуваний висновок, який доводить, що використання біноміальних двійково-десяткових кодових комбінацій суттєво підвищує перешкодостійкість пристроїв на їх основі, і зважаючи на це ефективним є використання їх на практиці.

Отриманні в процесі дослідження результати являються універсальними і можуть бути застосовані для різних видів систем зв'язку, вимірювальних та рахункових пристроїв, які використовують десяткову систему числення. У випадку подальшого дослідження наведений метод дослідження може бути застосований для вирішення більш складних завдань, у яких використовуються біноміальні кодові комбінації. Прикладом таких систем являються системи кодування символічної інформації.

					<i>ЕлІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
						35
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

РОЗДІЛ 3 РОЗРОБКА ЕЛЕКТРОННОЇ СИСТЕМИ З ВИКОРИСТАННЯМ ОТРИМАНИХ РЕЗУЛЬТАТІВ ДОСЛІДЖЕННЯ

3.1. Розробка та обґрунтування алгоритму функціонування

Розглянемо більш детально алгоритм функціонування біноміальної двійкової системи рахунку, спеціалізація якої базується на перешкодостійкій біноміальній арифметиці. Здебільшого такі системи використовуються в пристроях, що спеціалізуються на перешкодостійкому перетворенні інформації, генераторах і пристроях телемеханіки з контролем помилок.

У розділі 1 наведено вирази кількісного еквівалента (вираз 1.1) кодової комбінації n -розрядної k -біноміальної системи рахунку та систем обмежень (вирази 1.2 - 1.5), які несуть інформацію про довжину j біноміальних чисел, що знаходиться в межах $n - k \leq j \leq n - 1$, крім того, біноміальне число містить або $n - k$ нулів, або k одиниць.

Наведені вище обмеження формують алгоритм підрахунку біноміальних кодових комбінацій наступним чином:

- 1) спочатку створюється нульова кодова комбінація, яка складається з $n - k$ нулів;
- 2) потім замість нуля в крайній правий розряд (молодший) вводиться сигнал логічної одиниці;
- 3) розраховується кількість одиниць кодової комбінації. Якщо цей номер параметра k дорівнює, то алгоритм переходить до пункту 5;
- 4) якщо кількість одиниць не дорівнює параметру k , то в цифру праворуч від найменшої цифри записується логічний нуль і алгоритм переходить до пункту 2;
- 5) якщо кількість одиниць параметра k рівна і одиниці не розміщуються в k старших розрядах, то молодші розряди, в яких знаходяться нулі, замінюються одиницями, а всі наступні одиниці перетворюються в нулі і алгоритм йде до пункту 3;
- 6) коли кількість одиниць дорівнює параметру k і одиниці розміщені на k старших цифрах, тоді остання сформована біноміальна кодова комбінація включається в діапазон P чисел.

										Лист
										36
Зм.	Лист	№ докум.	Підпис	Дата	ЕЛІТ 8.171.00.10.421 ПЗ					

Наведений вище алгоритм є базовим для проектування лічильних пристроїв, які працюють у біноміальній системі рахунку. Структура останніх може бути задана програмно для мікропроцесорних пристроїв, або зібрана з логічних елементів.

Таблиця 3.1 – Перелік станів лічильної системи (C_5^4)

№	Біноміальне число	Кількісний еквівалент
0	00	$0 \cdot C_5^4 + 0 \cdot C_4^4$
1	010	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3$
2	0110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
3	01110	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
4	01111	$0 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
5	100	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 0 \cdot C_3^3$
6	1010	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2$
7	10110	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
8	10111	$1 \cdot C_5^4 + 0 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
9	1100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 0 \cdot C_2^2$
10	11010	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 0 \cdot C_1^1$
11	11011	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 0 \cdot C_3^3 + 1 \cdot C_2^2 + 1 \cdot C_1^1$
12	11100	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 0 \cdot C_1^1$
13	11101	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 0 \cdot C_2^2 + 1 \cdot C_1^1$
14	1111	$1 \cdot C_5^4 + 1 \cdot C_4^4 + 1 \cdot C_3^3 + 1 \cdot C_2^2$

Біноміальні лічильники, які функціонують відповідно до жорсткої логіки, знаходять своє місце в різних типах цифрових пристроїв. Але перед побудовою таких лічильників слід розробити та вивчити таблиці їх роботи. Адже зібрані табличні дані дозволяють отримати раціональну структуру лічильного пристрою, з точки зору мінімізації кількості використовуваних елементів. Прикладом такої таблиці, побудованої за вказаним алгоритмом, є таблиця 3.1, в якій отримано стани біноміального лічильника (C_5^4), кількість яких можна обчислити за виразом $P = C_n^k = 15$.

Однак шлях мінімізації безпосередньо пов'язаний з ускладненням міжелементних зв'язків пристрою, що, в свою чергу, призведе до порушення однорідності структури, зниження рівня надійності та швидкодії, та збільшення трудомісткості реконструкції коефіцієнта перерахунку. Через низку можливих проблем цей алгоритм можна рекомендувати лише в тих ситуаціях, де головною є необхідність зменшення кількості елементів.

Таблиця 3.2 – Рівноважні кодові комбінації

Число вхідних імпульсів	Стан виходів біноміального лічильника				
	Q5	Q4	Q3	Q2	Q1
N					
0	0	0	0	0	0
1	0	1	0	0	0
2	0	1	1	0	0
3	0	1	1	1	0
4	0	1	1	1	1
5	1	0	0	0	0
6	1	0	1	0	0
7	1	0	1	1	0
8	1	0	1	1	1
9	1	1	0	0	0
10	1	1	0	1	0
11	1	1	0	1	1
12	1	1	1	0	0
13	1	1	1	0	1
14	1	1	1	1	0

У біноміальних лічильниках, які працюють зі збалансованими кодовими комбінаціями, перераховані вище недоліки в деякій мірі зводяться нанівець. При цьому стани лічильника – це модернізовані стани, зазначені в таблиці 3.1, шляхом додавання кодових комбінацій нулів до старших розрядів із молодших розрядів так, щоб довжина комбінацій становила $n - 1$ (табл. 3.2).

Зважаючи на це, наведений вище біноміальний алгоритм розрахунку також було модернізовано, тип якого зміниться на наступний:

- 1) усі розряди біноміального лічильника встановлюються в логічний нуль;
- 2) нульовий сигнал замінюється на одиницю в $(k - i - 1)$ -му розряді (де i – кількість одиниць, які знаходяться безпосередньо в лічильнику в момент виконання операції);
- 3) при перевищенні кількості одиничних цифр у параметрі k лічильника формується сигнал про помилку;
- 4) у разі рівності кількості одиничних розрядів у лічильнику параметра k і за умови, що вони розташовані в k старших розрядах, усі молодші розряди, в яких є одиниці, до першого нуля перетворюються на нуль стан, а перший нуль встановлено в одиницю;
- 5) у випадку, коли кількість одиниць у лічильнику менше параметра k , то алгоритм переходить до пункту 2;
- 6) коли кількість одиниць дорівнює параметру k і одиниці розміщуються на k старших розрядах, то цикл обчислення досяг свого логічного завершення, що призводить до переходу алгоритму до пункту 1.

Процес виявлення помилок під час роботи біноміального лічильника здійснюється шляхом підрахунку кількості одиниць у розрядах лічильника та порівняння цього значення з параметром k . Якщо перевищення кількості одиничних цифр у параметрі k лічильника генерує сигнал помилки. Відповідно, тип помилок, властивих цьому лічильнику, $- 0 \rightarrow 1$.

У наведеному прикладі роботи біноміального лічильного пристрою з кількістю одиниць $k = 4$ забороненим (помилковим) станом є кодова комбінація «1111». Цей пристрій здатний відобразити будь-яку чотирикратну помилку. Однак одноразові помилки вищевказаного типу будуть виявлені з імовірністю 30% кодових комбінацій «0111», «1011», «1101», «1110».

Проте здатність біноміального лічильника виявляти помилки можна вважати цілком задовільною для низки додатків, враховуючи, що переважна більшість помилок у лічильниках виникають у вигляді пакетів і мають характер переходу від нуля до одиниці. За умови, що кількісний еквівалент параметра k , а відповідно і коефіцієнт перерахунку, зменшується,

Ви можете збільшити ймовірність виявлення помилок. Отже, якщо параметр $k = 1$ дорівнює, то будуть виявлені абсолютно всі помилки типу $0 \rightarrow 1$, і лічильник можна використовувати як завадостійкий розподільник

									Лист
									39
Зм.	Лист	№ докум.	Підпис	Дата					

імпульсів.

Якщо є необхідність виявлення помилок типу $1 \rightarrow 0$, необхідно додати відповідні елементи до структури біноміального лічильника. Слід зазначити, що перебудована конструкція лічильника повинна відповідати обмеженням (1.4 і

1.5), наведеним вище, а саме: біноміальна кодова комбінація повинна містити не більше $n - k$ нулів, а останній нуль загального числа повинен бути у молодшому розряді комбінації.

Відповідно, якщо перед одиничним сигналом в останньому розряді лічильника стоять цифри з $n - k$ (або більше) нулями, то це свідчить про появу помилки типу $1 \rightarrow 0$. Крім того, із зростанням кількісного значення

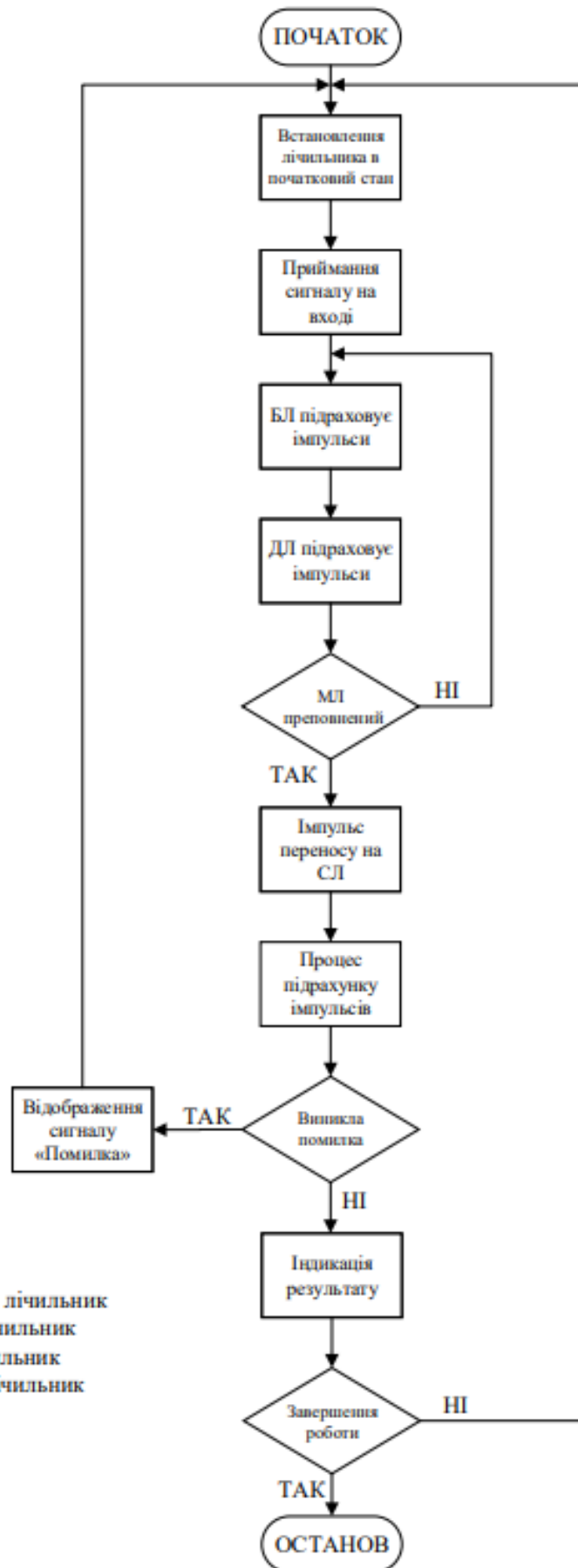
параметр k , здатність лічильника виявляти цей тип помилки також збільшиться. Отже, якщо параметр $k = n - 1$ дорівнює, то будуть виявлені абсолютно всі помилки типу $1 \rightarrow 0$.

Описані можливості дозволяють максимізувати адаптивну складову біноміального лічильника шляхом зміни коефіцієнта перерахунку та підлаштувати його до конкретного характеру перешкод, умов роботи та особливостей роботи.

На рисунку 3.1 представлено схему алгоритму функціонування адаптивної системи завадостійкого підрахунку імпульсів на основі біноміальної системи числення. Згідно з даним алгоритмом система працює наступним чином. Після ввімкнення пристрою біноміальні та двійкові лічильники встановлюються в початковий стан. Після чого йде опитування датчиків на наявність вхідного сигналу. В разі наявності сигналу починається підрахунок імпульсів лічильниками. В кожному циклі підрахунку лічильники опитуються на факт переповнення. Якщо молодший лічильник переповнений, подається імпульс перенесення до старшого лічильника і підрахунок імпульсів продовжується.

У разі виникнення помилки при підрахунку генерується сигнал «Помилка» і лічильники повертаються в початкове положення.

Паралельно процесу підрахунку імпульсів йде процес індикації кількості підрахованих імпульсів. Якщо при підрахунку не виникло помилки і цикл підрахунку завершився, на індикаторі відображується кількість підрахованих імпульсів, а лічильники закінчують свою роботу



Л – лічильник
 БЛ – біноміальний лічильник
 ДЛ – двійковий лічильник
 СЛ – старший лічильник
 МЛ – молодший лічильник

Рисунок 3.1 – Схема алгоритму функціонування біноміальної системи

Зм.	Лист	№ докум.	Підпис	Дата

3.2. Розробка структурної схеми проектованої системи

Структурна схема досліджуваного способу завадостійкого підрахунку імпульсів наведена на рисунку 3.2. На БДП (блок дозволу пропускання) надходить вхідний сигнал з датчиків. В разі нормального функціонування всіх блоків системи, вхідний сигнал пропускається до БРІ (блоку розподільника імпульсів), який виконує розподіл вхідного сигналу на імпульси, які будуть підраховуватися в біноміальному та двійковому лічильниках.

Біноміальні та двійкові лічильники працюють паралельно. Біноміальний лічильник використовується для завадостійкого безпомилкового підрахунку імпульсів. З цього лічильника захищені від перешкод дані передаються на зовнішню систему для подальшої їх обробки. Біноміальні лічильники, які функціонують відповідно до жорсткої логіки, знаходять своє місце в різних типах цифрових пристроїв. Але перед побудовою таких лічильників слід розробити та вивчити таблиці їх роботи. Адже зібрані табличні дані дозволяють отримати раціональну структуру лічильного пристрою, з точки зору мінімізації кількості використовуваних елементів. Прикладом такої таблиці, побудованої за вказаним алгоритмом, є таблиця 3.1, в якій отримано стани біноміального лічильника (C_5^4), кількість яких можна обчислити за виразом $P = C_n^k = 15$.

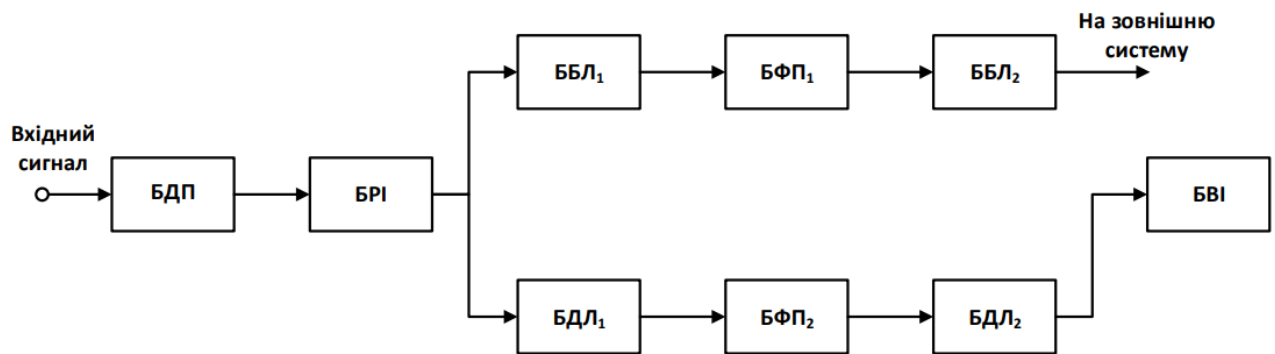
Однак шлях мінімізації безпосередньо пов'язаний з ускладненням міжелементних зв'язків пристрою, що, в свою чергу, призведе до порушення однорідності структури, зниження рівня надійності та швидкодії, та збільшення трудомісткості реконструкції коефіцієнта перерахунку. Через низку можливих проблем цей алгоритм можна рекомендувати лише в тих ситуаціях, де головною є необхідність зменшення кількості елементів.

Двійковий лічильник виступає в ролі допоміжного, він лише відображує стан біноміального і використовується для відображення значення підрахованих імпульсів оператора.

Між молодшими та старшими біноміальними та двійковими лічильниками розміщений БФП (блок фіксації переносу). Даний блок використовується для своєчасного формування сигналу переносу від молодшого лічильника до старшого в разі переповнення молодшого.

Блок двійкового лічильника зв'язаний з БВІ (блоком відображення інформації). Поданий блок використовується для відображення інформації, необхідної оператору. Основою цього блоку являється двохранний

семисегментний напівпровідниковий індикатор.



БДП – Блок дозволу пропускання
БРІ – Блок розподільника імпульсів
ББЛ – Блок біноміального лічильника
БДЛ – Блок двійкового лічильника
БФП – Блок фіксації переносу
БВІ – Блок відображення інформації

Рисунок 3.2 – Структурна схема системи підрахунку імпульсів

3.3. Розробка електричної функціональної схеми

Розглянемо біноміальний лічильник, а саме багатоступеневий лічильник, який працює з біноміальною системою числення. Цей пристрій використовується в автоматичній та обчислювальній техніці, також може використовуватися в пристроях дискретної обробки інформації, зокрема, як лічильник, розподільник імпульсів і пристрій кодування інформації з можливістю пошуку помилок. Проте має розширені функціональні можливості за рахунок впровадження нових конструктивних особливостей, які забезпечують збільшення розрахункового модуля шляхом послідовного пошуку всіх груп рівноважних кодів з довжиною кодових комбінацій m і постійним значенням кількості одиниць. у них $k = 0, 1, 2, \dots, m$ дорівнює 1.

Для розв'язування заданої задачі використовуються біноміальні коди з довжиною чисел $n = m - 1$ і значенням параметра $k = 0, 1, 2, \dots, m - 1$. Цей параметр визначає максимально можливу кількість одиниць у комбінації біноміального коду. На їх основі реалізуються збалансовані кодові комбінації з постійною кількістю одиниць у них, зберігаючи можливість виявлення помилок.

Іншими словами, цей пристрій послідовно перебирає всі біноміальні кодові комбінації з параметром $k = 0, 1, 2, \dots, m - 1$ і потім на їх основі формує відповідні збалансовані коди, починаючи з кодів, які мають кількість одиниць рівну до нуля і закінчуючи їх числом $k = m$. Введені елементи та нові зв'язки забезпечують проходження 2^m бінарних станів наступним чином. Число станів звичайного двійкового лічильника дорівнює 2^m , де m – розрядність цього лічильника. Діапазон лічильника збалансованих кодів описується виразом C_m^k , де $m = n + 1$; n – кількість розрядів цього лічильника. Відповідно до виразу $2^m = C_m^0 + C_m^1 + \dots + C_m^k + \dots + C_m^m$.

Тому, щоб перебрати всі двійкові кодові комбінації за допомогою перешкодостійкого n -розрядного біноміального лічильника імпульсів, необхідно в процесі підрахунку змінити значення k цього лічильника з 0 на $m - 1$. При цьому його розрядне значення залишається незмінним. Після додаткового перетворення біноміальні числа будутьотримані рівноважні кодові комбінації. Для значень $k = 0, 1, 2, \dots, m - 1$ їх кількість буде, відповідно, $C_m^0, C_m^1, \dots, C_m^m$.

Перестановка біноміального лічильника на різні значення k здійснюється за допомогою кільцевого розподільника імпульсів (12), одиничні сигнали з виходів розрядів якого (з другого по шостий) задають значення k для підрахунку імпульсів. За допомогою виходів першого і сьомого розрядів розподільника імпульсів (12) формуються дві комбінації - тільки з нульовими розрядами і тільки з одиничними розрядами. Перешкодостійкість лічильника досягається шляхом підрахунку кількості одиничних цифр у лічильнику, і коли значення k перевищує це число, генерується сигнал помилки.

Роботу пристрою (рис. 3.1) розглянемо на конкретному прикладі з числом розрядів лічильника $n = 5$. У таблиці 3.3 наведено стани виходів (сьомого - першого) розподільника імпульсів (12), тригерів (2.5 - 2.1) лічильника, вихідні шини (11.6 - 11.1) в залежності від кількості імпульсів вхідного сигналу на шині 8 при відліку від початкового положення.

У вихідному положенні пристрою, судячи з даних таблиці 2.3, в першому розряді кільцевого розподільника імпульсів (12) є одиниця, а в лічильнику імпульсів і на шинах вихідного сигналу - нулі. У станах лічильника імпульсів (з першого по шостий (C_6^1)) кільцевий розподільник імпульсів (12) містить у другому розряді «1» і дає сигнал лічильнику імпульсів почати роботу з номером одиниць $k = 1$. При цьому лічильник імпульсів проходить кодові комбінації із заданою кількістю одиничних розрядів $k = 1$, а на шинах вихідного сигналу

формується зважені кодові комбінації з параметром k , рівним одиниці.

Таблиця 3.3 – Значення підмножин множини-степені

Пор. ном.	Стан розрядів			
	розподільника імпульсів		біноміального лічильника імпульсів	вихідних шин
	7654321		54321	654321
0	1	0000001	00000	000000
1	1	0000010	00000	000001
2	2	0000010	00001	000010
3	3	0000010	00010	000100
4	4	0000010	00100	001000
5	5	0000010	01000	010000
6	6	0000010	10000	100000
7	1	0000100	00000	000011
8	2	0000100	00010	000101
9	3	0000100	00011	000110
10	4	0000100	00100	001001
11	5	0000100	00101	001010
12	6	0000100	00110	001100
13	7	0000100	01000	010001
14	8	0000100	01001	010010
15	9	0000100	01010	010100
16	10	0000100	01100	011000
17	11	0000100	10000	100001
18	12	0000100	10001	100010
19	13	0000100	10010	100100
20	14	0000100	10100	101000
21	15	0000100	11000	110000
22	1	0001000	00000	000111
23	2	0001000	00100	001011
24	3	0001000	00110	001101
25	4	0001000	00111	001110
26	5	0001000	01000	010011
27	6	0001000	01010	010101
28	7	0001000	01011	010110
29	8	0001000	01100	011001
30	9	0001000	01101	011010
31	10	0001000	01110	011100
32	11	0001000	10000	100011
33	12	0001000	10010	100101
34	13	0001000	10011	100110
35	14	0001000	10100	101001

Продовження таблиці 3.3

Пор. ном.	Стан розрядів			
	розподільника імпульсів		біноміального лічильника імпульсів	розподільника імпульсів
	7654321		54321	654321
36	15	0001000	10101	101010
37	16	0001000	10110	101100
38	17	0001000	11000	110001
39	18	0001000	11001	110010
40	19	0001000	11010	110100
41	20	0001000	11100	111000
42	1	0010000	00000	001111
43	2	0010000	01000	010111
44	3	0010000	01100	011011
45	4	0010000	01110	011101
46	5	0010000	01111	011110
47	6	0010000	10000	100111
48	7	0010000	10100	101011
49	8	0010000	10110	101101
50	9	0010000	10111	101110
51	10	0010000	11000	110011
52	11	0010000	11010	110101
53	12	0010000	11011	110110
54	13	0010000	11100	111001
55	14	0010000	11101	111010
56	15	0010000	11110	111100
57	1	0100000	00000	011111
58	2	0100000	10000	101111
59	3	0100000	11000	110111
60	4	0100000	11100	111011
61	5	0100000	11110	111101
62	6	0100000	11111	111110
63	1	1000000	00000	111111

комбінації з постійною вагою, що дорівнює двом одиницям. У положеннях лічильника імпульсів з 22-го по 41-е (C_6^3) прилад працює в режимі з кількістю одиниць $k = 3$, при цьому параметр k буде поступово збільшуватися. На 63 позиції утворюється остання комбінація з шести одиниць.

Розглянемо роботу представленого рахункового пристрою (рис. 3.3). У вихідному положенні пристрою, судячи з даних таблиці 3.3, в першому ступені

кільцевого розподільвача імпульсів (далі КІІ) знаходиться блок, який надходить на вхід суматора під номером 5 (7.5). Оскільки лічильник має кодову комбінацію,

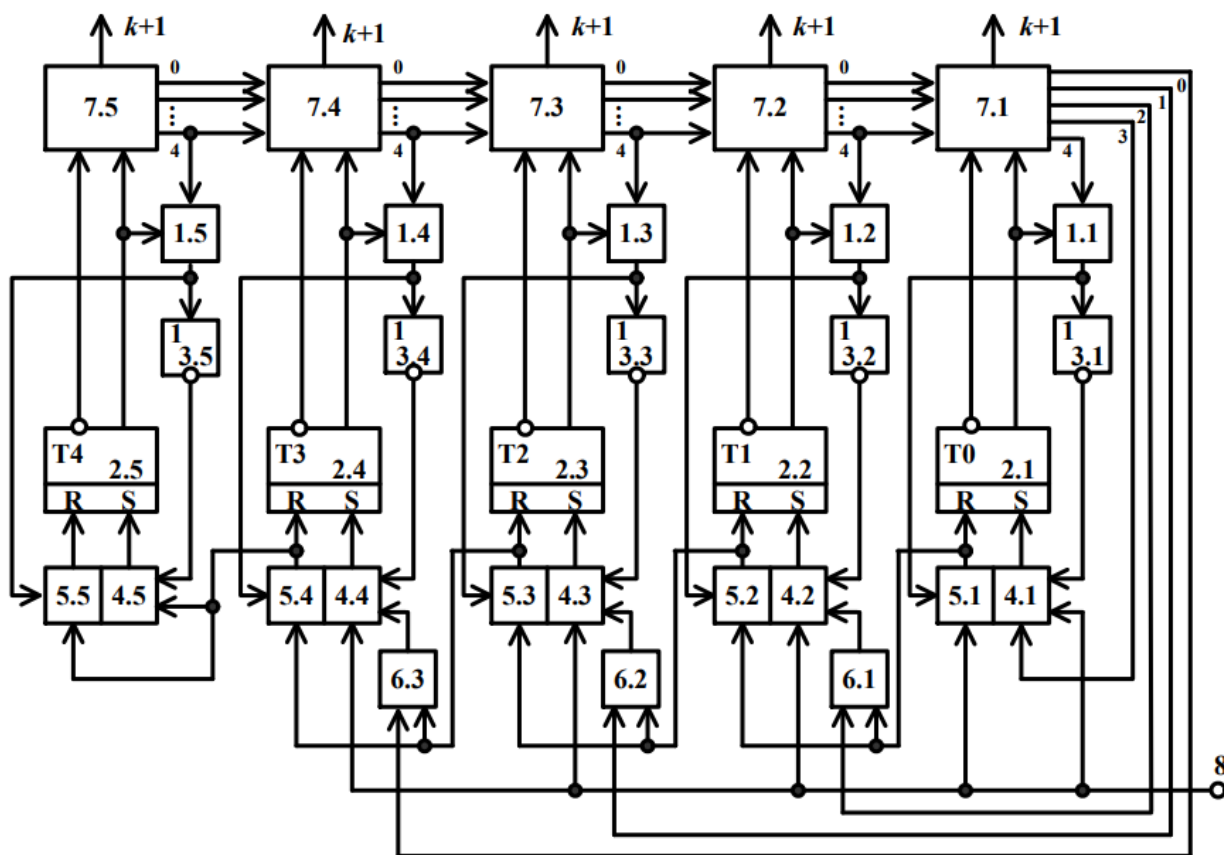


Рисунок 3.3 – Функціональна схема п'ятирозрядного біноміального лічильника

представлену всіма нулями, то одиничний сигнал також з'являється на виході суматора під номером 5.

Кодова комбінація з'являється на шинах вихідного сигналу, представлена всіма нулями (000000), оскільки є нулі комбінацій на виходах суматора (нуль - четвертий), то ця ж інформація присутня на прямих виходах тригерів. Перший тактовий імпульс надходить на вхідну шину (8), після чого єдина комбінація надходить на схему І (15), яка розмикається приходом нульового сигналу з сьомого розряду СRІ (12) через інверсний вхід; після чого сигнал подається на схему І (5.1), розмикання якої, у свою чергу, відбулося надходженням одиночного сигналу через елемент АБО (1.1) з п'ятого виходу суматора (7.1).

Результатом цієї роботи є проходження одиночного сигналу послідовно по колах І (5.1) і І (5.2 - 5.5), які розмикалися одиничними сигналами з виходів суматорів під номерами 5 (7.2 - 7.5) по схемах АБО (1.2). - 1,5). Одиночна комбінація з виходу схеми І (5.5) через схему АБО (13) надходить на вхід

Зм.	Лист	№ докум.	Підпис	Дата

тактового сигналу CRI (12), що призводить до переходу в нульове положення першого біта розподільника і другий до єдиного. Одна комбінація з виходу другого розряду CRI (12) надходить на четвертий вхід суматора під номером 7,5, а так як всі тригери в лічильнику знаходяться в нульовому стані («0»), то єдиний сигнал також з'являється на четвертому виході суматора під номером 7.6 ("1"). Ця комбінація надходить на четвертий вхід схеми АБО (9.1), після чого на шинах вихідного сигналу (11.1 - 11.6) формується комбінація 000001.

Оскільки на четвертому вході суматора під номером 7.5 є сигнал «1», то на четвертому вході суматора під номером 7.1 також є сигнал «1», який разом з одиничним сигналом з прямого виходу тригера під номером 2.1, створює одиничний сигнал на п'ятому виході суматора (7.1). Після отримання ланцюгом I (15) чергового тактового імпульсу тригер (2.1) переводиться в стан «0» подачею одиничного сигналу по ланцюгу I (5.1) з виходу схеми АБО (1.1). Один сигнал з виходу схеми I (5.1) також надходить через перший вхід схеми АБО (6.1) на третій вхід схеми I (4.2). Тригер (2.2) встановлюється в стан «1» в тому ж циклі надходженням сигналу «1» з виходу схеми НО (3.2) на перший вхід схеми I (4.2). В результаті на шинах вихідного сигналу формується комбінація 000100. Таким же чином отримують наступні кодові комбінації з однією одиничною цифрою.

Після переходу лічильника імпульсів в стан 10000, а вихідних шин в 100000, то на четвертому вході суматора (7.5) будуть одиниці, а наступний тактовий сигнал скидає тригер (2.5) шляхом проходження через ланцюги I (5.1 - 5.5) в нульовий стан і переводить КРІ третього розряду (12) в одиночний стан. З виходу третього розряду кільцевого розподільника (12) сигнал «1» надходить на 3-й вхід суматора (7.5), а з 3-го виходу суматора (7.1) — на входи АБО. схем (9.1 - 9.2). Результатом цього етапу роботи пристрою є формування кодової комбінації 000011 на шинах вихідного сигналу (11.1 - 11.6).

Після переходу лічильника імпульсів у наступний стан тригер (2.2) перемикається в одиночний стан і тому логічна одиниця з'являється на 4-му виході суматора під номером 7.1. При цьому на шинах вихідного сигналу формується кодова комбінація 000101. Подібним чином формуються всі кодові комбінації з двох однозначних цифр на вихідних шинах.

Результатом сортування приладом комбінацій з параметром $k = 2$ є перехід кільцевого розподільника (12) в наступний режим роботи лічильника імпульсів, в якому послідовно сортуються комбінації з трьох одиничних розрядів. Тобто на шинах вихідного сигналу послідовно циклюють комбінації з параметром, рівним

					ЕЛІТ 8.171.00.10.421 ПЗ	Лист 48
Зм.	Лист	№ докум.	Підпис	Дата		

$k = 3$. Після цього аналогічно циклюють кодові комбінації, кількість одиниць в яких дорівнює чотирьом і п'яти відповідно.

Після переходу лічильника імпульсів в наступний стан 11111, коли на шини вихідного сигналу формується комбінація 111110, наступний тактовий імпульс перемикає тригери (2,1 - 2,5) на «0», а 7-й розряд коду кільцевий розподільник (12) встановлюється в стан логічної одиниці «1». Після цього сигнал «1» з виходу РІ (12) через схему АБО (14) надходить на 0-й вхід схеми суматора (7.5) і через суматори (7.5 - 7.1) на нульовий вихід суматора (7.1). Цей інформаційний сигнал надходить на шини вихідного сигналу (11.1 - 11.5) через схеми елементів АБО (9.1 - 9.5), крім того, через схему АБО (15) надходить одиничний сигнал від кільцевого розподільника (12) до шини вихідного сигналу (11.6).

Остання комбінація 111111 генерується на шини вихідного сигналу. Наступний тактовий імпульс надходить в ланцюг елемента І (1.6), розмикання якого обумовлено подачею одиночного сигналу з 7-го розряду кільцевого розподільника (12), з шини № 8 і через ланцюг елемента АБО (13) переводить СРІ (12) у вихідний стан, при цьому на виході лічильника формується кодова комбінація 000000.

Виявлення помилок у функціонуванні лічильника відбувається при хибних переходах розрядів лічильника, коли кількість одиничних розрядів у лічильнику перевищує задане значення k . Наприклад, якщо лічильник знаходиться в другому стані (кодова комбінація 00001, а на вихідних шини - 000010) і стався помилковий перехід в одиничний стан тригера (2.3), то лічильник імпульсів буде мати комбінацію 00101, тобто. кількість одиничних цифр перевищить заданий параметр ($k = 1$).

Оскільки сигнал логічної одиниці «1» у другому стані лічильника імпульсів надходить на 4-й вхід схеми суматора (7.5) з 1-го розряду кільцевого розподільника (12), то з урахуванням сигналу «1» від схеми тригера (2.3), одиниці сигнал буде генеруватися на 5-му виході схеми суматора (7.3). Цей інформаційний сигнал надходить на 5-й вхід схеми суматора (7.1), на першу групу входів якої надходить сигнал логічної одиниці «1» з прямого виходу тригерної схеми (2.1). Результатом цього етапу функціонування лічильника є поява одиночного сигналу на 6-му виході схеми суматора (7.1), що свідчить про формування помилкового стану лічильника імпульсів.

					<i>ЕлІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
						49
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

Так само, якщо лічильник імпульсів знаходиться в 41-му стані і, відповідно, сигнал логічної одиниці «1» знаходиться в кільцевому розподільнику імпульсів (12) в 4-му розряді (комбінація 11100, а на шинах вихідного сигналу - 111000) , помилковий перехід одиниці з бітів зі стану логічного нуля «0» в стан логічної одиниці «1», наприклад тригер (2.2), то на шостих виходах з'явиться сигнал інформації про помилку. схем суматора (7.2 і 7.1).

Встановлюючи один із розрядів розподільника імпульсів у стан логічної одиниці «1» за допомогою порозрядних входів кільцевого розподільника імпульсів (12), можна перерахувати всі можливі комбінації лічильника імпульсів з властивість імунітету, починаючи з будь-якого заданого числа k.

Функціональна схема представлена на рисунку 3.4. Двійковий лічильник виступає в ролі допоміжного, він лише відображує стан біноміального і використовується для відображення значення підрахованих імпульсів оператору.

Між молодшими та старшими біноміальними та двійковими лічильниками розміщений БФП (блок фіксації переносу). Даний блок використовується для своєчасного формування сигналу переносу від молодшого лічильника до старшого в разі переповнення молодшого.

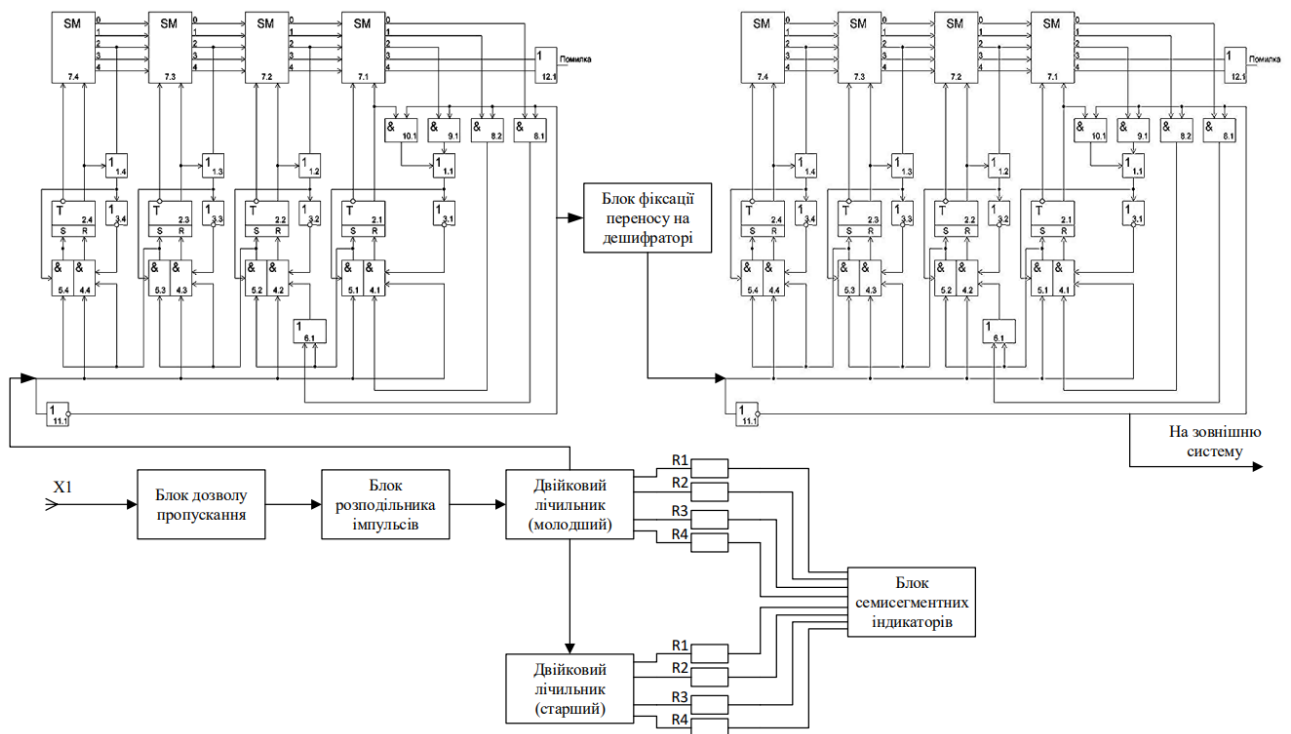


Рисунок 3.4 – Електрична функціональна схема проектованої системи

Блок двійкового лічильника зв'язаний з БВІ (блоком відображення інформації). Поданий блок використовується для відображення інформації, необхідної оператору. Основою цього блоку являється двохрозрядний семисегментний напівпровідниковий індикатор.

3.4. Вибір елементної бази та розробка принципів схем блоків

Блоки електронних пристроїв складаються з елементів, виконаних у вигляді інтегральних мікросхем, таких як дешифратори, лічильники, розподільники імпульсів і т. д. Сприяння підвищенню захищеності електронної системи в цілому слід починати з підвищення захищеності і надійності використовуваних мікросхем. Їх вартість при сучасній технології виробництва не сильно зростає, швидкість роботи практично не знижується, а надійність зростає в рази.

Виходячи із завдань забезпечення надійності та якості переходу з одного стану в інший був обраний тригер RS, який широко використовується в складних тригерних схемах як елемент пам'яті і добре зарекомендував себе.

Розглянемо принцип дії синхронного тригера RS (рис. 3.4), вважаючи, що стан тригера дорівнює сигналу на виході Q, який є прямим. Крім того, характерною особливістю тригерів є стабільність будь-якого з двох станів при відсутності вхідних сигналів.

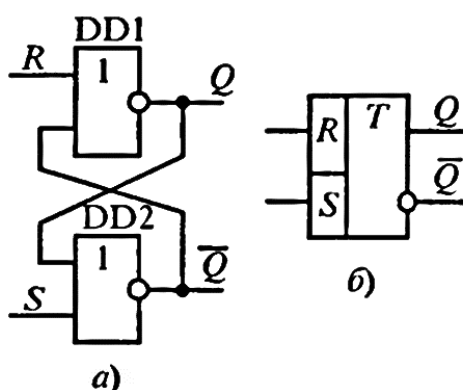


Рисунок 3.4 – а) схема RS-тригера; б) умовне позначення RS-тригера

Наприклад, при нульовому сигналі на входах тригера $R = S = 0$, а $\bar{Q} = 1$ на виході елемента DD1 зберігається нульовий стан $Q=0$, який

одночасно забезпечує сигнал на виході \bar{Q} елемента DD2 і підтверджує стан тригера.

Положення виходів тригера в період часу після надходження вхідних сигналів залежить як від вхідних сигналів, так і від попереднього стану виходів тригера. З цього випливає, що для аналізу схеми необхідно розділити стани виходів і входів тригера в часі. Стани розподіляються за допомогою індексів. Таким чином, попередні стани позначаються індексом n : S_n, R_n, Q_n , а наступні стани позначаються $n + 1$: Q_{n+1}, \bar{Q}_{n+1} . Прикладом корисності такого розподілу станів тригера в часі є можливість запису алгоритму роботи тригера за допомогою логічних функцій. Повний варіант станів тригера наведено в таблиці 3.4, яка показує особливості тригера. Слід додати, що стан виходів тригера Q_{n+1} є невизначеним при $S_n = R_n = 1$.

Таблиця 3.4 – Варіанти станів RS-тригера

S_n	R_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

Дійсно, якщо такі сигнали подати на входи тригера, то на виходах будуть нульові сигнали ($Q_{(n+1)} = \bar{Q}_{(n+1)} = 0$). Однак, шляхом одночасного видалення цих сигналів і встановлення $S_{(n+1)} = R_{(n+1)} = 0$, стан виходів тригера не буде визначеним.

Це пояснюється швидкоплинним процесом зміни станів, який відбувається в логічних елементах. Результат цього процесу безпосередньо залежить від швидкості руху елементів. Через це розглянута вище комбінація сигналів є невизначеною, а перехід від такої до нульової комбінації заборонений. Але, використовуючи додаткові елементи, що запобігають появі забороненого переходу, цю проблему вдалося вирішити.

Складовими цього біноміального лічильника є схеми комбінаційних матричних суматорів, на відміну від звичайних лічильників, які не мають таких суматорів. Ці суматори виконують низку функцій, включаючи функції перенесення та схеми керування. Крім того, вони достатньою мірою реалізують функції дешифратора. Тобто процес розшифровки стану біноміального лічильника значно спрощується.

Розглянемо більш детально принцип дії та будову матричного суматора (рис. 3.5). Суматор складається з кількох груп елементів І та АБО, які з'єднані між собою необхідним чином. Перша група під номером 9 складається з $k + 1$ елементів І (10), друга група - 11 - з $k + 1$ елементів І (12), а третя група під номером 13 складається з k елементів АБО (14). Також суматор містить першу групу входів під номером 15 і другу групу входів - 16, а також групу виходів ($k + 2$) - 0, 1, ..., k , $k + 1$. Входи суматора суматора, які належать до групи 15, з підключеними до входів схем елементів І (10) і до входів схем елементів І (12). Інші входи схем пар елементів І (10 і 12) підключені до другої групи входів під номером 16 відповідно. При цьому виходи відповідних елементів І (10) і І (12) з груп 9 і 11 підключаються до входів схем елементів АБО (14) з групи 13.

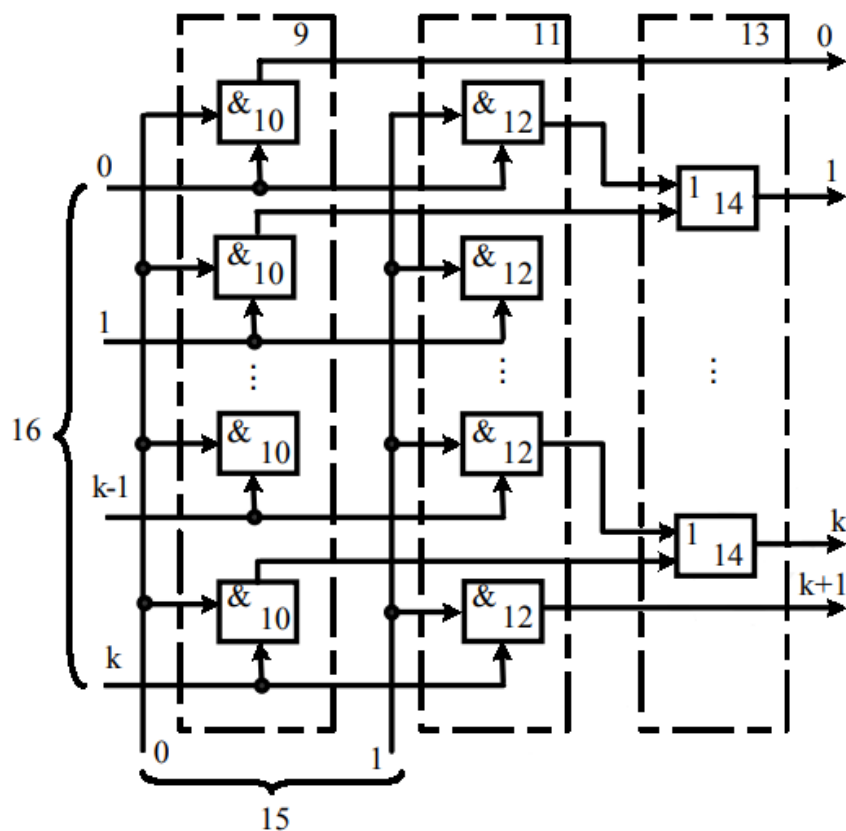


Рисунок 3.5 – Функціональна схема матричного суматора

Як зазначалося вище, схеми комбінаційних матричних суматорів здатні виконувати функції схем керування, що є позитивним моментом для підвищення як локального, так і загального рівня захищеності біноміального лічильника. Таким чином, наявність сигналу логічної одиниці «1» на виході $k + 1$ суматора свідчить про виникнення помилки під час операції підсумовування, а саме, що загальна кількість одиниць перевищує заданий параметр k .

В роботі буде використана мікросхема SN7483 (рис. 3.7), яка містить чотирьохрозрядний повний суматор. Мікросхема містить 781 інтегральний елемент та виконана в корпусі 201.16-6 (рис. 3.6) масою не більше 2,5 г.

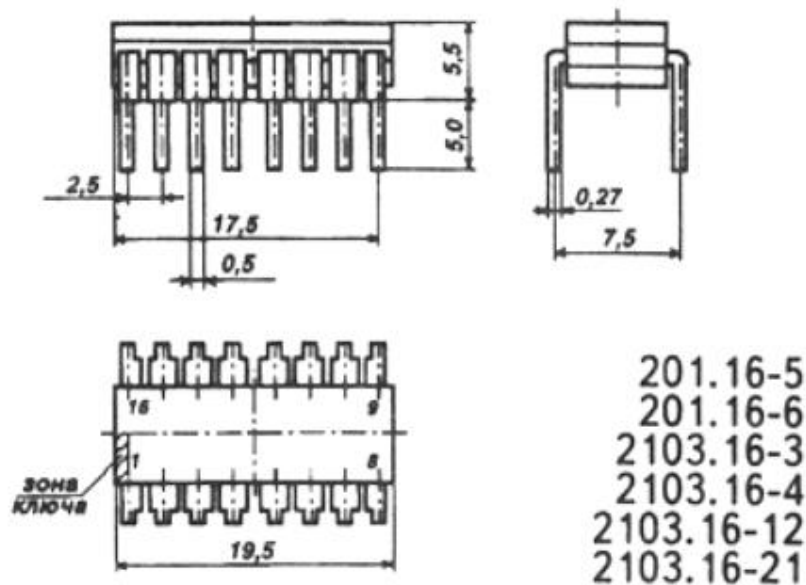


Рисунок 3.6 – Корпус мікросхеми SN7483

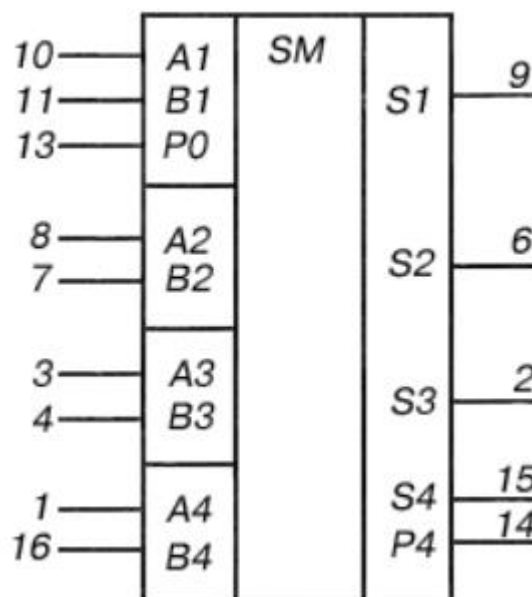


Рисунок 3.7 – Умовне графічне позначення мікросхеми SN7483

Призначення виводів мікросхеми наведено в таблиці 3.5.

Таблиця 3.5 – Призначення виводів мікросхеми SN7483

Вивід №	Призначення	Вивід №	Призначення
1	Вхід доданка А4	9	Вихід суми S1
2	Вихід суми S3	10	Вхід доданка А1
3	Вхід доданка А3	11	Вхід доданка В1
4	Вхід доданка В3	12	Загальний
5	Живлення	13	Вхід переносу P0
6	Вихід суми S2	14	Вихід переносу четвертого розряду P4
7	Вхід доданка В2	15	Вихід суми S4
8	Вхід доданка А2	16	Вхід доданка В4

Електричні параметри мікросхеми SN7483 наведені в таблиці 3.6.

Таблиця 3.6 – Електричні параметри мікросхеми SN7483

Назва	Значення
Номінальна напруга живлення	5 В ± 5%
Вихідна напруга низького рівня	≤ 0,4 В
Вихідна напруга високого рівня	≥ 2,4 В
Завадостійкість	≥ 0,4 В
Вхідний пробивний струм	≤ 1 мА
Струм короткого замикання	-18 ... -55 мА
Струм витікання на виході	≤ 0,2 мА
Струм живлення	≤ 128 мА
Вживана статична потужність	≤ 670 мВт
Час затримки розповсюдження при ввімкненні від виводу 13 до 15	≤ 55 нс
Час затримки розповсюдження при вимкненні від виводу 13 до 15	≤ 55 нс
Час затримки розповсюдження по колу суми	≤ 37,5 нс
Час затримки розповсюдження по колу переносу	≤ 40 нс

Логічні елементи використовуються для проектування та побудови логічних схем обчислювальних пристроїв, дискретних схем автоматичного керування та керування. Вони також включені в біноміальний лічильний пристрій і є його важливою частиною.

Традиційно логічні елементи створюють у вигляді спеціальних інтегральних схем. Логічні операції, такі як кон'юнкція, диз'юнкція та заперечення (І, АБО, НІ), є основними операціями, що виконуються над логічними елементами.

Логічний елемент «І» (рис. 3.8) є кон'юнкцією, логічним множенням.

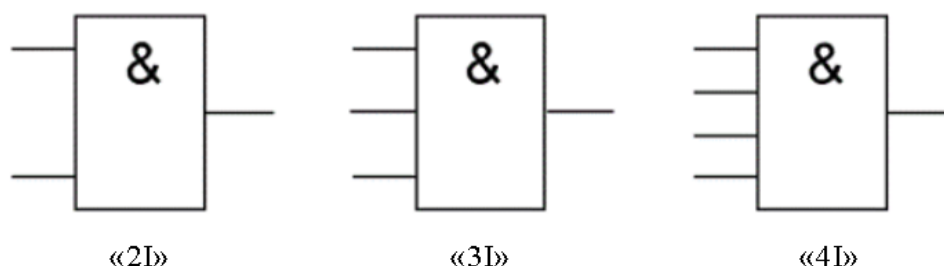


Рисунок 3.8 – Умовне позначення елемента «І»

Елемент «І» – логічний елемент, який виконує операцію кон'юнкції або логічного множення вхідних інформаційних сигналів. Цей елемент може бути виконаний з різною кількістю входів (від 2 до 8) і одним виходом. Таблиця істинності (табл. 3.7) елемента «2І» показує, що сигнал логічної одиниці буде на виході елемента тільки в тому випадку, якщо на обох входах елемента з'являється одиниця. В інших трьох випадках результат операції буде нульовим.

Таблиця 3.7 – Таблиця істинності елемента «2І»

Вхід 1	Вхід 2	Вихід
0	0	0
1	0	0
0	1	0
1	1	1

З метою зменшення габаритних розмірів приладу та економії місця можна використовувати мікросхему КР1533ЛІЗ (рис. 3.9), яка має три логічні елементи «ЗІ» в одному корпусі.

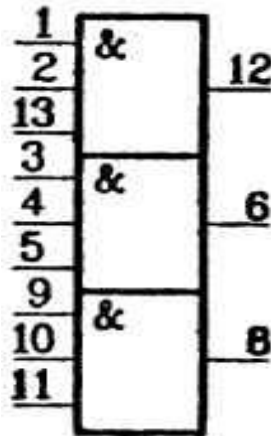


Рисунок 3.9 – Умовне графічне позначення КР1533ЛІЗ

Призначення виходів мікросхеми: 1, 4, 10, 13 – виходи, 2, 3, 5, 8, 9, 11, 12 – входи; 7 – загальний; 14 – живлення.

Таблиця 3.8 – Параметри мікросхеми КР1533ЛІЗ

Номінальна напруга живлення	$5 \text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4 \text{ В}$
Вихідна напруга високого рівня	$\geq 2,4 \text{ В}$
Вхідний струм низького рівня	$\leq -0,1 \text{ мА}$
Вхідний струм високого рівня	$\leq 0,20 \text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 3 \text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 1,8 \text{ мА}$
Час затримки поширення сигналу при вмиканні	$\leq 13 \text{ нс}$
Час затримки поширення сигналу при вимиканні	$\leq 10 \text{ нс}$
Ємність входу	$\leq 5 \text{ пФ}$

Зм.	Лист	№ докум.	Підпис	Дата

Логічний елемент «АБО» (рис. 3.10) – виконує функцію диз'юнкції, логічної суми.

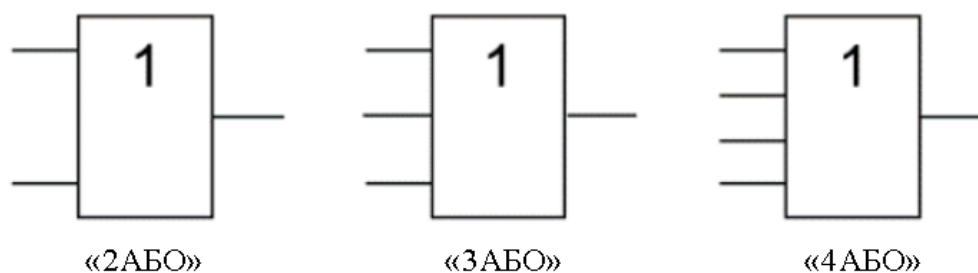


Рисунок 3.10 – Умовне позначення елемента «АБО»

Елемент «АБО» – це логічний елемент, який виконує операцію диз'юнкції або логічної суми над входними інформаційними сигналами. Цей елемент може бути виконаний з різною кількістю входів (від 2 до 8) і одним виходом. Таблиця істинності (табл. 3.9) елемента «2OR» показує, що сигнал логічного нуля буде на виході елемента тільки в тому випадку, якщо нуль з'явиться на обох входах елемента. В інших трьох випадках результатом операції буде логічна одиниця.

Таблиця 3.9 – Таблиця істинності елемента «2АБО»

Вхід 1	Вхід 2	Вихід
0	0	0
1	0	1
0	1	1
1	1	1

З метою зменшення габаритних розмірів системи та економії місця можна використовувати мікросхему КР1533ЛЛ1 (рис. 3.11), яка має чотири логічних елемента «2АБО» в одному корпусі.

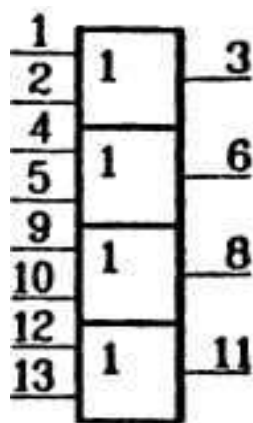


Рисунок 3.11 – Умовне графічне позначення КР1533ЛЛ1

Призначення виводів мікросхеми: 1, 2, 4, 5, 9, 10, 12, 13 – входи; 3, 6, 8, 11 – виходи; 7 – загальний; 14 – живлення.

Таблиця 3.10 – Електричні параметри мікросхеми КР1533ЛЛ1

Номінальна напруга живлення	$5\text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,4\text{ В}$
Вихідна напруга високого рівня	$\geq 2,4\text{ В}$
Вхідний струм низького рівня	$\leq -0,1\text{ мА}$
Вхідний струм високого рівня	$\leq 0,20\text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4,9\text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 4\text{ мА}$
Час затримки поширення сигналу при вмиканні	$\leq 12\text{ нс}$
Час затримки поширення сигналу при вимиканні	$\leq 14\text{ нс}$
Ємність входу	$\leq 5\text{ пФ}$

Логічний елемент «НЕ» (рис. 3.12) – виконує функцію заперечення, інвертор.

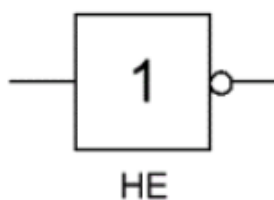


Рисунок 3.12 – Умовне позначення елемента «НЕ»

Зм.	Лист	№ докум.	Підпис	Дата

Елемент "НЕ" – це логічний елемент, який виконує операцію логічного заперечення над вхідними інформаційними сигналами. Даний елемент має тільки один вхід і один вихід. Інша його назва - інвертор, тому що він фактично інвертує вхідний інформаційний сигнал.

Таблиця 3.11 – Таблиця істинності елемента «НЕ»

Вхід	Вихід
0	1
1	0

Таблиця істинності інвертора показує, що високий потенціал на вході дає низький потенціал на виході елемента і навпаки.

З метою зменшення габаритних розмірів пристрою і економії місця можна використовувати мікросхеми, в які логічний елемент «НЕ» вбудований разом з іншими логічними елементами. Таке конструктивне рішення спростило виконання складних логічних операцій і побудову логічних схем на основі нових елементів «І-НІ», «АБО-НІ».

Прикладом являється мікросхема КР1533ЛЕ1 (рис. 3.13), яка має чотири логічних елемента «2АБО-НЕ».

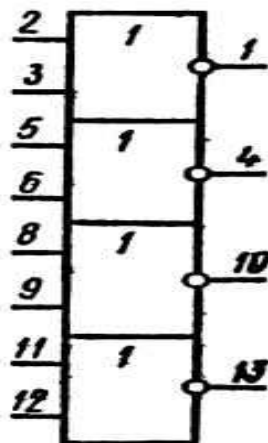


Рисунок 3.13 – Умовне графічне позначення КР1533ЛЕ1

Призначення виходів: 1, 4, 10, 13 – виходи, 2, 3, 5, 8, 9, 11, 12 – входи; 7 – загальний; 14 – живлення.

Таблиця 3.12 – Параметри мікросхеми КР1533ЛЕ1

Номінальна напруга живлення	$5\text{ В} \pm 5\%$
Вихідна напруга низького рівня	$\leq 0,5\text{ В}$
Вихідна напруга високого рівня	$\geq 2,5\text{ В}$
Вхідний струм низького рівня	$\leq -0,1\text{ мА}$
Вхідний струм високого рівня	$\leq 0,20\text{ мкА}$
Струм споживання при низькому рівні вихідної напруги	$\leq 4\text{ мА}$
Струм споживання при високому рівні вихідної напруги	$\leq 2,2\text{ мА}$
Час затримки поширення сигналу при включенні	$\leq 10\text{ нс}$
Час затримки поширення сигналу при виключенні	$\leq 12\text{ нс}$
Ємність входу	$\leq 4\text{ пФ}$

Декодери – мікросхеми середньої інтеграції, призначені для перетворення двійкового коду в напругу логічного рівня, що виникає в тому вихідному проводі, десяткове число якого відповідає двійковому коду. Наприклад, код введення 1001 повинен зробити вивід номер 9 активним. Усі інші дроти декодера повинні мати нульові сигнали.

В схемі декодер виконує функцію реагування на останню комбінацію «11110» молодшого біноміального лічильника та надсилає сигнал початку підрахунку старшому біноміальному лічильнику.

В роботі використовується мікросхема 74141(рис. 3.15), яка містить один чотирьохвходовий дешифратор. Мікросхема виконана в DIP-корпусі (рис. 3.14) містить 180 інтегральних елементів.

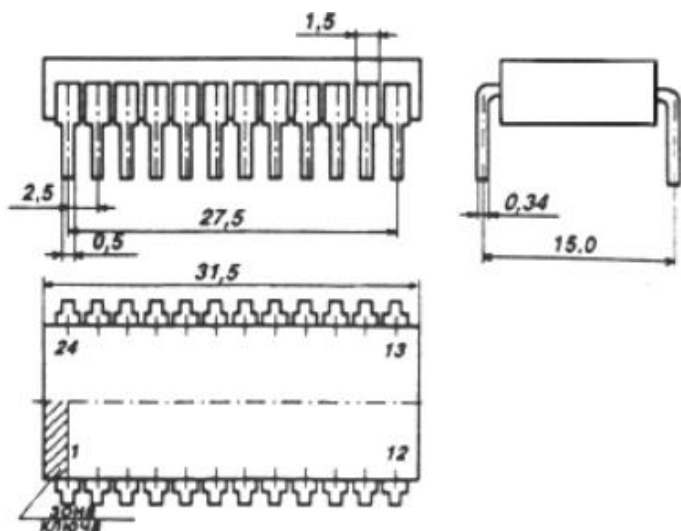


Рисунок 3.14 – Корпус мікросхеми 74141

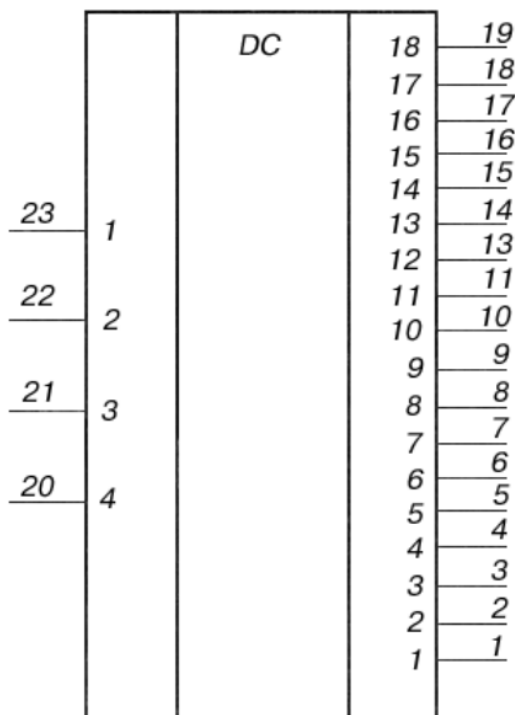


Рисунок 3.15 – Умовне позначення мікросхеми 74141

В таблиці 3.13 наведено призначення виводів мікросхеми 74141.

Таблиця 3.13 – Призначення виводів мікросхеми 74141

Вивід №	Призначення	Вивід №	Призначення
1	Вихід 1	13	Вихід 12
2	Вихід 2	14	Вихід 13
3	Вихід 3	15	Вихід 14
4	Вихід 4	16	Вихід 15
5	Вихід 5	17	Вихід 16
6	Вихід 6	18	Вихід 17
7	Вихід 7	19	Вихід 18
8	Вихід 8	20	Вхід 4
9	Вихід 9	21	Вхід 3
10	Вихід 10	22	Вхід 2
11	Вихід 11	23	Вхід 1
12	Загальний	24	Живлення

Електричні параметри мікросхеми 74141 наведені в таблиці 3.14.

Таблиця 3.14 – Електричні параметри мікросхеми 74141

Назва	Значення
Номінальна напруга живлення	5 В ± 5%
Вихідна напруга низького рівня	2 ... 4 В
Завадостійкість	≤ 0,4 В
Вхідний струм низького рівня	≤ -1,6 мА
Вхідний струм високого рівня	≤ 0,04 мА
Напруга на антизвонному діоді	≥ 1,5 В
Вхідний пробивний струм	≤ 1 мА
Струм витікання на виході	≤ 0,2 мА
Мінімальний струм на виході 74141А	≥ 10 мА
Мінімальний струм на виході 74141Б	≥ 15 мА

Одним із основних блоків адаптивної системи завадостійкого рахунку являються двійкові лічильники (рис. 3.16).

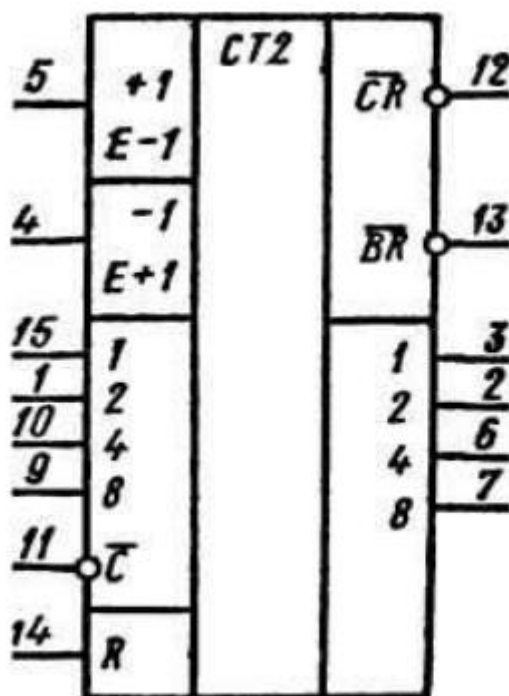


Рисунок 3.16 – Умовне позначення двійкового лічильника

В роботі використовуються мікросхеми КР1533ИЕ7, які представляють собою чотирихрозрядний двійковий реверсивний лічильник синхронного типу. Корпус типу 238.16-1(рис. 3.17), маса не перевищує 1,2 г.

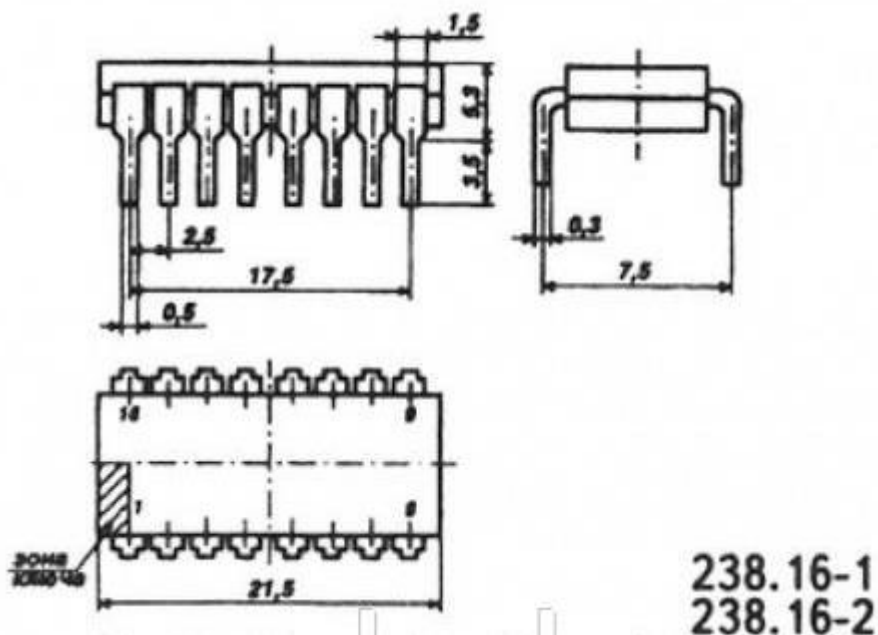


Рисунок 3.17 – Корпус мікросхеми КР1533ИЕ7

Призначення виводів мікросхеми представлено в таблиці 3.15.

Таблиця 3.15 – Призначення виводів мікросхеми КР1533ИЕ7

№	Призначення	№	Призначення
1	Вхід інформаційний D2	9	Вхід інформаційний D8
2	Вихід другого розряду	10	Вхід інформаційний D4
3	Вихід першого розряду	11	Вхід стробування попереднього запису \bar{C}
4	Вхід «зворотній рахунок» «-1»	12	Вихід «пряме перенесення» \overline{CR}
5	Вхід «прямий рахунок» «+1»	13	Вихід «зворотне перенесення» \overline{BR}
6	Вихід третього розряду	14	Вхід «встановлення 0» R
7	Вихід четвертого розряду	15	Вхід інформаційний D1
8	Загальний	16	Живлення

Для підвищення рівня розуміння принципу функціонування двійкового реверсивного лічильника синхронного типу та наглядності на рисунку 3.18

Зм.	Лист	№ докум.	Підпис	Дата

наведено таблицю істиності такого лічильника, яка пояснює залежність стану виходів лічильника від режимів його роботи.

Режими роботи	Вхід			
	R	\bar{C}	«+1»	«-1»
Встановлення «0»	1	X	X	X
Запис інформації	0	0	X	X
Неактивний стан	0	1	1	1
Рахунок прямий	0	1	┌	1
Рахунок зворотній	0	1	1	└

Рисунок 3.18 – Таблиця істиності мікросхеми КР1533ИЕ7

Примітка до рис. 3.18. X – байдужий стан; ┌ – активний фронт напруги по рахунковим входам.

Електричні параметри мікросхеми наведено в таблиці 3.16.

Таблиця 3.16 – Електричні параметри мікросхеми КР1533ИЕ7

Назва	Значення
Номінальна напруга живлення	5 В ± 10%
Вихідна напруга низького рівня	≤ 0,4 В
Вихідна напруга високого рівня	≥ 2,5 В
Струм споживання при $U_{п} = 5,5$ В	≤ 22 мА
Вхідний струм низького рівня	≤ -0,2 мА
Вхідний струм високого рівня	≤ 20 мкА
Вхідний пробивний струм	≤ 0,1 мА
Вихідний струм	-30 ... -70 мА
Час затримки розповсюдження при ввімкненні:	
від входу 5 до виходу 12, від входу 4 до виходу 13	≤ 27 нс
від входів 4, 5 до виходів 2, 3, 6, 7	≤ 30 нс
від входу 11 до виходів 2, 3, 6, 7	≤ 42 нс
від входу 14 до виходів 2, 3, 6, 7	≤ 32 нс
Час затримки розповсюдження при вимкненні:	
від входу 5 до виходу 12, від входу 4 до виходу 13	≤ 25 нс
від входів 4, 5 до виходів 2, 3, 6, 7	≤ 34 нс
Ємність входу	≤ 5 пФ

Зм.	Лист	№ докум.	Підпис	Дата

Таблиця 3.17 – Гранично допустимі умови експлуатації мікросхеми КР1533ИЕ7

Назва	Значення
Напруга живлення	4,5 ... 5,5 В
Вихідна напруга низького рівня	0 ... 0,8 В
Вихідна напруга високого рівня	2 ... 5,5 В
Максимальна напруга, що подається на вихід	5,5 В
Температура навколишнього середовища	-10 ... +70 °С

Кінцевим елементом, який використовується в роботі, являється пристрій відображення інформації, яка надходить з двійкових лічильників. Була обрана мікросхема DA56-11GWA, яка містить двохрандний напівпровідниковий семисегментний індикатор (рис. 3.19).

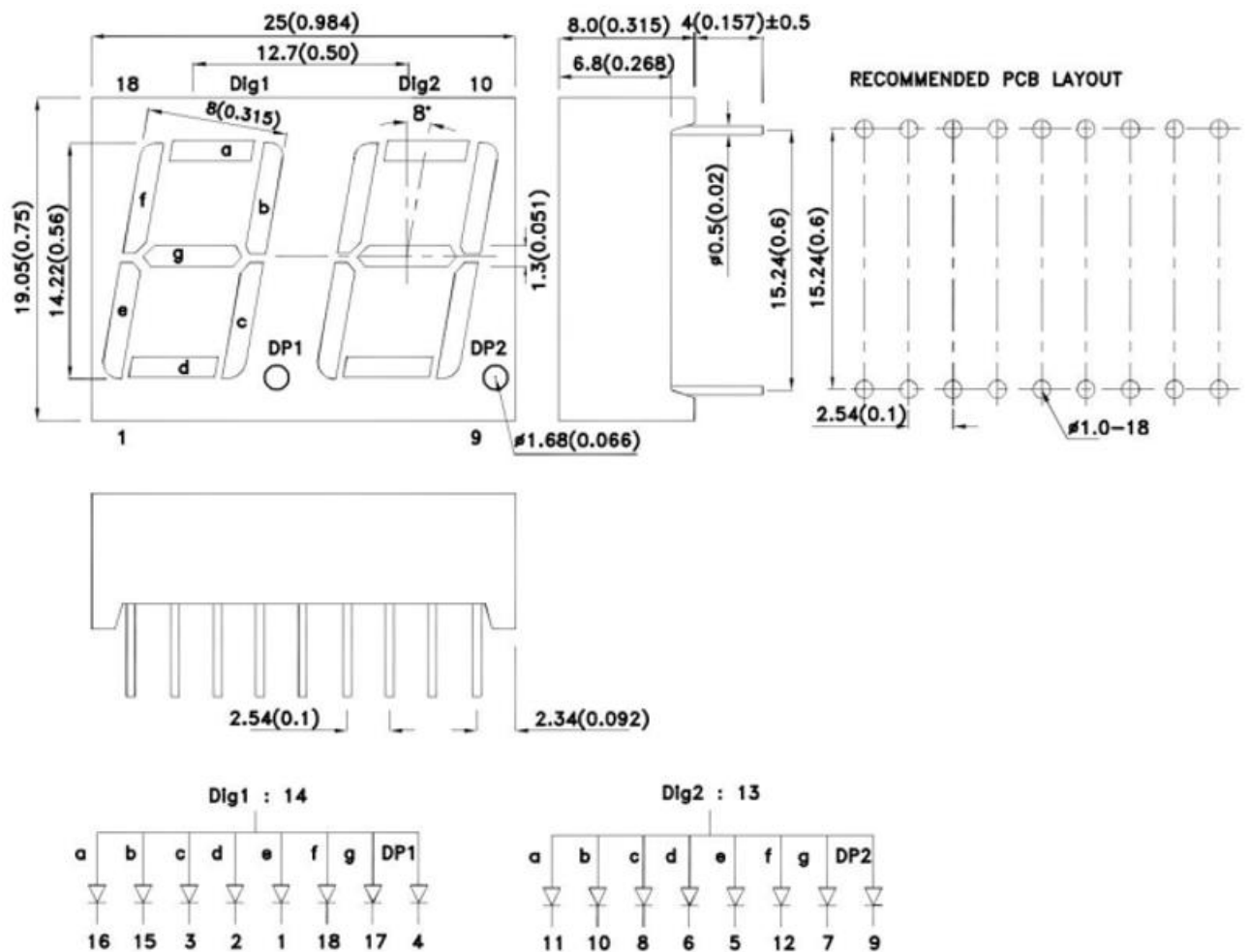


Рисунок 3.19 – Мікросхема DA56-11GWA

Зм.	Лист	№ докум.	Підпис	Дата
-----	------	----------	--------	------

Характеристики індикатора:

- а) висота цифри – 0,56 дюйма;
- б) можливий низькопотужний (енергозберігаючий) режим роботи;
- в) наявність двох індикаторів в одній мікросхемі;
- г) відповідає стандартам механічної міцності;
- д) відповідає стандарту RoHS.

Електрично-оптичні характеристики мікросхеми за температури $T = 25\text{ }^{\circ}\text{C}$ наведені в таблиці 3.18.

Таблиця 3.18 – Електрично-оптичні характеристики мікросхеми за температури $T = 25\text{ }^{\circ}\text{C}$

Параметр	Колір	Тип	Макс.	Одиниці вимірювання	Умови тестування
Пікова довжина хвилі	Зелений	565	–	нм	$I_F = 20\text{ мА}$
Переважаюча довжина хвилі	Зелений	568	–	нм	$I_F = 20\text{ мА}$
Напівширина спектральної лінії	Зелений	30	–	нм	$I_F = 20\text{ мА}$
Ємність	Зелений	15	–	пФ	$V_F = 0\text{ В};$ $f = 1\text{ МГц}$
Пряма напруга	Зелений	2.2	2,5	В	$I_F = 20\text{ мА}$
Зворотний струм	Зелений	–	10	мкА	$V_R = 0\text{ В}$

Мікросхема DA56-11GWA здатна працювати в широкому діапазоні робочих характеристик. Максимальні значення основних робочих характеристик функціонування мікросхеми наведені в таблиці 3.19.

Таблиця 3.19 – Максимальні значення основних робочих характеристик функціонування мікросхеми

Параметр	Колір: Зелений	Одиниці вимірювання
Розсіювана потужність	62,5	мВт
Постійний прямий струм	25	мА
Піковий прямий струм	140	мА
Зворотна напруга	5	В
Температура експлуатації/зберігання	-40 °C ... +85 °C	
Температура свинцевого припою	260 °C протягом 3-5 с	

Важливою характеристикою напівпровідникового індикатора являється залежність відносної інтенсивності випромінювання від довжини хвилі (рис. 3.20). Ця величина демонструє на якій довжині хвилі значення інтенсивності випромінювання індикатора являється максимальним за нормальних умов.

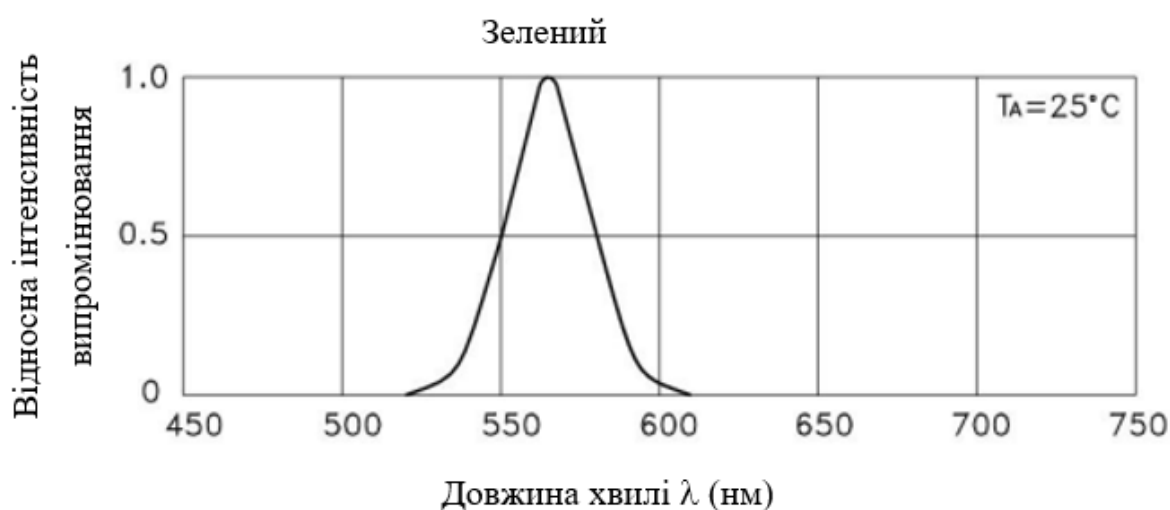


Рисунок 3. 20 – Залежність відносної інтенсивності випромінювання від довжини хвилі

РОЗДІЛ 4 ТЕХНІКО-ЕКОНОМІЧНА ЧАСТИНА

4.1. Розрахунок повної собівартості системи

Витрати на матеріали та комплектуючі вироби визначаються виходячи з ціни одиниці матеріалу/комплектуючого матеріалу та необхідної їх кількості. Дані про ціни матеріалів і комплектуючих взяті з прейскурантів роздрібних постачальників матеріалів, сировини, комплектуючих, послуг за 1 одиницю продукції.

Результатами розрахунків за цією статтею являються дані, наведені в таблицях 4.1 та 4.2.

Таблиця 4.1 – Результати розрахунків витрат на комполектуючі

№ з/п	Назва комплектуючого	Кількість, шт.	Ціна за одиницю, грн	Сумарна вартість, грн
Мікросхеми				
1	7400	10	7,80	78
2	KP1533ЛИЗ	3	6,90	20,70
3	SN7483	10	8,10	81
4	K155ЛИ5	6	7,60	45,60
5	KP1533ЛЛ1	4	7	28
6	KP1533ЛЕ1	3	6,90	20,70
7	74141	1	19,50	19,50
8	KP1533ИЕ7	2	25	50
9	DA56-11GWA	1	146	146
Резистори				
1	0,125Вт 300 Ом 5%	8	0,30	2,40
Інше				
1	Роз'єм JTAG DC3-6P 16 контактів 2,54 мм	1	60	60
Всього:				551,90

Зм.	Лист	№ докум.	Підпис	Дата

Таблиця 4.2 – Результати розрахунку витрат на сировину та матеріали

Матеріал/сировина	Одиниця виміру	Норма витрат	Ціна за одиницю, грн	Сумарна вартість, грн
Провід монтажний 0,5 мм	кг	0,15	100	15
Склотекстоліт	м ²	0,05	600	30
Флюс	кг	0,03	150	4,50
Припій	кг	0,05	400	20
Лак	кг	0,1	50	5
Матеріали для корпусу	кг	0,25	300	75
Всього:				149,50

Беручи до уваги транспортно-заготівельні витрати ($k_{Т-З} = 5 \div 15\%$), які будуть використані при конструюванні одиниці продукції, вартість комплектуючих та матеріалів зросте та складе наступну суму:

$$KM = \frac{(K + M) * (100 + k_{Т-З})}{100} = \frac{(551,90 + 149,50) * (100 + 10)}{100} = 771,54 \text{ (грн)} \quad (4.1)$$

Витрати на основну заробітну плату розраховуються за наступною формулою:

$$ЗП = \sum_{i=1}^n T_{Г_i} * Н_{Ч_i} \quad (4.2)$$

де $T_{Г_i}$ – це годинна тарифна ставка одного окремого спеціаліста (інженера електронної техніки, лаборанта), який є задіяним у виробництві пристрою (системи/установки), грн/год;

$Н_{Ч_i}$ – це затрачений робітником час на виробництво і налаштування пристрою (системи/установки), грн/год;

n – це кількість працівників, які є задіяними у виробництві пристрою (системи/установки).

Тарифна ставка за одну годину роботи розраховується за наступною формулою, витікаючи з величини окладу спеціаліста за місяць:

$$T_{\Gamma_i} = \frac{T_{M_i}}{B_{\Phi_i} * 8} \quad (4.3)$$

де T_{M_i} – це оклад (ставка) спеціаліста за місяць роботи, грн;

B_{Φ_i} – це відпрацьований фактично час за окремий розрахунковий період (місяць/квартал/рік), днів (змін).

Станом на сьогодні описані вище параметри стандартизовані та мають наступні значення:

$$T_{M_i} = 12\,497 \text{ грн,}$$

$$B_{\Phi_i} = 24 \text{ дні (зміни).}$$

Виходячи з вищенаведених стандартизованих даних, розрахуємо ставку окремого спеціаліста за одну годину роботи:

$$T_{\Gamma_i} = \frac{12\,497}{24 * 8} = 65,08 \text{ (грн)} \quad (4.4)$$

Базуючись на отриманому значенні годинної тарифної ставки, розрахуємо витрати на основну заробітну плату за наступною формулою, взявши за основу, що $N_{\Psi_i} = 3$ години, а $n = 1$:

$$ЗП = 3 * 65,08 = 195,24 \text{ (грн)} \quad (4.5)$$

Значення додаткової заробітної плати розраховується за наступною формулою:

$$З_d = ЗП * \frac{K_d}{100}, \quad (4.6)$$

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	<i>Лист</i>
						71
<i>Зм.</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

де K_d – це відсоток, який регулює значення додаткової заробітної плати в межах від 10% до 30% від ЗП.

Прийmemo значення K_d рівним 15% і за наведеною вище формулою розрахуємо значення:

$$Z_d = 195,24 * 0,15 = 29,28 \text{ (грн)} \quad (4.7)$$

До відрахувань на соціальні заходи відносяться відрахування з розміру основної та додаткової заробітної плати у встановлених стандартами розмірах:

- на загальнообов'язкове державне пенсійне страхування;
- на державне страхування від нещасних випадків;
- на загальнообов'язкове державне соціальне страхування на випадок безробіття;
- у зв'язку з тимчасовою втратою працездатності та витратами, зумовленими народженням дитини та похованням.

Враховуючи всі наведені ставки, отримуємо такий коефіцієнт для знаходження значення відрахування на соціальні заходи:

$$V_{CЗ} = (ЗП + Z_d) * \frac{36,3}{100} = (195,24 + 29,28) * 0,363 = 81,5 \text{ (грн)} \quad (4.8)$$

Витрати на експлуатацію та обслуговування обладнання. У разі, якщо обладнання знаходиться на балансі підприємства, вартість утримання та експлуатації обладнання ($V_{УЕУ}$) = базова заробітна плата * %ВСО, (прийmemo %ВУЕУ = 135%).

$$V_{УЕУ} = ЗП * 1,35 = 195,24 * 1,35 = 263,57 \quad (4.9)$$

Наступною статтею витрат є загальновиробничі витрати. Загальновиробничі витрати – це витрати, пов'язані з керуванням підрозділом, витрати на відрядження працівників підрозділу (цеху), амортизаційні відрахування від вартості основних засобів загальноцехового призначення тощо.

					<i>ЕЛІТ 8.171.00.10.421 ПЗ</i>	Лист
						72
Зм.	Лист	№ докум.	Підпис	Дата		

Вони визначені в розмірі $130 \div 250\%$ посадового окладу. Припустимо загальновиробничі витрати в розмірі 150% основної заробітної плати:

$$V_{ЗВ} = ЗП * 1,5 = 195,24 * 1,5 = 292,86 \text{ (грн)} \quad (4.10)$$

Перелік статей:

1. Матеріали та комплектуючі.
2. Основна заробітна плата.
3. Додаткова заробітна плата.
4. Відрахування на соціальні заходи.
5. Витрати на утримання та експлуатацію обладнання.
6. Загальновиробничі витрати.

Ураховуючи всі перераховані вище статі витрат, виробнича собівартість системи розраховується за наступною формулою:

$$\sum_{CC} ЗП + КМ + З_{д} + V_{CЗ} + V_{ЗВ} + ВУЕУ = 771,54 + 195,24 + 81,5 + 263,57 + 292,86 + 29,28 = 1633,99 \text{ (грн)} \quad (4.11)$$

Ще однією статтею витрат є адміністративні витрати. Адміністративні витрати включають в себе підпункти таких витрат, як витрати:

- на управління підприємством;
- на охорону(пожежну та сторожову);
- на виплату відсотків за кредитами, а також відсотків за товарними кредитами;
- на виплату відсотків за користування лізингом;
- на відрядження співробітників підприємства;
- на підготовку (навчання) та перепідготовку персоналу;
- на пересування працівників до місця роботи та додому;
- на оплату послуг банків;
- податки, відрахування.

									Лист
									73
Зм.	Лист	№ докум.	Підпис	Дата					

Розмір адміністративних витрат визначається в межах від 140% до 200%. Прийmemo значення адміністративних витрат в розмірі 160% та розрахуємо їх значення:

$$V_A = 3П * 1,6 = 195,24 * 1,6 = 312,38 \text{ (грн)} \quad (4.12)$$

Наступною статтею витрат являються витрати на збут. Вони включають в себе витрати на рекламу та підготовку системи перед її реалізацією. Орієнтовно розмір цих витрат визначається в межах від 5% до 10% від виробничої собівартості такої системи:

$$V_3 = \sum_{CC} * 0,05 = 1633,99 * 0,05 = 81,70 \text{ (грн)} \quad (4.13)$$

Ураховуючи результати вищенаведених розрахунків, розрахуємо повну собівартість системи:

$$\begin{aligned} \sum_{PC} &= \sum_{CC} + V_3 + V_A = 1633,99 + 81,70 + 312,38 \\ &= 2028,07 \text{ (грн)} \end{aligned} \quad (4.14)$$

На основі отриманих результатів складемо таблицю калькуляції собівартості проектованої системи:

Таблиця 4.3 – Калькуляція собівартості проектованої системи

№	Найменування статей калькуляції	Проектний варіант, грн
1	Матеріали та комплектуючі	551,90
2	Основна заробітна плата	195,24
3	Відрахування на соціальні заходи	81,5
4	Додаткова заробітна плата	29,28
5	ВУЕУ	263,57
6	Загальновиробничі витрати	292,86
Виробнича собівартість		1633,99
7	Витрати на збут	81,70
8	Адміністративні витрати	312,38
Повна собівартість		2028,07

Зм.	Лист	№ докум.	Підпис	Дата
-----	------	----------	--------	------

4.2. Розрахунок ціни системи

У ринковій економіці існують різні методи ціноутворення: прибуток плюс прибуток, надання фіксованої суми прибутку в залежності від рівня попиту і т.д. Оптову ціну проектованої системи розрахуємо за принципом «прибуток плюс собівартість».

$$\begin{aligned} C_{\text{опт}} &= \sum_{\text{ПС}} + \frac{\sum_{\text{ПС}} * R}{100} = 2028,07 + \frac{2028,07 * 35}{100} \\ &= 2737,9 \text{ (грн)} \end{aligned} \quad (4.15)$$

де R – це рентабельність проектованої системи, яка визначається як 35% від її собівартості.

Для розрахунку відпускної ціни необхідно додати суму податку на додану вартість (ПДВ = 20%):

$$C_{\text{відп}} = C_{\text{опт}} * 1,2 = 2737,9 * 1,2 = 3285,5 \text{ (грн)} \quad (4.16)$$

Позитивними сторонами даної методики є її простота, всебічна зрозумілість такої функції ціни, як відшкодування витрат виробництва та забезпечення рентабельності від створення та впровадження системи. Недоліком цієї методики є те, що вона не враховує ринкових факторів ціноутворення і, насамперед, попиту. Проте в умовах ринкової економіки виникають ситуації, коли підприємствам доцільно його використовувати: в умовах відсутності конкуренції (монопольності), коли рентабельність продукції обмежена державою, виконання разових замовлень, виробництво оригінальної продукції.

Слід також зазначити, що для встановлення реальної ціни, яка б відповідала умовам існуючого ринку, необхідно проводити відповідні маркетингові дослідження.

4.3. Визначення річних витрат споживача

Експлуатаційні витрати споживача за рік ($B_{\text{срв}}$) включають в себе витрати на електроенергію (живлення системи), величину амортизаційних відрахувань, заробітну плату персоналу, який обслуговує систему, витрати на технічне обслуговування, поточний ремонт та інше.

Розрахунок витрат на електроенергію проводиться за наступною формулою:

$$B_e = W * C_e * t, \quad (4.17)$$

де W – це потужність проекрованої системи, кВт;

C_e – це вартість одного кіловату електроенергії за годину роботи (кВт*год), грн/кВт*год (за тарифом для промислових користувачів);

t – це кількість годин роботи системи за рік, год.

Для вищенаведених параметрів приймемо наступні значення:
 $W = 2,3 * 10^{-3}$ кВт, $C_e = 1,9$ грн/кВт, $t = 1000$ год..

Розрахуємо витрати на електроенергію:

$$B_e = 2,3 * 10^{-3} * 1,9 * 1000 = 4,37 \text{ (грн)} \quad (4.18)$$

Річна сума амортизаційних витрат визначається за відповідними нормами амортизації від вартості системи, яка включає: ціну системи; витрати на транспортування та монтаж, які приймаються в розмірі 5 – 15% від ціни.

Величину амортизаційних витрат електронних пристроїв (систем) слід нараховувати наступним прямолінійним методом:

$$A = F * a, \quad (4.19)$$

де F – це первісна ціна системи;

a – це норма амортизаційних витрат за рік.

Розрахуємо первісну вартість системи:

$$A = C_{\text{відп}} + B_{\text{ТМ}} = 3285,5 + 328,6 = 3514,10 \text{ (грн)} \quad (4.20)$$

									Лист
									76
Зм.	Лист	№ докум.	Підпис	Дата					

де $C_{\text{відп}}$ – це відпускна (роздрібна) ціна системи;

$B_{\text{ТМ}}$ – це сума витрат на монтаж та транспортування проектованої системи, визначається як 10% від $C_{\text{відп}}$.

Норма витрат на амортизацію розраховується прямолінійним методом згідно зі строком корисного використання користувачем системи за наступною формулою:

$$a = \frac{1}{T_{\text{вик}}} = 0,25, \quad (4.21)$$

де $T_{\text{вик}}$ – це строк корисного використання споживачем системи. Згідно з Податковим кодексом України допускається не менше ніж 2 роки ($T_{\text{вик}} \geq 2$ роки). Для розробленої системи строк корисного використання споживачем дорівнює $T_{\text{вик}} = 4$ роки.

Тому величина амортизації дорівнює:

$$A = 0,25 * 3514,1 = 878,50 \text{ (грн)} \quad (4.22)$$

Витрати на поточний ремонт та інші витрати включають вартість електронних елементів, які вийшли з ладу протягом строку, та вартість демонтажно-монтажних робіт. Витрати на ремонт приймаються рівними 5% капітальних витрат з урахуванням прогнозу відмови:

$$B_{\text{пр}} = F * \frac{k_{\text{пр}}}{100} = 3514,1 * 0,05 = 175,70 \text{ (грн)} \quad (4.23)$$

де $k_{\text{пр}}$ – це процент витрат на ремонт.

Результати розрахунків, які були отримані в межах цього підрозділу за такими статтями витрат: вартість електроенергії, амортизаційні відрахування, витрати на поточний ремонт, а також суму всіх цих показників подамо у вигляді таблиці 4.4.

										Лист
										77
Зм.	Лист	№ докум.	Підпис	Дата	ЕЛІТ 8.171.00.10.421 ПЗ					

Таблиця 4.4 – Експлуатаційні витрати споживача за рік

№	Статті експлуатаційних витрат	Сума,грн
1	Витрати на електроенергію	4,370
2	Витрати на амортизацію	878,50
3	Витрати на ремонт	175,70
Всього (V _{СРВ}):		1058,60

4.4. Розрахунок повної ціни користувача

Ціна користувача Ц_{КОР} включає в себе вкладення капіталу F і загальні витрати на експлуатацію пристроїв за рік V_{СРВ} протягом терміну служби пристрою:

$$C_{\text{кор}} = F + V_{\text{срв}} * T_{\text{вик}} = 3514,10 + 1058,60 * 4 = 7748,50 \approx \approx 7750 \text{ (грн)} \quad (4.24)$$

4.5. Висновки до техніко-економічної частини

В ході дослідження техніко-економічної частини роботи були розглянуті різні методи ціноутворення та розрахування витрат на виготовлення проєктованої завадостійкої системи підрахунку імпульсів на основі біноміальної системи числення.

Були досліджені та розраховані основні показники, які впливають на остаточну вартість системи, а саме:

- потужність системи;
- середня кількість годин наробітку на відмову;
- ймовірність безвідмовної роботи системи;
- маса пристрою;
- виробнича собівартість;
- відпускна ціна;
- експлуатаційні витрати користувача за рік;
- повна ціна користувача;

Порівнявши техніко-економічні показники розробленого приладу з аналогами, можна констатувати його конкурентоспроможність на ринку за

рахунок використання біномінальної системи розрахунку, яка підвищує його стійкість до перешкод, та впровадження у виробництво (див. табл. 4.5).

Загальну вартість розробленого пристрою можна знизити шляхом автоматизації процесу.

Таблиця 4.5 – Порівняння техніко-економічних характеристик системи-аналога та проектованої системи

№	Показник	Значення	Одиниці вимірювання
1	Потужність системи	$2,3 \cdot 10^{-3}$	кВт
2	Середня кількість годин наробітку на відмову	6500	год
3	Ймовірність безвідмовної роботи системи	99	%
4	Маса пристрою	0,45	кг
5	Виробнича собівартість	1633,99	грн
6	Повна собівартість	2028,07	грн
7	Відпускна ціна	3285,50	грн
8	Експлуатаційні витрати користувача за рік	1058,60	грн
9	Повна ціна користувача	7750	грн

ВИСНОВКИ

В результаті виконання кваліфікаційної роботи було розроблено адаптивну систему завадостійкого підрахунку імпульсів на основі біноміальних чисел, яка показала:

- перевагу біноміальних лічильників перед іншими структурами лічильних пристроїв за рахунок можливості перебудови на різні значення величини k за допомогою кільцевого розподільвача імпульсів;
- достатній рівень виявлення помилок, які виникають під час роботи біноміального лічильника, шляхом підрахунку кількості одиниць у розрядах лічильника та порівняння цього значення з параметром k ;
- можливість збільшення адаптивної складової біноміальних лічильників шляхом зміни коефіцієнта перерахунку та налаштування його на окремий характер перешкод, який може змінюватись залежно від сфер застосування біноміального лічильника, умов експлуатації та особливостей експлуатації;
- високу стійкість до незначних додаткових апаратних витрат, порівняно з двійковими лічильниками, і однорідність структури, в тому числі за рахунок використання комбінаційних матричних суматорів.

У процесі проектування адаптивної системи завадостійкого підрахунку імпульсів на основі біноміальних чисел закріпилися знання про цифрову схемотехніку, лічильні пристрої, біноміальні лічильні системи, способи комутації мікросхем, методи підвищення рівня завадостійкості та надійності цифрових пристроїв. Були отримані додаткові навички підготовки графічної документації, а саме розробки та обґрунтування структурних, функціональних, принципівих схем, схем алгоритмів функціонування систем будь-якого рівня складності.

									Лист
									80
Зм.	Лист	№ докум.	Підпис	Дата					

СПИСОК ЛІТЕРАТУРИ

1. Введення в теорію біноміального рахунку: Монографія. – Суми: ВТД "Університетська книга", 2004. – 76 с.
2. Борисенко А. А. Біноміальна лічба і лічильники: Монографія. – Суми: СумДУ, 2008. – 152 с.
3. Борисенко А. А. Біноміальні автомати – Суми: СумДУ, 2006 р. – 120 с.
4. Сенько В.І., Панасенко М.В. Електроніка і мікросхемотехніка. Том 3. Цифрові пристрої/ Підручник за ред.. Сенька В.І. – К.: Каравела, 2008 р.
5. Новожилов О.П. Електроніка і схемотехніка В 2 Ч. Частина 1. – Юрайт. – 2018. – 382 с.
6. Оберман Р. М. Лічба та лічильники. – М., 1984. – 173 с.
7. Цифрова схемотехніка: підручник / О. А. Борисенко. – Суми : Сумський державний університет, 2016. – 200 с.
8. J. L. Massey, "Shift-register synthesis and BCH decoding," IEEE Transactions on Information Theory, vol. 15, no. 1, pp. 122–127, 1969.
9. Цимбал В. П. Теорія інформації та кодування. –К.: Вища шк. Головне видавництво, 1977. - 287 с.
10. S. W. Golomb, Shift Register-Sequences, Aegean Park Press, Laguna Hill, California, USA, 1982.
11. Миловзоров О.В., Панков И.Г. Електроніка. – Юрайт. – 2018. - 344 с.
12. Рябенський В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. посібник –Львів: "Новий світ-2000",2009. – 736 с.
13. Binomial Theorem and Logarithms: For the Use of the Midshipmen at the Naval School, Philadelphia, pp. 96, 2012.
14. Кулик І. А., Шевченко М. С., Жижга В. В., Косов О. О. «Застосування двійкових біноміальних чисел при кодування інформації» (Міжнародна науково-технічна конференція «Фізика, електроніка та електротехніка», с. 65, Суми, СумДУ, 2022).
15. Digital Circuit and Design, VSS University of Technology, pp. 72, 2019.
16. Шевченко М. С., Жижга В. В. «Адаптивний лічильник на основі біноміальних кодів зі змінною кількістю одиниць» (Міжнародна науково-технічна конференція «Фізика, електроніка та електротехніка», с. 86, Суми, СумДУ, 2021).

									Лист
									81
Зм.	Лист	№ докум.	Підпис	Дата					

Поз. познач.	Найменування	Кіл.	Примітка
	<i>Мікросхеми</i>		
DD1.1 – DD1.10	SN7483	10	
DD2	DA56-11GWA	1	
DD3.1 – DD3.16	КР1533ЛЛ1	4	
DD4.1 – DD4.2	КР1533ИЕ7	2	
DD5.1 – DD5.10	КР1533ЛЕ1	3	
DD6.1 – DD6.10	7400	10	
DD7.1 – DD7.12	74451	6	
DD8.1 – DD8.8	КР1533ЛИЗ	3	
DD9	74141	1	
	<i>Резистори</i>		
R1 – R8	0,125Вт 300 Ом (±5%)	8	
	<i>Інше</i>		
X1	Роз'єм JTAG DC3-6P 16 контактів 2,54 мм	1	

					ЕЛІТ 8.171.00.10.421 ПЕЗ			
Змн.	Арк.	№ докум.	Підпис	Дата				
Розроб.		Жижа В. В.			Адаптивна система завадостійкого підрахунку імпульсів на основі біноміальних чисел. Перелік елементів	Літ.	Арк.	Аркуші
Перевір.		Кулик І. А.					82	1
Н. Контр.		Гапич В. М.				СумДУ, ЕС.м-11		
Затверд.		Опанасюк А.С						