УДК 621.38

СИНТЕЗ УСТРОЙСТВА КОНТРОЛЯ МАТРИЧНЫХ БИНОМИАЛЬНЫХ АВТОМАТОВ

В.В. Петров, *аспирант,*
Сумский государственный университет, г. Сумы

В статье проведен аналитический синтез устройства контроля матричных биномиальных автоматов.

Ключевые слова: *матричный биномиальный код, устройство контроля, сбои, отказы, надежность, помехоустойчивость, цифровой автомат.*

У статті проведений аналітичний синтез пристрою контролю матричних біноміальних автоматів.

Ключові слова: *матричний біноміальний код, пристрій контролю, збої, відмови, надійність, перешкодастійкість, цифровий автомат.*

ВВЕДЕНИЕ И ПОСТАНОВКА ЗАДАЧИ

С осложнением решаемых задач и успехами микроэлектроники широкое применение в радиоэлектронной аппаратуре находят цифровые устройства. Сегодня уже тяжело найти прибор, в котором отсутствуют цифровые элементы. Цифровые схемы с большой и сверхбольшой степенью интеграции (БИС и СБИС) стали основанием элементной базы современной радиоэлектронной аппаратуры. В то же время с применением цифровых БИС и СБИС возникли проблемы, связанные со специфическим поведением цифровых устройств с точки зрения надежности. Это связано с тем, что в аппаратуре встречаются стабильные (стойкие) отказы. Причиной их есть, с одной стороны, внезапные скачкообразные изменения параметров элементов (пробои, обрывы, короткие замыкания). Этот тип стойких отказов называют внезапными отказами [1]. С другой стороны, к стойким отказам приводят и медленные необратимые изменения параметров элементов (вследствие протекания физико-химических процессов деградации в материалах элементов) - это деградированные отказы [1].

В то же время для цифровых устройств характерны как стойкие отказы, так и сбои - кратковременные нарушения процесса правильного функционирования, - которые не приводят к потере трудоспособности. Необходимо отметить, что интенсивность сбоев в цифровых устройствах на 1-2 порядка выше, чем интенсивность стойких отказов [2].

В результате того, что в цифровых устройствах существуют понятия сбоев и отказов, их состояние характеризуется трудоспособным или нетрудоспособным состоянием, а также правильным (нормальным) или неправильным функционированием.

Трудоспособное состояние - такое, в котором устройство может выполнять заданные функции, сохраняя значение всех функциональных параметров в пределах, установленных нормативно-технической документацией.

Правильное функционирование - состояние, в котором устройство, что применяется по назначению, выполняет в текущий момент заданные ему алгоритмы функционирования при значениях параметров, которые отвечают установленным требованиям.

Несмотря на мнимую родственность этих понятий, между ними есть и отличия. Нарушение трудоспособного состояния вызывается стабильными отказами в то время, когда нарушение правильного функционирования вызывается сбоями, которые характерны именно для цифровых устройств. Стойкие отказы можно отстранить лишь путем замены или ремонта, когда в случае сбоев достаточно лишь восстановить обезображенную информацию.

Несмотря на достаточное количество разработанных методов повышения надежности цифровой аппаратуры [3-5], все же актуальным остаются разработка способов своевременного детектирования, оповещение и исправление неправильного функционирования цифровых устройств.

ОБЩИЕ ПОЛОЖЕНИЯ

Одним из методов достижения поставленной задачи является построение компонентов цифровой аппаратуры на основе помехоустойчивых кодов. В данном случае целесообразно использование матричного биномиального кода. Проверка простых ограничений, которым отвечают все разрешенные кодовые комбинации, дает информацию о классе проверяемой кодовой комбинации (класс разрешенных или класс запрещенных кодовых комбинаций) и соответственно информацию о правильном (неправильном) функционировании компонентов цифровой аппаратуры [6].

Узлы цифровой аппаратуры, построенные на основе матричного биномиального кода, получили название матричных биномиальных автоматов. К ним относятся счетные устройства, регистры и преобразователи кода. Приведенные автоматы широко применяются во всевозможных универсальных микропрограммных управляющих автоматах, устройствах связи, генераторах тактовых сигналов и т.д.

Двоичные $x \in \{0,1\}$ матрицы

$$\begin{bmatrix} x_{01} & x_{02} & \cdots & x_{0j} & \cdots & x_{0k} \\ x_{11} & x_{12} & \cdots & x_{1j} & \cdots & x_{1k} \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ x_{i1} & x_{i2} & \cdots & x_{ij} & \cdots & x_{ik} \\ \cdots & \cdots & \cdots & \cdots & \cdots & \cdots \\ x_{(n-k)1} & x_{(n-k)2} & \cdots & x_{(n-k)j} & \cdots & x_{(n-k)k} \end{bmatrix},$$

удовлетворяющие свойствам 1-5, называются биномиальными числовыми матрицами (матрицами Борисенко) с параметрами n и k [6].

Все биномиальные числовые матрицы (разрешенные комбинации матричного биномиального кода) с параметрами n и k удовлетворяют ограничениям [6]:

1. В столбце матрицы может находиться не более одной 1, т.е. $x_{ij}x_{zj} = 0$, где $i, z = 1, 2, \ldots, n-k$; $i \neq z$.

2. Число единиц q_M в матрице не превышает значение k, а число нулей l_M: $0 \leq q_M \leq k$, $N - q_M = l_M \leq N$.

3. Единицы в матрице в количестве от 1 до k расположены в одной или нескольких строках так, что первая из них находится в крайнем левом, а последняя - в любом последующем столбце. При этом между столбцами с единицами отсутствуют столбцы, в которых находятся нули. Это значит, что если даны начальная 1 в виде элемента x_{i1}, промежуточная в форме $x_{i'2}$ и конечная x_{yj}, то $x_{i1}x_{i'1}\ldots x_{yj} = 1$, где $i, y, i' = 1, 2, \ldots, n-k$; $i \neq i' \neq y$.

4. Если в $(n-k)$-й строке расположена последовательность единиц, то она всегда расположена в ее начальной части, начиная с элемента $x_{(n-k)1}$ и до $x_{(n-k)j'}$, то произведение $x_{(n-k)1}x_{(n-k)2}\ldots x_{(n-k)j'}=1$, где $j'=1,2,\ldots,k$.

5. Среди элементов любой диагонали матрицы, направленной слева направо, только один элемент может быть равен 1. Это значит, что произведение для всех значений $i=1,2,\ldots.,n-k$ и $j=1,2,\ldots,k$, $x_{ij}x_{(i+p)(j+p)}=0$ для всех значений $i=1,2,\ldots,n-k$ и $j=1,2,\ldots,k$, где $p=1,2,\ldots,n-k-i$ при $k-j\geq n-k-i$.

Алгоритм перебора комбинаций матричного биномиального кода состоит в последовательном заполнении единицами $(n-k+1)$ строк матрицы, начиная с $(i+1)$-го по k разрядам, где i - количество единиц в матрице. В качестве примера приведены кодовые комбинации с параметрами $n=5$, $k=3$: $\overset{0}{\begin{pmatrix}0&0&0\\0&0&0\\0&0&0\end{pmatrix}}$, $\overset{1}{\begin{pmatrix}1&0&0\\0&0&0\\0&0&0\end{pmatrix}}$, $\overset{2}{\begin{pmatrix}1&1&0\\0&0&0\\0&0&0\end{pmatrix}}$, $\overset{3}{\begin{pmatrix}1&1&1\\0&0&0\\0&0&0\end{pmatrix}}$,

$\overset{4}{\begin{pmatrix}0&0&0\\1&0&0\\0&0&0\end{pmatrix}}$, $\overset{5}{\begin{pmatrix}0&1&0\\1&0&0\\0&0&0\end{pmatrix}}$, ... $\overset{19}{\begin{pmatrix}0&0&0\\0&0&0\\1&1&1\end{pmatrix}}$.

Невыполнение хотя бы одного из ограничений является признаком появления запрещенной комбинации.

Диапазон представляемых чисел находится как $N_p=C_{n+1}^{k}$. Для приведенного примера $N_p=C_6^3=20$.

Доля обнаруживаемых ошибочных комбинаций [7] $D=1-\dfrac{N_p}{2^n}$, где N_p - количество разрешенных комбинаций, n - разрядность кодовых комбинаций. Для приведенного примера $D=1-\dfrac{20}{2^9}=0,96$.

АНАЛИТИЧЕСКИЙ СИНТЕЗ

С целью синтеза устройства детектирования сбоев матричных биномиальных автоматов были получены достаточные ограничения, проверка которых дает информацию о классе кодовой комбинации (класс запрещенных или разрешенных комбинаций). Достаточные ограничения получены объединением и преобразованием основных ограничений. Они состоят в следующем:

1. Единицы расположены в любой строке матрицы, начиная с элемента α_{ij} и до $\alpha_{ij'}$, так, что произведение:

$$(x_{i2}\bar{S}_{i1})\vee(x_{i3}\bar{S}_{i2})\vee\ldots\vee(x_{ij'}\bar{S}_{i(j'-1)})=0\,, \tag{1}$$

где $S_{ij}=x_{ij}\vee x_{(i+1)j}\vee\ldots\vee x_{(n-k)j}$ - сумма единиц в столбцах матрицы, $i=1,2\ldots\left(n-k+1\right)$, , $j,j'=1,2\ldots k$, $j'\geq j$.

2. Единицы расположены в матрице так, что в каждом столбце расположено не более одной единицы:

$$(x_{i1}S_{(i+1)1}) \vee (x_{i2}S_{(i+1)2}) \vee \ldots \vee (x_{ij'}S_{(i+1)j'}) = 0\,, \tag{2}$$

где $i = 1,2\ldots(n-k+1)$, $j, j' = 1,2\ldots k$, $j' \geq j$.

На основании выражений (1), (2) записано утверждение 1.

Утверждение 1. Все разрешенные кодовые комбинации N_p матричного биномиального кода с заданными параметрами n и k удовлетворяют следующей системе уравнений:

$$\begin{cases} (x_{i2}\overline{S}_{i1}) \vee (x_{i3}\overline{S}_{i2}) \vee \ldots \vee (x_{ij'}\overline{S}_{i(j'-1)}) = 0, \\ (x_{i1}S_{(i+1)1}) \vee (x_{i2}S_{(i+1)2}) \vee \ldots \vee (x_{ij'}S_{(i+1)j'}) = 0, \end{cases} \tag{3}$$

где $i = 1,2\ldots(n-k+1)$, $j, j' = 1,2\ldots k$, $j' \geq j$.

Систему (3) можно записать в более компактном виде, просуммировав первое и втрое уравнения:

$$Y = \sum_{i=(n-k+1)}^{i=1} \sum_{j=2}^{j=k} x_{ij}\overline{S}_{i(j-1)} \vee \sum_{i=(n-k+1)}^{i=1} \sum_{j=1}^{j=k} x_{ij}S_{ij} = 0\,, \tag{4}$$

где Y - логическая функция сбоя;

$S_{ij} = x_{ij} \vee x_{(i+1)j} \vee \ldots \vee x_{(n-k+1)j}$ - логическая сумма единиц в столбце матрицы;

$i = 1,2\ldots(n-k+1)$, $j, j' = 1,2\ldots k$, $j' \geq j$.

Логическая функция (4) сбоя Y принимает значение «0» в том случае, если проверяемая кодовая комбинация, отображающая состояние биномиального автомата, принадлежит к классу разрешенных и соответственно – «1», если проверяемая комбинация принадлежит к классу запрещенных кодовых комбинаций.

Запись логической функции (4) дает возможность построить устройство детектирования сбоев биномиальных автоматов. Однако такая запись функции (4) требует больших аппаратурных затрат, которые проявляются в большом количестве элементов ИЛИ с большим количеством входов. Кроме того, количество входов элементов зависит от параметров кода n и k.

С целью построения устройства детектирования сбоев с применением только двух входовых элементов функция логических сумм S_{ij} единиц в столбцах матрицы переписана в виде

$$\begin{cases} S_{ij} = x_{ij} \vee S_{(i+1)j}, \\ S_{(i+1)j} = x_{(i+1)j} \vee S_{(i+2)j}, \\ \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots \\ S_{(n-k)j} = x_{(n-k)j} \vee S_{(n-k+1)j}, \\ S_{(n-k+1)j} = x_{(n-k+1)j}. \end{cases} \tag{5}$$

Подставив функции логических сумм S_{ij} (5) в функцию сбоя Y (4), получим следующее выражение:

$$Y_{ij} = \left(x_{ij}\overline{S}_{i(j-1)}\right) \vee \left(x_{ij}S_{(i+1)j}\right) \vee Y_{i(j-1)},$$

где Y_{ij} - логическая функция сбоя ij -го разряда биномиального автомата; $i = 1,2\ldots(n-k+1)$, $j = 1,3\ldots k$.

Функция сбоя всего биномиального автомата получается суммированием логических функций ошибки Y_{ik} k-х разрядов всех строк:

$$ERROR = \sum_{i=1}^{i=n-k+1} Y_{ik} \,. \qquad (6)$$

Полученная логическая функция (6) сбоя биномиального автомата $ERROR$ принимает значение «1» в том случае, если проверяемая комбинация, отображающая состояние компонента, принадлежит к классу запрещенных. И соответственно принимает значение «0» в том случае, если матричное биномиальное устройство функционирует правильно.

Для примера приведем функциональную схему устройства контроля сбоев. В качестве биномиального автомата рассмотрим матричный биномиальный счетчик с параметрами $n = 3$, $k = 3$, синтезированный в [8].

Счетчик, показанный на рис. 1, содержит $(n-k+1) = 1$ строк, состоящих из $k = 3$ ячеек памяти (ЯП). Счетчик содержит тактовый вход C, вход разрешения работы V, входы $S_{11} - S_{13}$ и выходы $S_{01} - S_{03}$ наращивания разрядности, информационные выходы $x_{01} - x_{03}$ и выход сбоя Y.

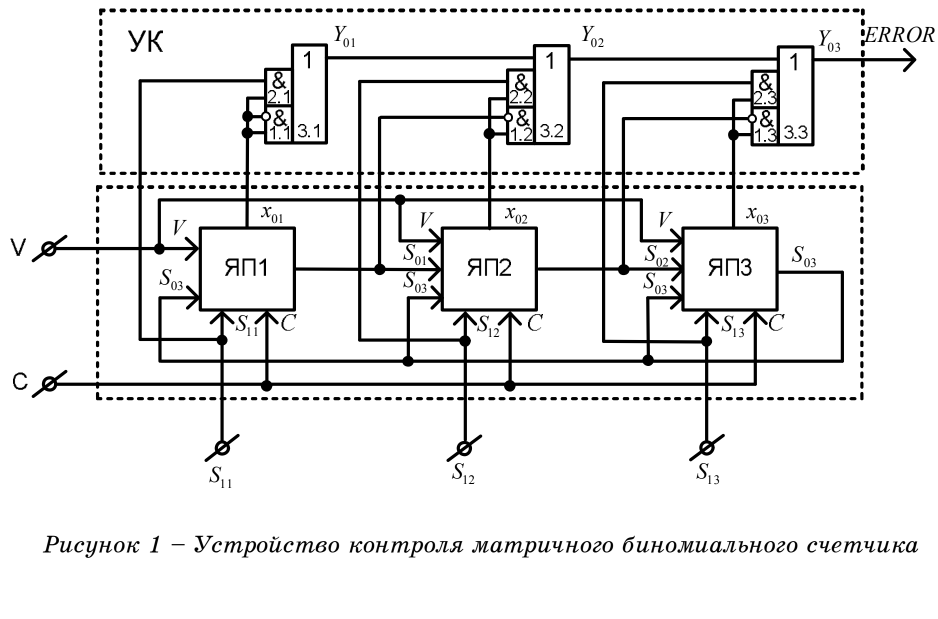

Рисунок 1 – Устройство контроля матричного биномиального счетчика

Устройство контроля УК содержит $(n-k+1)=1$ каскад, состоящий из $k=3$ разрядов. Выход третьего Y_{03} разряда УК одновременно является выходом Y сбоя всего счетчика.

Устройство контроля содержит первые элементы И 1.1 – 1.3, вторые элементы И 2.1 – 2.3 и вторые элементы ИЛИ 3.1 – 3.3. На первые объединенные входы первых и вторых элементов И 1.1 – 1.3, 2.1 – 2.3 подан сигнал со второго выхода ЯП соответствующих разрядов. На второй вход первых элементов И 1.1 – 1.3 заведен инвертированный сигнал первого выхода предыдущей ЯП той же строки матрицы. Второй вход вторых элементов И 2.1 – 2.3 соединен с четвертым входом одноименных ЯП той же строки. Выходы первых и вторых элементов И 1.1 – 1.3, 2.1 – 2.3 заведены на первый и второй входы соответствующих вторых элементов ИЛИ 3.1 – 3.3. Выход второго элемента ИЛИ 3.1 – 3.3 каждого разряда каскада заведен на третий вход первого элемента ИЛИ 1.2 – 1.3 последующего разряда, за исключением 3-го разряда, выход второго элемента ИЛИ 3.3 которого является выходом соответствующего каскада устройства контроля ошибок.

Устройство контроля работает следующим образом.

При появлении запрещенного состоянии в счетчике на выходе устройства контроля УК появится «1», которая поступит на выход Y сбоя счетчика, сигнализируя о появлении запрещенного состояния. Рассмотрим более подробно работу устройства контроля при нарушении ограничений, которым по определению соответствуют разрешенные состояния матричного счетчика.

Согласно 3, 4, 5 достаточным ограничением в строке матрицы не может находиться промежуточных нулей. Рассмотрим работу устройств контроля при появлении запрещенного состояния 011. В таком состоянии на выходе S_{01} матричного биномиального счетчика присутствует лог. «0» [8]. «0» с выхода S_{01} поступает на первый инверсный выход первого элемента И 1.2, открытого единичным сигналом с выхода x_{02}. В результате единица с выхода И 1.2 через первые элементы ИЛИ 3.2, 3.3 поступит на выход Y сбоя, сигнализируя о неправильном функционировании счетчика.

При появлении запрещенных состояний счетчика 010, 001 работа устройства контроля аналогична описанному выше.

Таким образом, устройство контроля матричного биномиального счетчика рис. 1 обнаруживает все возможные запрещенные состояния

$$N_з = 2^m - N_p = 2^3 - 4 = 3\,,$$

где $m=(n-k+1)k$ - разрядность матричного счетчика.

ЗАКЛЮЧЕНИЕ

В результате проведенной работы было синтезировано устройство детектирования сбоев матричных биномиальных автоматов. Полученное устройство позволило построить помехоустойчивые автоматы, имеющие преимущество перед целым рядом аналогичных устройств [3-5]. Основное преимущество заключается в возможности асинхронного детектирования сбоев. Асинхронное детектирование позволяет обнаруживать сбои в течение того же такта, в котором они возникли. В то время как аналогичные устройства при возникновении сбоя продолжают функционировать еще несколько тактов, без его обнаружения. Матричные биномиальные автоматы имеют регулярную структуру и удобны для реализации на ПЛИС.

SUMMARY

SYNTHESIS OF THE CONTROL DEVICE OF MATRIX BINOMIAL AUTOMATS

V.V. Petrov,
Sumy State University, Sumy

In this paper the control device of matrix binomial automats is synthesized.

Key words: *binomial matrix code, device control, malfunctions, failures, reliability, noise immunity, digital machine.*

СПИСОК ЛИТЕРАТУРЫ

1. Новиков Ю.В. Основы цифровой схемотехники. - М.:Мир, 2001. - 380с.
2. Бубенников А.Н. Кремниевая наноэлектроника: новые идеи и перспективы // Электроника и связь.-2000. - №8.
3. Clock divider with error detection and reset capabilities: A. C. US6826250B2 / Mark H. Groo. – № US6826250B2; Filed: Dec. 19, 2002; Date of Patent Nov. 30, 2004.
4. Johnson counter circuit with invalid counter position detection and correction mechanism: A. C. US4993051 / Fredericus H. J. Feldbrugge, Beekbergen, – № US4993051; Filed: Feb. 8, 1989; Date of Patent Feb. 12, 1991.
5. High frequency divider state correction with data path correction: A. C. US7061284 B2 / David William Boerstler, Round Rock, Eric John Lukes, James David Storm, – № US7061284 B2; Filed: May. 20, 2004; Date of Patent Jun. 13, 2006.
6. Борисенко А.А. Введение в теорию биномиального счета: Монография. – Сумы: ИТД «Университетская книга», 2004. – 88 с.
7. Березюк Н.Т., Андрушенко А.Г., Мощицкий С.С. и др. Кодирование информации (двоичные коды) X. / Н.Т. Березюк, А.Г. Андрушенко, С.С. Мощицкий. - Харьков: Вища шк. Изд-во при Харьковском университете, 1978. - 252 с.
8. Борисенко А.А., Петров В.В.Унитарный биномиальный счетчик с переменным коэффициентом пересчета. – Сумы: СумГУ, 2009.

Поступила в редакцию 15 апреля 2010 г.