

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Сумський державний університет

Класичний фаховий коледж

(повна назва інституту/факультету)

(повна назва кафедри)

«До захисту допущено»

(підпис)

(Ім'я та ПРІЗВИЩЕ)

20__ р.

КВАЛІФІКАЦІЙНА РОБОТА

на здобуття освітнього ступеня бакалавр

(бакалавр / магістр)

зі спеціальності 171Електроніка

(код та назва)

освітньо-професійної програми Електронні інформаційні системи

(освітньо-професійної / освітньо-наукової)

(назва програми)

на тему: Комп'ютерне моделювання структури та характеристик транзисторів на основі нанодотів

Здобувача групи ЕІс2-91к

(шифр групи)

Микитенка Володимира Геннадійовича

(прізвище, ім'я, по батькові)

Кваліфікаційна робота містить результати власних досліджень. Використання ідей, результатів і текстів інших авторів мають посилання на відповідне джерело.

(підпис)

Володимир Микитенко

(Ім'я та ПРІЗВИЩЕ здобувача)

Керівник викладач, к.ф.-м.н., доцент, Іван Бурик

(посада, науковий ступінь, вчене звання, ім'я та ПРІЗВИЩЕ)

(підпис)

Консультант¹⁾

(посада, науковий ступінь, вчене звання ім'я та ПРІЗВИЩЕ)

(підпис)

АНОТАЦІЯ

Обґрунтуванням актуальності теми є потенціал польових транзисторів із каналами на основі нанодротів для наноелектроніки та їх можливості впливати на покращення продуктивності та функціональності електронних пристроїв.

Мета роботи полягає у розробці та застосуванні комп'ютерних моделей структури та електронних характеристик польових транзисторів із каналами на основі нанодротів.

Відповідно до мети, вирішувалися такі задачі:

- вивчення моделей, які враховують особливості характеристик польових транзисторів із каналами на основі нанодротів;
- аналіз температурних залежностей польових транзисторів із каналами на основі нанодротів кремнію

Для досягнення цієї мети були використані методи комп'ютерного моделювання у програмному середовищі Silvaco TCAD.

У роботі використано комп'ютерне моделювання для аналізу характеристик транзисторів на основі нанодротів кремнію. Спочатку розроблено комп'ютерну модель, яка описує структуру цих елементів і їх електричні властивості. Далі проведене числове моделювання, використовуючи методи розв'язання диференціальних рівнянь в рамках дрейф-дифузійної моделі.

Об'єкт досліджень: транзистори із каналами на основі нанодротів.

Предмет досліджень: комп'ютерне моделювання структури та характеристик цих транзисторів.

Робота викладена на 34 сторінках, у тому числі включає 16 рисунків, список цитованої літератури із 45 джерел.

КЛЮЧОВІ СЛОВА: нанодроти, польові транзистори, комп'ютерне моделювання, електричні параметри, температурні характеристики

ЗМІСТ

	С.
ВСТУП	4
РОЗДІЛ 1. ОГЛЯД ТЕХНОЛОГІЙ ІНТЕГРАЛЬНИХ СТРУКТУР	5
1.1. Планарні технології.....	5
1.2. Інтегральні структури	12
1.3. Тривимірні польові транзистори	18
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	20
2.1. Методика комп'ютерного моделювання в Silvaco TCAD.....	20
2.2. Алгоритм проектування структури та характеристик польових транзисторів із каналом у вигляді нанодротів.....	22
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	24
3.1. Структура тривимірних польових транзисторів із каналами у вигляді нанодротів	24
3.2. Температурні залежності робочих характеристик.....	25
ВИСНОВКИ	28
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	29
ДОДАТОК А. СЛАЙДИ ПРЕЗЕНТАЦІЇ РОБОТИ	34

ВСТУП

Технологія напівпровідникових ІМС розвивалася на основі планарної технології (планарна технологія від англійського planar - плоский) виготовлення транзисторів, яка ввібрала в себе весь попередній досвід виробництва напівпровідникових приладів [1-3]. Основними технологічними процесами виготовлення напівпровідникових ІМС називають ті, за допомогою яких створюються локальні області у напівпровідниковому матеріалі та формуються переходи, структури та елементи схеми. До них відносяться: локальна дифузія легуючих домішок у кремній, іонне легування та епітаксійне нарощування монокристалічних шарів кремнію на кремнієву пластину, що має протилежний тип електропровідності. У зв'язку з цим, всі напівпровідникові ІМС за технологічними ознаками поділяються на дві групи: ІМС, що виготовляються із застосуванням тільки процесів дифузії, та ІМС, при виготовленні яких поєднуються процеси епітаксійного нарощування, дифузії та іонного застосування домішок. Технологію виготовлення мікросхем першої групи називають планарно-дифузійною, а другої групи – планарно-епітаксiальною [1-8].

Більшість напівпровідникових ІМС виготовляють на основі монокристалічного кремнію, хоча окремих випадках використовують германій. Це пояснюється тим, що кремній у порівнянні з германієм має низку фізичних та технологічних переваг, важливих для створення елементів ІМС. Наявність великої ширини забороненої зони у кремнію дозволяє створювати ІМС, що працюють у широкому діапазоні температур, з малими струмами витоку та за відносно великої робочої напруги. З технологічної точки зору на поверхні кремнію легко отримати шар діоксиду (SiO_2) заданої товщини, що грає важливу роль у процесі формування елементів ІМС, їх ізоляції та захисту від зовнішніх впливів.

Ця робота присвячена дослідженню та моделюванню структури та характеристик польових транзисторів із каналами на основі нанодротів. Нанодрооти є об'єктами, що мають розміри на нанометровому рівні і відіграють ключову роль у розвитку наноелектроніки.

РОЗДІЛ 1

ОГЛЯД ТЕХНОЛОГІЙ ІНТЕГРАЛЬНИХ СТРУКТУР

1.1. Планарні технології

Зазвичай кожному напівпровідниковому елементу схеми відповідає локальна область напівпровідникового матеріалу, властивості та характеристики якої забезпечують виконання функцій дискретних елементів (транзисторів, діодів, резисторів, конденсаторів та ін.). Кожна локальна область, яка виконує функції конкретного елемента, потребує ізоляції з інших елементів. З'єднання між елементами згідно з електричною схемою зазвичай виконуються за допомогою напилених на поверхню металевих провідників або високолегованих напівпровідникових перемичок. Такий кристал полягає у герметизований корпус і має систему виводів для практичного застосування мікросхеми. Таким чином, напівпровідникова ІМС є закінченою конструкцією. Тип конструкції напівпровідникових ІМС визначається: напівпровідниковим матеріалом; технологічними методами створення локальних областей та формування в них елементів; методами ізоляції елементів у кристалі; типом і структурою використовуваних транзисторів [2-7].

У напівпровідникових ІС застосовуються як біполярні, і МДП - структури. Відмінність у структурах, і навіть методах електричної ізоляції елементів призводить до відмінності функціональних можливостей електричних параметрів.

Технології виготовлення біполярних та МДП- транзисторів близькі, хоча є й деякі особливості: необхідність спеціальних процесів для ізоляції елементів у біполярних схемах та процесів одержання тонких плівок підзатворного діелектрика у МДП-схемах [3].

Технологічний процес виробництва ІС багатоопераційний та тривалий. Загальне число технологічних операцій перевищує 500, а тривалість технологічного циклу – до 50 днів.

Щоб уникнути коротких замикань та утворення не-передбачених міжз'єднань, окремі елементи ІС ізолюють. Відомі такі види ізоляції [3,9]:

1. Ізоляція шляхом створення р-п-переходів, зміщених у зворотному напрямку. Тут колектор занурений у підкладку, що має протилежний тип електропровідності. При цьому між підкладкою та кожним колектором (використовують п-р-п-транзистори на підкладці р-типу) виникає р-п-перехід, ізолюючий транзистор.

2. Діелектрична ізоляція. Для її створення застосовують ізопланарний процес, який певною мірою аналогічний попередньому, але дозволяє досягти великої щільності розміщення елементів, хоча і є більш дорогим. Використовують процес, заснований на корозійній анізотропії кристала при хімічному травленні; за допомогою цього методу вдається досягти високого ступеня інтеграції.

3. Повна ізоляція або комбінована ізоляція поєднує в собі діелектричну ізоляцію та ізоляцію зворотним переміщенням. Використовується у випадках, коли потрібно забезпечити малі паразитні ємності чи високу радіаційну стійкість. Тут кожен елемент ІС ізолюється під час технологічного циклу на загальній підкладці.

При створенні напівпровідникових ІС малого та середнього ступеня інтеграції широко використовуються способи ізоляції зворотно включеним р-п-переходом та діелектричними плівками діоксиду кремнію. Для БІС розроблена технологія комбінованої ізоляції з одночасним використанням р-п-переходу та діелектричних плівок.

Метод ізоляції зворотнозміщеним р-п-переходом базується на якості такого переходу мати дуже високий питомий опір при зворотному зміщенні. Ізоляція р-п-переходом є однофазним способом тому, що матеріал по обидва боки і в межах ізолюючого шару один і той же. Ізоляція р-п-переходом по суті зводиться до формування двох зустрічно включених діодів між ізолюваними елементами (рис. 1.1 а).

Для того, щоб ізолюючі діоди перебували під зворотним зміщенням, на підкладку подають максимальний, негативний потенціал від джерела живлення.

Ізоляція р-n-переходом органічно вписується в основний технологічний цикл виробництва кремнієвих інтегральних схем. Використовують ізолюючу дифузію, методи потрійної дифузії, зустрічної дифузії. До недоліків цього способу ізоляції слід віднести наявність зворотних струмів у р-n-переходах та наявність бар'єрних ємностей [3].

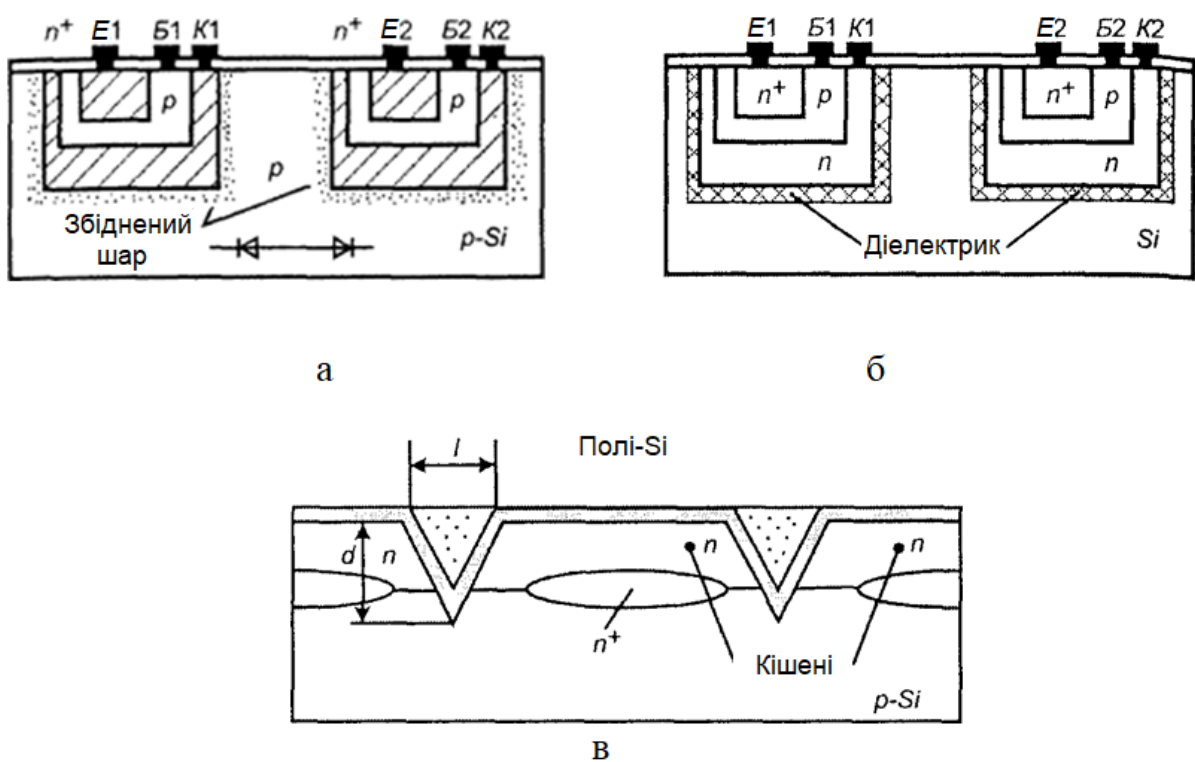


Рис. 1.1. Способи ізоляції транзисторних біполярних структур [3]: а – ізоляція р-n-переходом; б – ізоляція діелектриком; в - комбінована ізоляція

На рис. 1.2 показана структура інтегрального n-p-n-транзистора, ізольованого р-n-переходом. У цьому транзисторі підкладкою є кремній р-типу; на ній створені епітаксійний n-шар і так званий прихований n⁺-шар.

Ізолюючий рn-перехід створюється шляхом дифузії акцепторної домішки на глибину, що забезпечує з'єднання утворених при цій дифузії р-областей з р-підкладкою. У цьому випадку епітаксійний n-шар поділяється на окремі n-

області (ізолюючі «кишені»), в яких створюються потім транзистори. Ці області будуть електрично ізольовані тільки в тому випадку, якщо р-n-переходи, що утворилися, мають зворотне включення. Це досягається, якщо потенціал підкладки при транзистора буде найменшим з потенціалів точок структури. У цьому випадку зворотний струм через рn-перехід незначний і практично виключається зв'язок між n-областями (кишенями) сусідніх транзисторів [2].

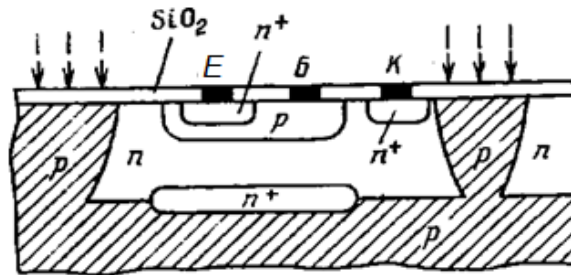


Рис. 1.2. Структура інтегрального n-p-n-транзистора ізольованого р-n-переходом [3]

Ізоляція колекторною дифузією. При цьому способі (рис. 1.3) вихідним є створення на підкладці р-Si рівного епітаксійного р-шару, а в певних місцях під ним - прихованого n⁺-шару. Потім проводять дифузію донорів через маску і створюють бічні n⁺-області, що стосуються прихованого n⁺-шару.

На відміну від рис. 1.2 утворюється кишенька р-типу для створення р-бази та n-емітера. Сукупність прихованого n⁺-шару та бічних n⁺-областей виконуватиме в транзисторі функцію колекторної області з виводом на поверхні. Перехід між n⁺-областями та підкладкою та забезпечує ізоляцію від іншого елемента ІС, якщо підкладка має найменший потенціал.

Метод ізоляції діелектриком зводиться до створення кишеньки з діелектрика, в якому розташовується транзисторна структура. Це більш досконалий, ніж попередній метод, насамперед через надзвичайно малі струми витоку, які на 3 - 5 порядків менші за зворотні струми в р-n-переходах [2-5].

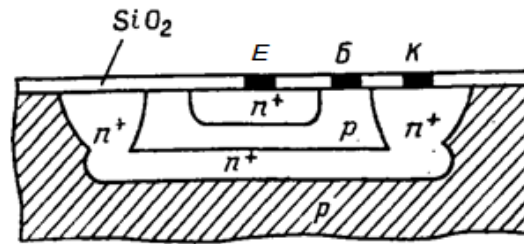


Рис. 1.3. Ізоляція колекторною дифузією [4]

Збільшуючи товщину діелектрика та вибираючи матеріал з малою діелектричною проникністю, можна знизити значення паразитних ємностей. На рис. 1.1б показаний один із способів ізоляції діелектриком транзисторних структур. Він отримав назви КВД – кремній у діелектриці. Одним із технологічних процесів повної діелектричної ізоляції є епiк-процес, що забезпечує ізоляцію елементів оксидним шаром SiO_2 .

Ізоляція діелектричних плівок. На рис. 1.4 показано послідовність операцій ізоляції елементів тонкими діелектричними плівками. На вихідній пластині n-кремнію вирощується епітаксійний n+-шар (рис. 1.4а). На поверхні пластини анізотропним травленням на глибину 20 – 30 мкм утворюються канавки трикутної (V – образної) форми (рис. 2.4, б). Рельєфна поверхня термічно окислюється, так що виходить ізолююча плівка SiO_2 завтовшки близько 1 мкм.

Потім на поверхню SiO_2 наноситься шар високоомного полікристалічного кремнію завтовшки 200 - 250 мкм (рис. 1.4в). Вихідний монокристал n-кремнію зішлифовується знизу доти, доки не розкриються вершини витравлених канавок (рис. 1.4 г), у результаті чого утворюються ізольовані один від одного шаром SiO_2 монокристалічні області (кишені). Потім у цих кишнях створюватимуться елементи інтегральної схеми.

Найбільшого поширення набули процеси, пов'язані зі створенням транзисторних структур на діелектричній підкладці - КНД - кремній на діелектриці. Як діелектричну підкладку часто використовують сапфір, і такий спосіб ізоляції отримав назву КНС - кремній на сапфірі.

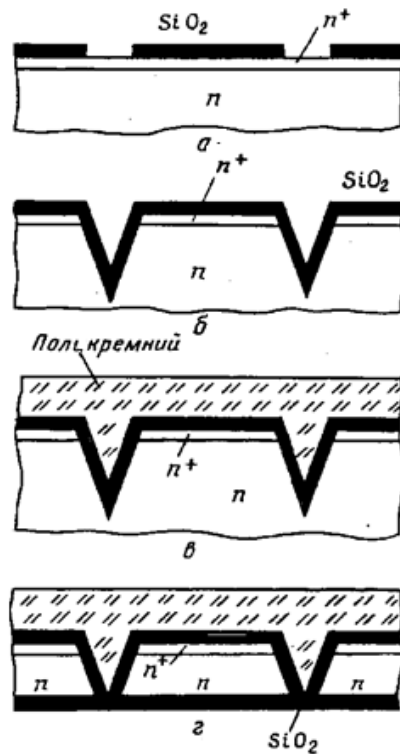


Рис. 1.4. Послідовність операцій ізоляції елементів тонкими діелектричними плівками [4]

На сапфірі (рис. 1.5) вирощується епітаксійний шар n-кремнію товщиною 1 – 3 мкм. "Острівці" створюються локальним травленням кремнію до сапфірної підкладки. У острівцях утворюються транзисторні структури. Після цього повітряні зазори між острівцями заповнюються ізолюючим полікристалічним кремнієм, на поверхні якого утворюються з'єднання елементів схеми.

Ізоляцію діелектриком відносять до двофазного способу тому, що використовуються одночасно дві фази - діелектрик і напівпровідник [2].

Діелектрична ізоляція дозволяє на кілька порядків знизити струми витoku та на порядок питому ємність порівняно з рп-переходом. Істотним недоліком діелектричної ізоляції є необхідність точного шліфування. Діелектричні канавки можуть бути прямокутної форми.

До недоліків цього способу ізоляції слід віднести необхідність поєднання кількох різнорідних технологічних процесів.

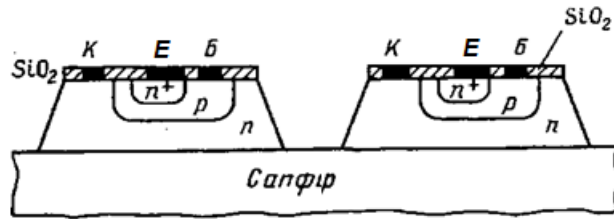


Рис. 1.5. Структура «кремній на сапфірі» [3]

Комбінований метод, при якому поєднуються ізоляція діелектриком та ізоляція р-п-переходом, є методом ізоляції транзисторних структур. При цьому варіанті ізоляція р-п-переходом здійснюється внизу структури і шаром SiO_2 на поверхнях прямокутних або V-подібних канавок [3-9].

Основним технологічним процесом є ізопланарна технологія, в основі якої лежить локальне окиснення тонкого епітаксійного шару кремнію. Результатом цього є утворення кишень, що збоку ізолювані діелектриком, а від підкладок ізолюється р-п-переходом. У таких кишнях і розташовуються транзисторні структури, і навіть елементи інтегральних схем.

В ізопланарному процесі для локального прокислення застосовуються маски з нітриду кремнію. Цей технологічний процес дозволяє забезпечити велику щільність упаковки елементів на кристалі та отримати високі частотні та перехідні характеристики транзисторних структур.

Велике поширення набув метод бічної діелектричної ізоляції V-канавками (рис. 1.6). У цьому технологічному процесі замість наскрізного прокислення епітаксійного шару використовується локальне анізотропне травлення поверхні кристала, орієнтованої по площині (100).

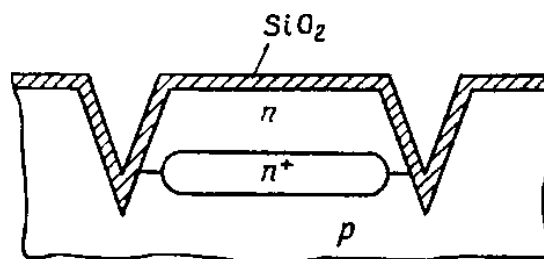


Рис. 1.6. Спільна ізоляція р-п-переходом та діелектричними плівками [3]

В цьому випадку травлення йде в площині (111) так, що грані (111) сходяться нижче за межі епітаксійного шару. V-подібні канавки, що утворилися, заповнюються діоксидом кремнію, або полікристалічним кремнієм (рис. 1.1 в).

Використовуючи метод реактивного іонного травлення, можна зменшити ширину канавки і перетворити її з V-U-образну.

Недоліком такого способу ізоляції є використання площини (100), що пов'язане з підвищеною щільністю поверхневих дефектів.

До ізоляції МДП-транзисторних структур та елементів інтегральних схем вимоги менш жорсткі через фізичні особливості їх роботи. Ці ж методи ізоляції використовуються і в уніполярних інтегральних схемах [7].

1.2. Інтегральні структури

Основу конструкції напівпровідникових ІМС становить транзисторна структура, яка є базовою для реалізації всіх активних та пасивних елементів [6].

Особливістю структури напівпровідникових ІМС і те, що це елементи виготовляються у єдиному технологічному процесі. Тому епітаксійні та дифузійні шари, що утворюють області різних елементів, мають однакові параметри. Так, наприклад, для створення резисторів зазвичай використовують ті шари, які утворюють емітер або базу біполярного транзистора, а для створення діодів і конденсаторів - ті ж переходи, що і в структурі транзистора. Оскільки транзисторна структура є найбільш складною і визначальною в конструкції мікросхеми, всі призначені для реалізації інших елементів шари та переходи називаються відповідно до областей транзистора незалежно від того, в якому елементі вони використовуються.

Транзистори є основними елементами ІС. Щоб реалізувати структуру мікросхеми, у процесі її виготовлення необхідно виконати велику кількість опера-

цій. Інші ж елементи - діоди, резистори і конденсатори – можна створити на окремих етапах загального технологічного процесу.

Частіше використовують транзистори типу n-p-n, оскільки їх параметри легше контролювати при виготовленні та краще їх частотні характеристики.

Інтегральні біполярні транзисторивиготовляються за планарною або планарно-епітаксialною технологією. Методом дифузії в кристалі створюються області колектора, бази та емітера (рис. 1.7). На малюнку транзистор показаний у розрізі та у плані. Структура транзистора заглиблюється в кристал не більше ніж на 15 мкм, а лінійні розміри транзистора на поверхні не перевищують кількох десятків мікрометрів.

Як правило, виготовляються транзистори типу n-p-n. Внутрішній (прихований) шар із підвищеною концентрацією домішок n⁺ у колекторі служить для зменшення опору і, отже, втрат потужності в області колектора. Але у колекторного переходу область колектора повинна мати знижену концентрацію домішок, щоб перехід мав велику товщину. Тоді ємність у нього буде меншою, а напруга пробою вища. Область емітера також часто роблять p⁺-типу для зменшення опору та збільшення інжекції. Зверху на транзисторі створюється захисний шар оксиду SiO₂. Від областей колектора і бази часто роблять два висновки (рис. 1.7), щоб можна було з'єднати даний транзистор з сусідніми елементами без перетинів з'єднувальних ліній.

Типові параметри біполярних транзисторів напівпровідникових ІС такі: коефіцієнт посилення струму бази 200, гранична частота до 500 МГц, ємність колектора до 0,5 пФ, пробивна напруга для колекторного переходу до 50 В, для емітерного до 8 В. Питома р-шарів становить кілька сотень, а p⁺-шарів - не більше 20 Ом/□

Необхідно звернути увагу на те, що у напівпровідникових ІС завжди утворюються деякі паразитні елементи. Наприклад, із рис. 1.7 видно, що поряд з транзистором типу n-p-n, створеним у кристалі р-типу, існує паразитний транзистор р-n-p, який утворюється кристалом, областю колектора та областю бази

транзистора. А транзистор n-p-n разом із кристалом утворює паразитний тиристор n-p-n-p. Внаслідок наявності зворотної напруги на ізолюючому переході паразитні транзистори і тиристор нормально замкнені, але при попаданні в них будь-яких імпульсів перешкод може статися небажане відмикання та спрацювання цих елементів [6-9].

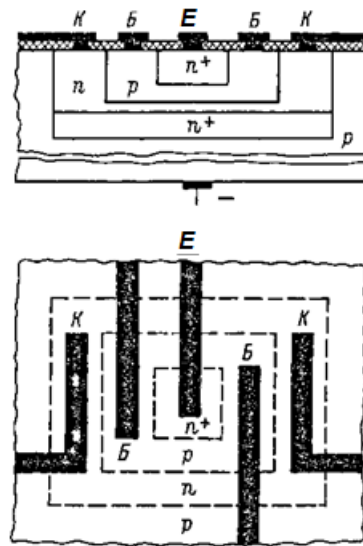


Рис. 1.7. Біполярний транзистор типу n-p-n [4]

У біполярних транзисторах, виготовлених за планарною технологією, основний струм через емітерний та колекторний переходи протікає вертикально (якщо сама ІС розташована горизонтально). Такі транзистори, які називаються вертикальними, робляться переважно типу n-p-n. У деяких випадках потрібні транзистори типу p-n-p. Вони зазвичай мають таку структуру, що струм через переходи протікає у горизонтальному напрямку (рис. 1.8).

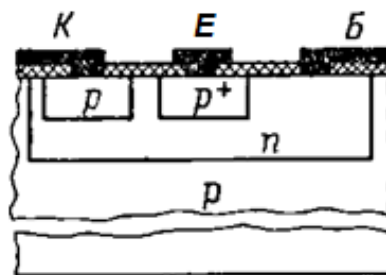


Рис. 1.8. Горизонтальний транзистор типу p-n-p [4]

Ці транзистори називають горизонтальними. Вони мають базу порівняно з вертикальними транзисторами виходить товщі і відповідно до цього гранична частота нижче.

Слід відміти, що діоди в інтегральних мікросхемах призначені для виконання ряду логічних функцій перемикання електричних сигналів, випрямлення електричного струму, детектування сигналів. Раніше діоди ІС виконували у вигляді структури з двох областей з різним типом електропровідності, тобто у вигляді звичайного р-п-переходу. В останні роки як діоди стали застосовуватися біполярні транзистори в діодному включенні. Будь-який з р-п-переходів транзисторної структури, а також їх комбінація можуть бути використовуються як інтегральний діод. Це виявилось зручним для виробництва. Можливі п'ять варіантів діодного вмикання транзистора. Вони показані на рис. 1.9 та дещо відрізняються один від одного параметрами.

У варіанті БК - Е замкнуті коротко база і колектор. Такий діод має час відновлення, тобто час перемикання з відкритого стану в закритий, найменший - одиниці наносекунд. У варіанті Б - Е використовується лише емітерний перехід. Час перемикання у разі у кілька разів більше. Обидва ці варіанти мають мінімальну ємність (десяті частки пікофараду) та мінімальний зворотний струм (0,5 - 1,0 нА), однак і мінімальна пробивна напруга. Незначно для низьковольтних ІС. Варіант БЕ - К, в якому закорочені база і емітер, і варіант Б - К (з використанням одного колекторного переходу) за часом перемикання та ємності приблизно рівноцінні варіанту Б - Е, але мають більш високу пробивну напругу (40 - 50 В) і більший зворотний струм (15 - 30 нА). Варіант Б - ЕК з паралельним з'єднанням обох переходів має найбільший час перемикання (100 нс), найбільший зворотний струм (до 40 нА), дещо більшу ємність і таку ж малу пробивну напругу, як і в перших двох варіантах [8].

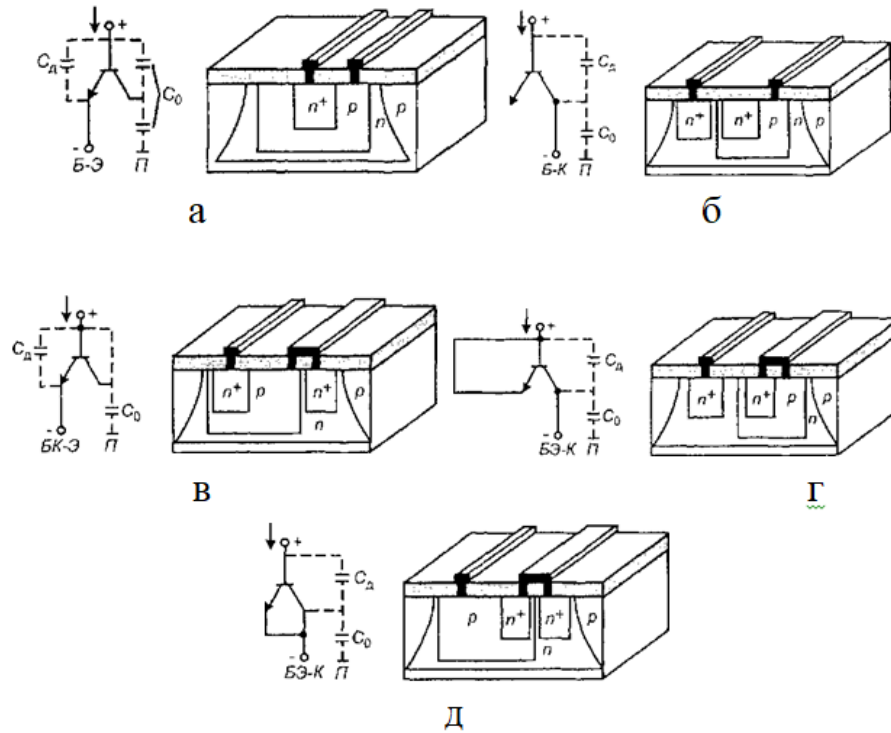


Рис. 1.9. Схема діодного включення та конструкції інтегральних біполярних діодів типів [3]: а – база – емітер (Б – Е); б – база – колектор (Б – К); в - база колектор -емітер (БК – Е); г – база емітер – колектор (БЕ – К); д – база - емітер колектор (Б – ЕК); З - ємність діода між анодом та катодом; C_g – паразитна ємність на підкладку; П - підкладка

Еквівалентні схеми включення транзисторних структур як діодів містять власну ємність діода та паразитні ємності, які мають істотний вплив на характеристики діодів. Пробивна напруга діодів залежить від типу використовуваного переходу. Якщо застосовується невеликий емітерний перехід із сильно легованою областю емітера, то пробивна напруга невелика. Навпаки, під час використання протяжного, слаболегированного колекторного переходу пробивні напруги досить великі. У цілому нині оптимальним варіантом для інтегральних схем є структури типу БК - Е з урахуванням переходу «база-емітер» з закороченим з урахуванням колектором і тип Б - Е з урахуванням переходу «база - емітер» з розімкнутою ланцюгом колектора.

Зупинимося особливо на інтегральному стабілітроні (рис. 1.10а). Він може бути створений на основі структури інтегрального транзистора у різних варіантах залежно від необхідної напруги стабілізації та її температурного коефіцієнта. Зворотне включення діода Б - Е використовують для отримання напруги 5 - 10 В з температурним коефіцієнтом (2 - 5) мВ/°С. Діод працює у режимі лавинного пробію [2].

Зворотне включення діода БЕ - К застосовують для отримання напруги 3 - 5 (використовується явище «проколу» бази) при температурному коефіцієнті - (2 - 3) мВ/°С. Один або кілька послідовно включених діодів БК - Е в прямому напрямку дозволяють отримати напругу 0,7 В або кратне значення з температурною чутливістю - 2 мВ/°С.

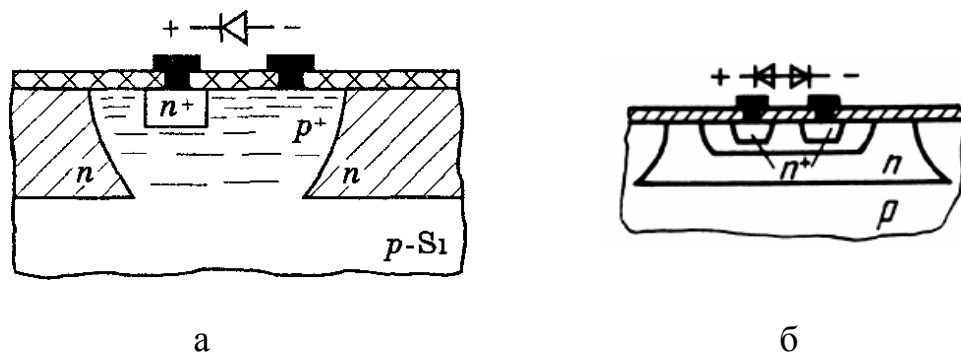


Рис. 1.10. Інтегральні стабілітрон (а) та температурно-компенсований стабілітрон (б)

У температурно-компенсованих стабілітронах (рис. 1.9б), сформованих на основі базового та емітерного шарів, при подачі напруги між n+-шарами один перехід працює в режимі лавинного пробію, а другий - у режимі прямого включення. Температурна чутливість цих двох переходів протилежна за знаком, тому температурна чутливість такого стабілітрона менша 2 мВ/°С.

1.3. Тривимірні польові транзистори

Постійно зростаючі вимоги щодо збільшення продуктивності, зменшення енергоспоживання та розширення областей застосування інтегральних елементів обумовлюють необхідність досліджень особливостей їх структури та робочих характеристик нанодотових польових (NW FET's) [9,10]. Перспективним напрямком вважається застосування нанодотів Si, GaAs, ZnO та ін. як каналів NW FET's із затвором типу Gate-All-Around (GAA). Авторами попередніх робіт [9] було проведено аналіз структур dual-metal gate (DMG) GAA NW FET's в рамках багатьох аспектів компактного моделювання – від технологічних процесів їх виготовлення до таких специфічних тем, як вплив орієнтації текстури росту та розподілу окремих компонент в затворі на величину ефективної роботи виходу (W_{eff}) [9] останнього. Отримані дані вказують на значні перспективи подібних наномасштабних структур як кандидатів для створення наступного покоління нанодотових транзисторів. Як приклад авторами [12] показано, що досліджені ним NW-каналні польові транзистори мають більш стікі електричні параметри порівняно з Fin-каналними польовими транзистрами (рис.1.11).

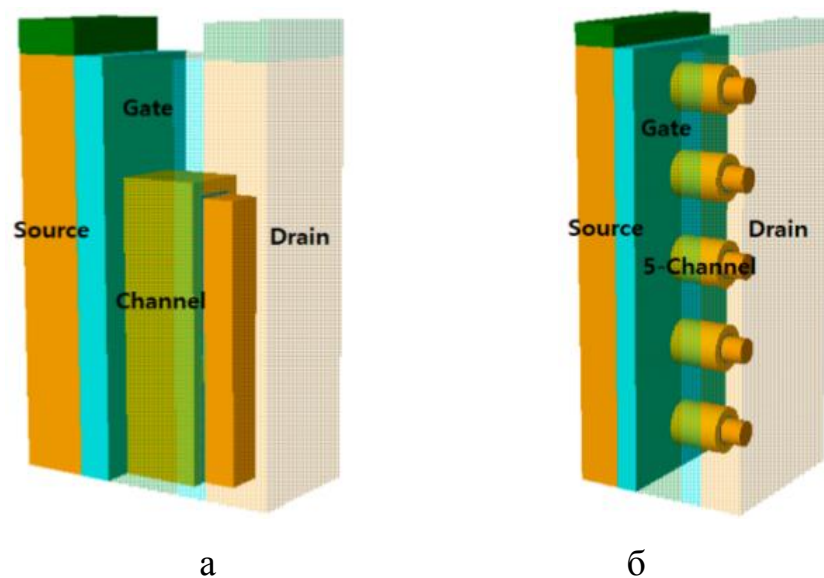


Рис. 1.11. Транзисторні структури SOI TG FinFET (а) та SOI GAA NWFET (б). Рисунок адаптовано із роботи [12]

Поряд з цим, окрім можливості подальшого масштабування, транзистори GAA NW FET's мають значно кращу керованість затвором, стійкість до т.зв. короткоканальних ефектів SCE's тощо. Як приклад у роботі [9] спроектовано структурні моделі 5-канальних GAA NW FET's, порівняно їх робочі характеристики залежно від умов експлуатації. Авторами показано, що NW-канальні транзистори мають кращі робочі, ніж Fin-канальні, проаналізовано концентраційні та ін. залежності. Слід відміти, що подібний інструментарій успішно застосований авторами [10] для інших задач, зокрема компактного моделювання плівкових фотоелектричних перетворювачів [11].

Авторами роботи [12] було представлено уніфіковані моделі вертикальних польових транзисторів GAA FET's з каналами на основі нандротів NW та нанолістів NS, виконаних за технологією 3 нм. Показано більш високу швидкодію та менші енергоспоживання таких транзисторів, порівняно з Fin-канальними.

Застосовуючи розроблену комп'ютерну модель, вивчаються різні аспекти структури транзисторів на основі нандротів, такі як підпороговий розкид (SS), зниження бар'єру, що індукується стоком (DIBL), сили струму витоку I_{off} та коефіцієнта I_{on}/I_{off} та ін. Крім того, досліджуються впливи різних параметрів на характеристики транзисторів, таких як діаметр нандротів, тип матеріалу та довжина каналу [9,10].

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика комп'ютерного моделювання в Silvaco TCAD

Технологія програмного забезпечення автоматизованого проектування (TCAD) широко використовується для дослідження та інженерної оптимізації сучасних конструкцій приладів [13-45]. Зазвичай вони складаються з різноманітних симуляторів та редакторів. На рис. 2.1 приведені елементи відповідної методики проектування. На основі експериментальних даних моделюється відповідне обладнання та його робочі характеристики.

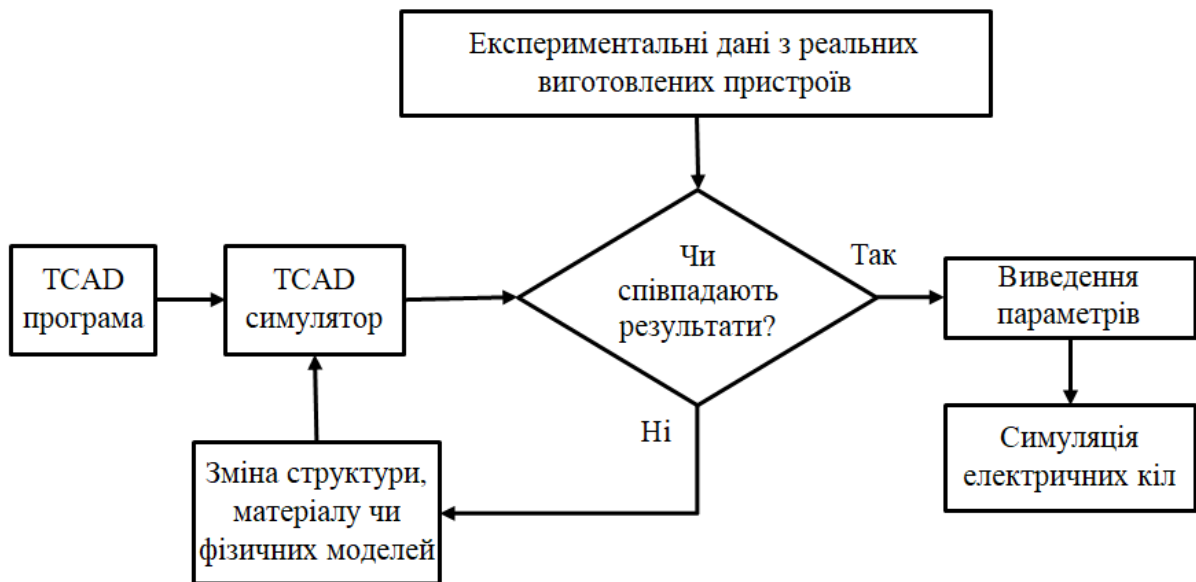


Рис. 2.1. Методика дослідження в TCAD програмах [13]

У цій роботі розглядається система TCAD Silvaco [13-16], яку було використано овуємо для проектування біполярних транзисторів та діодів. На основі вихідних даних можна спроектувати геометрію пристрою або технологічний процес, вибрати модель транспорту носіїв та отримати тестові характеристики. Після цього уточнюються параметри конструкції, властивості матеріалу, коефіцієнти моделі переносу тощо. Редактор DeckBuild запускає та

координує програми, включаючи створення та виконання пакетних файлів. ATLAS Instrument Structure Simulator, симулятор, що використовується як база в середовищі Silvaco TCAD (рис.2.2).

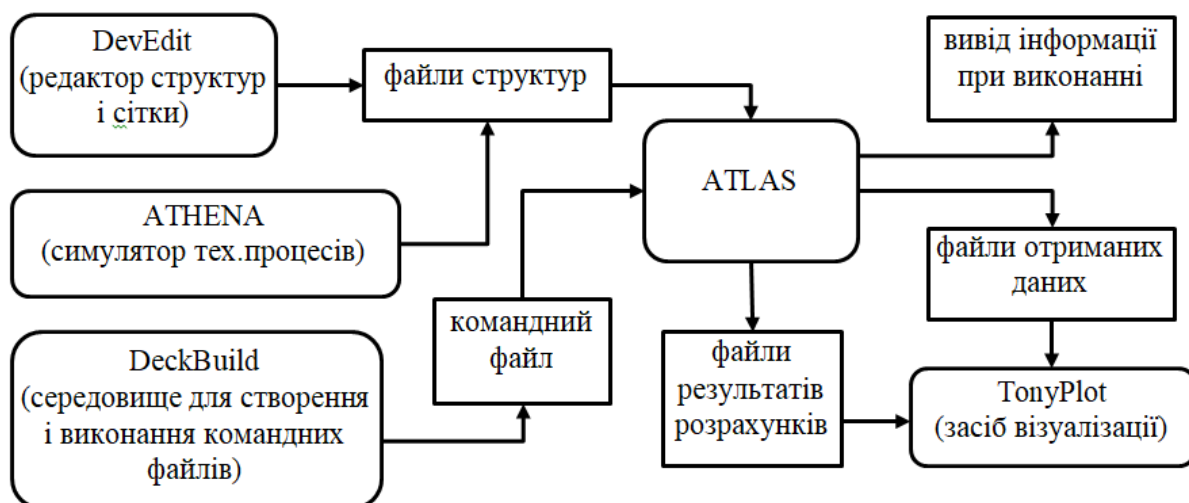


Рис. 2.2. Робочі блоки в програмному середовищі Silvaco TCAD [13]

ATHENA Process Simulator дозволяє моделювати літографію, пошарове нанесення, дифузію, окислення, травлення та інші процеси для різних типів структур. Останні параметри можна легко налаштувати за допомогою генератора команд DeckBuild.

Слід відмітити, що бібліотека моделей Silvaco TCAD має гнучку структуру, зокрема одні й ті ж блоки можуть бути використані у інших підпрограмах. Програмне середовище Silvaco TCAD використовує т.зв. власний інтерпретатор під назвою C-Interpreter. Останній дозволяє прискорити компіляцію програмного коду. Тому C-Interpreter був створений розробниками даного програмного середовища спеціально для синтезу оптимізованого машинного коду використовуючи оригінальний підхід для опису моделей [13-16].

2.2. Алгоритм проектування структури та характеристик польових транзисторів із каналом у вигляді нанодротів

Розглянемо алгоритм створення компактної моделі GAA NWFET's за допомогою Silvaco TCAD [9,10, 21-25]:

1. У робочій директорії програми DeckBuild створити командний ".in"-файл.
2. У програмі Atlas задати сітку початкової тривимірної структури та область підкладки кремнію, поверхня якої покрита шаром оксиду.
3. У командному файлі додати команди для збереження та відображення ".str"-структури в TonyPlot3D; на основі даних про сітку та візуалізації TonyPlot3D виконати спрощення сітки в областях підкладки за допомогою команд Eliminate.
4. Створити затвор FET-структури; при багат шарових рішеннях слід враховувати порядок задання областей – спочатку зовнішні, потім внутрішні.
5. Створити канал GAA NW FET транзистору – аналогічно багат шаровим структурам затвору спочатку створюються області зовнішніх шарів діелектриків, потім канал; слід зазначити, що в Atlas можна створювати лише області у вигляді прямокутних паралелепіпедів, тому для створення областей складної форми використано додаткові алгоритми з можливістю накладання простих областей одна на одну; для створення багатоканальних структур даний блок команд поміщається в цикл, де загальне зміщення областей залежить від номера ітерації – таким чином в сітці структури можна створювати масиви областей.
6. Задати області стоку та витоку структури. Назначити електроди структури – для цього використати набір назв для польового транзистору: gate – затвор, drain – стік, source – витік.
7. Задати профіль легування каналу відповідно необхідного типу провідності транзистору; слід врахувати особливість створення тривимірних структур в

Atlas – при заданні нерівномірного розподілу необхідно задавати профіль легування для кожної двовимірної площини в обраному напрямку, при цьому координати площини мають співпадати з вузлами сітки; щоб не прописувати вручну кожну команду для кожної площини можна організувати їх легування в циклі; перевірити профіль легування можна в TonyPlot3D, сховавши всі області окрім каналу та ввімкнувши відповідний режим відображення.

7. За необхідністю вказати додаткові команди для задання необхідних значень електричних параметрів матеріалів та контактів структури.
8. Задати моделі та методи для аналізу FET транзистору в програмі ATLAS, вказати команди для проведення початкового розрахунку.
9. Провести аналіз створеної структури – побудувати вольт-амперні характеристики (ВАХ): передавальні ВАХ – залежності сили струму витік-стік від напруги на затворі $I_{DS}(V_G)$ відповідно при фіксованих величинах напруг витік-стік, в даній роботі величина напруги V_{DS} приймає значення 0,1 В та 1,2 В; побудувати вихідні ВАХ - залежності сили струму витік-стік від напруги витік-стік $I_{DS}(V_{DS})$, для струму насичення каналу при зміні величини напруги на затворі V_G ; при заданні напруг слід враховувати, що для транзисторів р-типу провідності значення V_G буде від'ємним.
10. З отриманих залежностей провести екстракцію параметрів [9]: V_t , SS , I_{on} , I_{off} , I_{on}/I_{off} та $DIBL$.

Значення I_{off} можна отримати з низьковольтної ВАХ, змінивши функцію MAX на MIN в формулі для екстракції максимального значення сили струму. Значення DIBL розраховується як відношення різниць порогових напруг V_t до різниці значень V_{DS} при яких вони були отримані.

Слід відмітити, що симулятор технологічних процесів ATHENA [14] дозволяє моделювати напилення, дифузії, окислення, травлення і т.п. для 2D структур. Задання та налаштування останніх зручно виконувати за допомогою генератора команд DeckBuild.

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура тривимірних польових транзисторів із каналами у вигляді нанодротів

Результати числового моделювання 3D-структур SOI GAA SiNWFET's [9,10] за допомогою інструментів Silvaco TCAD представлені в даній частині роботи.

Для розрахунку електричних характеристик 5-канальних GAA Si NW FET's було розроблено відповідні структури із довжинами каналів 30 нм з круглим перерізом нанодротів. Транзистори мали довжину затвору $L_G = 14$ нм та діаметр нанодротів $D_{NW} = 8$ нм, їх геометрію наведено на рис.3.1а.

При проектуванні структур було використано наступну конфігурацію профілів легування каналів домішкою: в об'ємі каналу концентрація акцепторної домішки становила $5 \times 10^{15} \text{ см}^{-3}$; у приконтактні області витоку та стоку була введена донорна домішка більш високої концентрації рівної $5 \times 10^{18} \text{ см}^{-3}$. Відповідний концентраційний розподіл акцепторної домішки в каналі структур наведено на рис.3.1б.

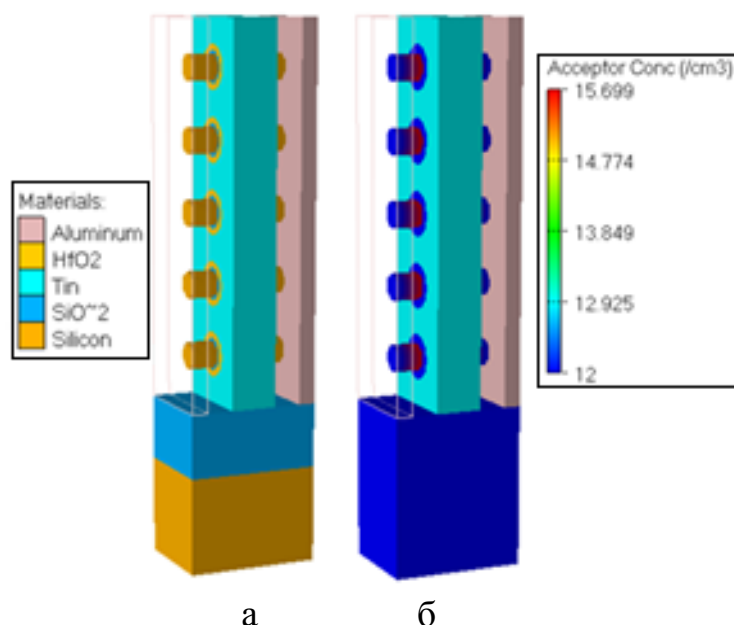


Рис.3.1. Структура GAA Si NW FET's з відображенням їх геометрії (а) та розподілу концентрації акцепторної домішки в каналах (б) [9]

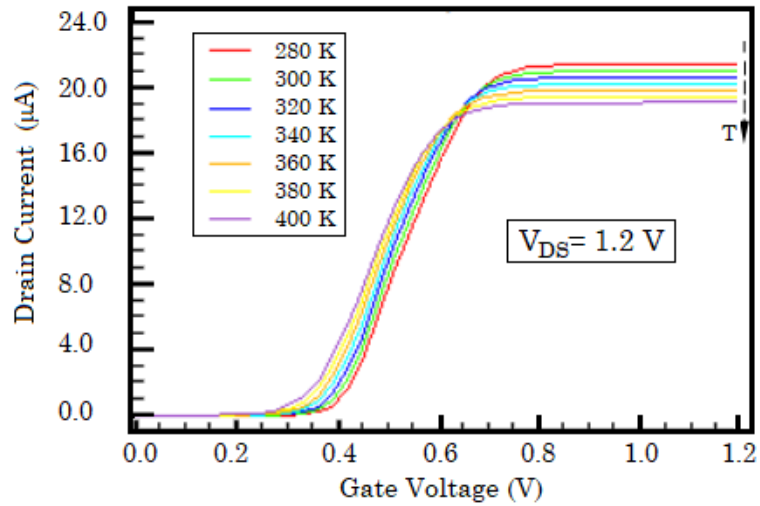
Ефективна робота виходу електрода затвору становила 4,40 еВ (n-тип провідності) [9,10]. Як high-k діелектрик було взято HfO_2 ($k = 22$) товщиною 2 нм, бар'єрний шар SiO_2 під high-k діелектриком мав товщину 1 нм (рис.3.1а).

3.2. Температурні залежності робочих характеристик

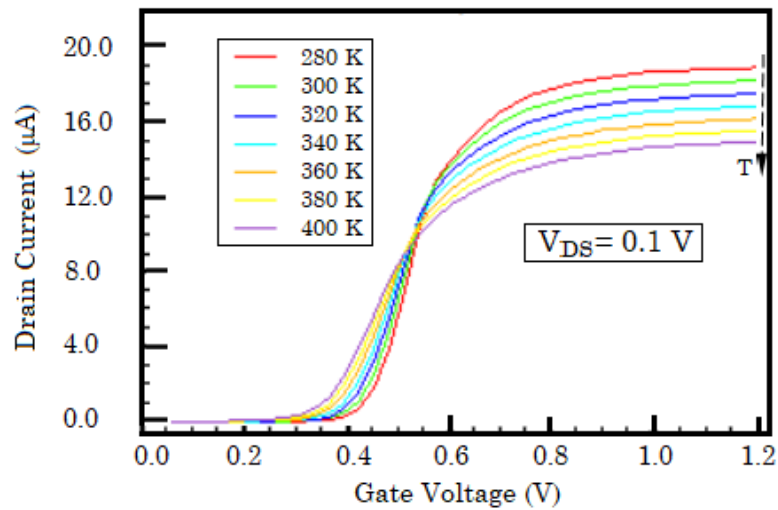
Цікавим і важливим з точки зору застосування польових транзисторів є температурна залежність статичних передавальних характеристик.

Типові залежності сили струму витік-стік I_{DS} від напруги на затворі V_{GS} при температурах від 280 К до 400 К для запропонованих структур 5-канальних GAA Si NW FET's n-типу для фіксованих значень напруг витік-стік $V_{DS} = 1.2$ В та $V_{DS} = 0.1$ В приведені відповідно на рис. 3.2а,б.

При зростанні температури фіксується ряд типових змін статичних передавальних характеристик 5-канальних GAA SiNWFET's n-типу, які викликані в основному такими фізичними процесами [9,10]: зі збільшенням температури в досліджуваному діапазоні температур зменшується рухливість носіїв заряду, що призводить до зменшення величини сили струму "switch-on" I_{on} ; відбувається перерозподіл носіїв по енергіях і зміщення енергії Фермі до середини забороненої зони. У зв'язку з таким зміщенням рівня Фермі область збіднення (інверсний шар) утворюється біля поверхні напівпровідника при менших напруженостях електричного поля. Тому зі збільшенням температури величина порогової напруги V_t зменшується. В результаті статичні передавальні характеристики для постійної напруги на стоці, але для різних температур перетинаються, тобто існує т. зв. термостабільна крапка в якій протилежні ефекти компенсуються, а струм через канал (струм стоку) залишається незмінним. Для запропонованих структур положення цієї крапки знаходяться поблизу координат $I_{DS}=1,9 \times 10^{-5}$ А та $V_{GS} = 0,65$ В (рис.3.2а) та $I_{DS}=1,0 \times 10^{-5}$ А та $V_{GS} = 0,55$ В (рис.3.2б).



a



б

Рис.3.2. Температурні характеристики $I_{DS}-V_{GS}$ для GAA Si NW FET's n-типу провідності при фіксованих значеннях напруги витік-стік 1.2 В (а) та 0.1 В (б) [9]. Стрілкою вказаний напрям зростання температури

Розрахунок величини зниження бар'єру, спричинене стоком DIBL при фіксованих температурах 280 К та 400 К показав незначне зменшення останньої від 36.4 mV/V до 31.8 mV/V (рис.3.3).

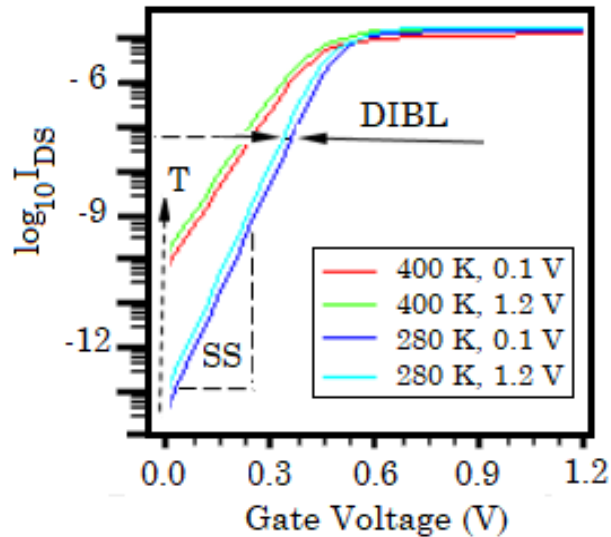


Рис.3.3. Логарифмічні характеристики $\log_{10}I_{DS}-V_{GS}$ 5-канальних GAA SiNWFET's при зміні температури та фіксованих значеннях напруги витік-стік 1,2 В та 0,1 В [9]. Стрілкою вказаний напрям зростання температури

Робочі характеристики GAA Si NW FET's при значенні напруги витік-стік $V_{DS} = 1,2$ В дозволяють визначити важливі параметри. Як приклад при кімнатній температурі 300 К величини V_t та SS відповідно становили 0,39 В та 62,00 mV/decade, величини сил струмів I_{on} , I_{of} та коефіцієнту I_{on}/I_{of} відповідно становили $2,11 \times 10^{-5}$ А, $0,53 \times 10^{-12}$ А та $40,26 \times 10^6$ [9].

Отримані результати моделювання узгоджуються з даними інших робіт [23-26] та можуть бути використані для оптимізації дизайну транзисторів із каналами на основі нанодротів і покращення їх характеристик. Крім того, вони можуть послужити основою для подальших експериментальних досліджень та розробки нових пристроїв на основі нанодротів.

ВИСНОВКИ

Проведено аналіз особливостей технологій виготовлення елементів інтегральних мікросхем, показано, що вони технологічно освоєні та широко використовуються в мікро- та наноелектроніці.

Розглянуто особливості комп'ютерного моделювання структур, технологічних процесів основних електронних компонентів за допомогою програмного середовища Silvaco TCAD. Проведено моделювання структури та вольт-амперних характеристик польових транзисторів із каналом у вигляді нанодротів. Отримані результати моделювання добре узгоджуються з відомими експериментальними даними.

Структури GAA SiNWFET's з 5-ма каналами n-типу провідності, легованих акцепторною домішкою з концентрацією $5 \times 10^{15} \text{ см}^{-3}$, були успішно спроектовані та досліджені на вплив температур від 280 К до 400 К на статичні передавальні та інші робочі характеристики. Отримані типові температурні залежності можуть бути пояснені в рамках відомих теорій для польових транзисторів.

Запропоновані нами структури демонструють допустимі величини змодельованих електричних параметрів, зокрема підпорогового розкиду (SS), зниження бар'єру, що індукується стоком (DIBL), сили струму витoku I_{off} та коефіцієнта $I_{\text{on}}/I_{\text{off}}$ та ін., з цієї причини отримані результати можуть бути застосовані для подальшого дослідження тривимірних польових транзисторів із каналами у вигляді нанодротів.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Hu C. Modern semiconductor devices for integrated circuits / C. Hu. – Upper Saddle River, N.J. ; London : Pearson Education, 2010. – 351 p.
2. Готра З.Ю. Технологія електронної техніки: навч. посібник: у 2 т. /З.Ю.Готра. – Львів: Вид-во Національного університету «Львівська політехніка», 2010. – Т.1. – 888 с.
3. Закалик Л. І. Основи мікроелектроніки: навч. посібник. / Л.І. Закалик, Р.А. Ткачук.– Тернопіль: ТДТУ ім. І. Пулюя, 1998. –352 с.
4. Прищепа М. М. Мікроелектроніка: в 3 ч. Ч.1. Елементи мікроелектроніки : навч. посіб. / М. М. Прищепа, В. П. Погребняк ; за ред. М. М. Прищепи. – К.: Вища шк., 2004. – 431 с.
5. Опанасюк Н. М. Технологічні основи електроніки (практикуми) : навч. посіб. / Н. М. Опанасюк, Л. В. Одnodворець, А. О. Степаненко. – Суми : СумДУ, 2013. – 105 с.
6. Павлов С. М. Основи мікроелектроніки : навч. посіб. / С. М. Павлов. – Вінниця : ВНТУ, 2010. – 224 с.
7. Михайлін В. М. Технологічні основи електроніки: консп. лекцій / В. М. Михайлін. – Запоріжжя : ЗДІА, 2005. – 104 с.
8. Петренко А.И. Автоматизация проектирования технологических процессов изготовления БИС / Петренко А.И. — Киев: УМК ВО, 1988. – 188с.
9. Numerical simulation of field-effect transistor GAA SiNWFET parameters based on nanowires / I.P. Buryk, M.M. Ivashchenko, A.O. Holovnia et al. // J. Nano-Electron. Phys. – 2020. – V. 12, No 6. – P. 06012-1 – P. 06012-4.
10. Приладово-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / [І.П. Бурик, А.О. Головня, М.М. Іващенко] // Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.
11. Buryk I.P. Numerical simulation of FinFET transistors parameters/ [I.P Buryk, A.O. Golovnia, M.M. Ivashchenko, L.V.Odnodvoret] // J. Nano- and elec-

tronic Physics. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.

12. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // Appl. Sci. – 2019. – V. 9. – P.3163-3172.

13. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018. – 241 p.

14. Silvaco, ATHENA User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.

15. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.

16. <https://silvaco.co.kr/examples> – Silvaco, TCAD Examples, дата доступу: 20.05.2022 p.

17. Доля П.Г. Основи моделювання в COMSOL Multiphysics / Доля П.Г. — Харків: Просвіта, 2019. - 167с.

15. Atomic layer deposition (ALD) of metal gates for CMOS/ Zhao C., Xiang J. // Appl. Sci. – 2019. – V. 9. – P. 2388-2411.

16. Soft error susceptibilities of 22 nm tri-gate devices / Seifert N., Gill B., Jahinuzzaman S. et al. // IEEE Trans. Nucl. Sci. – 2012. – V.59, No 6. – P. 2666-2673.

17. 3D investigation of 8-nm tapered n-FinFET model / Boukortt N., Patané S., Crupi G. // Silicon. – 2019. – V.11. – P.00253-1–00253-7.

18. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / Boukortt N., Hadri B., Patané S. et al. // Silicon. – 2017. – V. 9. – P. 885-894.

19. Effects of high-k dielectrics with metal gate for electrical characteristics of SOI TRI-GATE FinFET transistor / F.Z. Rahou, A.G. Bouazza, B. Bouazza // J. Nano Electron. Phys. – 2016. – V. 8. – P. 04037-1 – 04037-4.

20. Dual metal gate FinFET integration by Ta/Mo diffusion technology for Vt reduction and multi-Vt CMOS application / Matsukawa T., Endo K., Liu Y. // Sol. State Electron. – 2009. – V. 53. – P. 701-705.

21. Metal gate work function modulation mechanisms for 20-14 nm CMOS

low thermal budget integration / B. Saidi // Materials Science. Universite Toulouse III – Paul Sabatier, 2014. –158 p.

22. Investigation of short channel effects (SCEs) and Analog/RF figure of merits (FOMs) of Dual-Material Bottom-Spacer Ground-Plane (DMBSGP) FinFET / Narendar V., Narware P., Bheemudu V. et al. // Silicon. – 2019. <https://doi.org/10.1007/s12633-019-00322-2>

23. Gate-All-Around silicon Nanowire FET modeling / Chen X. // School of Electrical & Electronic Engineering.- Nanyang: Nanyang Technological University.- 2014. – 149 p.

24. Unified compact model for Gate All Around FETs- nanosheets, nanowires, multi bridge channel MOSFETs / Kushwaha P., Duarte J., Lin Y.-K. et al. // Informatics, Electronics and Microsystems: TechConnect Briefs 2018.- Kanpur: Department of EE, Indian Institute of Technology Kanpur. – 2018. – P. 249-252.

25. Technology CAD of Nanowire FinFETs / Maiti T.K., Maiti C.K. // Nanowires, Book edited by: Paola Prete.- Croatia: INTECH. – 2010. – P. 395-414.

26. Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.

27. Expanding role of predictive TCAD in advanced technology development / Wu J., Diaz C. H. // 2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD).- Glasgow: IEEE. – 2013. – P. 167-171.

28. TCAD-based methodology for reliability assessment of nanoscaled MOSFETs / Hussin R. et al. // 2015 11th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME).- Glasgow: IEEE. – 2015. – P. 270-273.

29. Mechanical Stress Simulation of Thin Film Transistor on Flexible Substrate / Kong S., Lim H., Hoessinger A. et al. // 2018 International Flexible Electronics Technology Conference (IFETC).- Ottawa: IEEE. – 2018. – P. 1-4.

30. The use of TCAD in technology simulation for increasing the efficiency of semiconductor manufacturing / Lysenko I., Zykov D., Ishutkin S. et al. // AIP Conference Proceedings. – 2016.- V. 1772, No 1. – P. 60012.

31. TCAD analysis of transparent gate thin film transistor (TFT) for high performance applications / Ajay K. et al. // AIP Conference Proceedings. – 2019. – V. 2136, No 1. – P. 40003.

32. Design and simulation of 1800V 40A 4H-SiC SBD using TCAD / Yuan M. et al. // 2018 15th China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS).- Shenzhen: IEEE . – 2018. – P. 1-4.

33. Threshold voltage and 2D potential modeling within short-channel junctionless DG MOSFETs in subthreshold region / Holtij T. et al. // Solid-state electronics. – 2013. – V. 90. – P. 107-115.

34. A two-dimensional gate threshold voltage model for a heterojunction SOI-tunnel FET with oxide/source overlap / Chander S., Baishya S. // IEEE Electron Device Letters. – 2015. – V. 36, No 7. – P. 714-716.

35. 2D and 3D TCAD simulation of III-V channel FETs at the end of scaling / Aguirre P., Rau M., Schenk A. // 2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS).- Granada: IEEE. – 2018. – P. 1-4.

36. TCAD AC analysis of Gate Electrode Workfunction Engineering Silicon Nanowire MOSFET for High Frequency Applications / Neha G., Ajay K., Rishu C. // Advanced Manufacturing, Electronics and Microsystems: TechConnect Briefs.- 2015. – V. 4. – P. 181-184.

37. A TCAD approach to the physics-based modeling of frequency conversion and noise in semiconductor devices under large-signal forced operation / Bonani F. et al. // IEEE Transactions on Electron Devices. – 2001. – V.48, No 5. – P. 966-977.

38. A split-gate positive feedback device with an integrate-and-fire capability for a high-density low-power neuron circuit / Choi K.-B. et al. // Frontiers in neuroscience. – 2018. – V. 12. – 704 p.

39. TCAD Simulations of Nano-scale Functional Neuron MOSFETs with Splitted Gate Bias on Floating Gate / Kong H., Wang G., Sun L. // 2018 14th IEEE

International Conference on Solid-State and Integrated Circuit Technology (ICSICT).- Qingdao: IEEE. – 2018. – P. 1-3.

40. Modeling and design of graphene GaAs junction solar cell / Yawei K. et al. // Advances in Condensed Matter Physics. – 2015. – V. 2015. – P. 1-7.

41. Thermal analysis of AlN/GaN/AlGaN HEMTs grown on Si and SiC substrate through TCAD simulations and measurements / Sahoo A. K. et al. // 2016 11th European Microwave Integrated Circuits Conference (EuMIC).- London: EuMA. – 2016. – P. 145-148.

42. Hardware validated TCAD simulation of polysilicon resistor including trap physics and self-heating / Adari R., Satya S., Prabhu R. D. // 2012 IEEE International Conference on Electron Devices and Solid State Circuit (EDSSC).- Bangkok: IEEE. – 2012. – P. 1-4.

43. Characteristics and mechanism of tunable work function gate electrodes using a bilayer metal structure on SiO₂ and HfO₂ / Lu C.-H., Wong G.M.T., Deal M.D. et al. // IEEE Electron. Dev. – 2005. – V. 26, No 7. – P. 445-447.

44. Metal-dielectric band alignment and its implications for metal gate complementary metal-oxide-semiconductor technology / Yeo Y.-C., King T.-J., Hu C. // J. Appl. Phys. – 2002. – V. 92, No 12. – P. 7266-7271.

45. Design and analysis of high-k silicon nanotube tunnel FET device / A. Singh Chaudhury S.; Pandey C. et al. // IET Circuits Devices Syst. – 2019. – V. 13. – P. 1305-1310.

СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ

МІНІСТЕРСТВО ОСВІТИ І НАУКИ КРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Класичний фаховий коледж

Кваліфікаційна робота бакалавра

**КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ СТРУКТУРИ ТА
ХАРАКТЕРИСТИК ТРАНЗИСТОРІВ НА ОСНОВІ
НАНОДРОТІВ**

Студент гр. ЕІс2-91

В.Г. Микитеню

Науковий керівник,
к. ф.-м. н, доцент

І.П. Бурик

Конотоп 2023

ВСТУП

Обґрунтуванням актуальності теми є потенціал польових транзисторів із каналами на основі нанотрітв для наноелектроніки та їх можливості впливати на покращення продуктивності та функціональності електронних пристроїв.

Мета роботи полягає у розробці та застосуванні комп'ютерних моделей структури та електронних характеристик польових транзисторів із каналами на основі нанотрітв.

Відповідно до мети, вирішувалися такі задачі:

- вивчення моделей, які враховують особливості характеристик польових транзисторів із каналами на основі нанотрітв;

- аналіз температурних залежностей польових транзисторів із каналами на основі нанотрітв кремнію

Для досягнення цієї мети були використані методи комп'ютерного моделювання у програмному середовищі Silvaco TCAD.

У роботі використано комп'ютерне моделювання для аналізу характеристик транзисторів на основі нанотрітв кремнію. Спочатку розроблено комп'ютерну модель, яка описує структуру цих елементів і їх електричні властивості. Далі проведено числове моделювання, використовуючи методи розв'язання диференціальних рівнянь в рамках дрейф-дифузійної моделі.

Об'єкт досліджень: транзистори із каналами на основі нанотрітв.

Предмет досліджень: комп'ютерне моделювання структури та характеристик цих транзисторів.

РОЗДІЛ 1. ОГЛЯД ТЕХНОЛОГІЙ ІНТЕГРАЛЬНИХ СТРУКТУР

1.1. Планарні технології

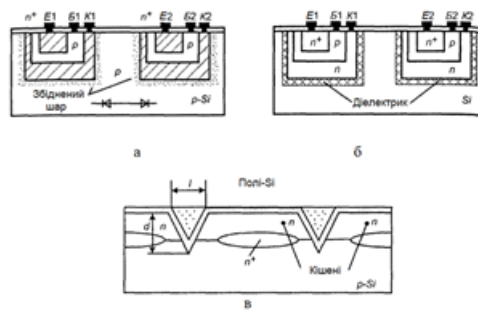


Рис. 1.1. Способи ізоляції транзисторних структур: а – ізоляція р-п-переходом; б – ізоляція діелектриком; в – комбінована ізоляція

1.2. Тривимірні польові транзистори

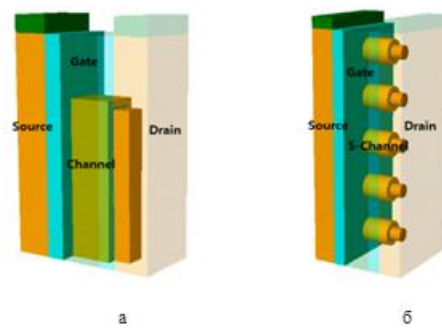


Рис.1.2. Транзисторні структури SOI TG FinFET (а) та SOI GAANWFET (б)

РОЗДІЛ 2 МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика комп'ютерного моделювання в Silvaco TCAD



Рис. 2.1. Методика дослідження в TCAD програмах

2.2. Алгоритм проектування структури та характеристик польових транзисторів із каналом у вигляді нанодротів



Рис. 2.2. Робочі блоки в програмному середовищі Silvaco TCAD

РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура тривимірних польових транзисторів із каналом у вигляді нанодротів

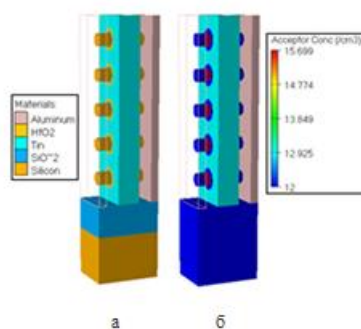


Рис.3.1. Структура GAASi NW FET's з відображенням їх геометрії (а) та розподілу концентрації акцепторної домішки в каналах (б)

3.2. Температурні залежності робочих характеристик

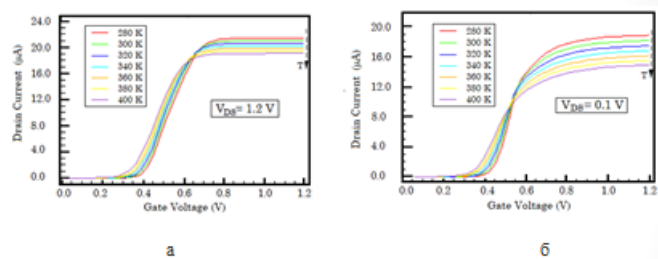


Рис.3.2. Передавальні характеристики для польових транзисторів з каналом у вигляді нанодротів кремнію провідності при фіксованих значеннях напруги витік-стік 1.2 В (а) та 0.1 В (б). Стрілкою вказаний напрям зростання температури

ВИСНОВКИ

1. Проведено аналіз особливостей технологій виготовлення елементів інтегральних мікросхем, показано, що вони технологічно освоєні та широко використовуються в мікро- та нанoeлектроніці.
2. Розглянуто особливості комп'ютерного моделювання структур, технологічних процесів основних електронних компонентів за допомогою програмного середовища Silvaco TCAD. Проведено моделювання структури та вольт-амперних характеристик польових транзисторів із каналом у вигляді нанодротів. Отримані результати моделювання добре узгоджуються з відомими експериментальними даними.
3. Структури польових транзисторів з 5-ма каналами у вигляді нанодротів кремію, легованих азотистою домішкою, були успішно спроектовані та досліджені на вплив температур від 280 K до 400 K на статичні передавальні та інші робочі характеристики. Отримані типові температурні залежності можуть бути пояснені в рамках відомих теорій для польових транзисторів.
4. Запропоновані нами структури демонструють допустимі величини змодельованих електричних параметрів, зокрема підпорогового розкиду (SS), зникнення бар'єру, що індукується стоєм ($DIBL$), сили струму витоку I_{off} та коефіцієнта I_{on}/I_{off} та ін., з цієї причини отримані результати можуть бути застосовані для подальшого дослідження тривимірних польових транзисторів із каналами у вигляді нанодротів. Як приклад при кімнатній температурі 300 K величини V_t та SS відповідно становили 0,39 В та 62,00 mV/decade, величини сил струмів I_{on} , I_{of} та коефіцієнту I_{on}/I_{of} відповідно становили $2,11 \cdot 10^{-5}$ А, $0,53 \cdot 10^{-12}$ А та $40,26 \cdot 10^6$.