

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Сумський державний університет

Факультет електроніки та інформаційних технологій

Кафедра електроніки і комп'ютерної техніки

«До захисту допущено»

Завідувач кафедри ЕКТ

_____ Анатолій ОПАНАСЮК
(підпис) (Ім'я та ПРІЗВИЩЕ)

_____ 2024 р.

КВАЛІФІКАЦІЙНА РОБОТА

на здобуття освітнього ступеня «магістр»

зі спеціальності 171 «Електроніка»

освітньо-професійної програми «Електронні системи»

на тему:

ПРОГРАМОВАНІЙ КОНТРОЛЕР ВВЕДЕННЯ-ВИВЕДЕННЯ ДАНИХ

Здобувача групи ЕС.м-31 _____ Карнача Романа Олександровича

Кваліфікаційна робота містить результати власних досліджень. Використання ідей, результатів і текстів інших авторів мають посилання на відповідне джерело.

(підпис)

_____ Роман КАРНАЧ
(Ім'я та ПРІЗВИЩЕ)

Керівник, зав. кафедри, доктор фіз.-мат.
наук, професор Анатолій ОПАНАСЮК

(підпис)

Консультант з техніко-економічної частини,
доцент, к.е.н., доцент Олександр МАЦЕНКО

(підпис)

Суми – 2024

СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ

Факультет _____ електроніки та інформаційних технологій
Кафедра _____ електроніки і комп'ютерної техніки
Напрямок підготовки _____ 171 «Електроніка»
Освітня програма _____ Електронні системи

ЗАТВЕРДЖУЮ

Зав. кафедрою _____ Опанасюк А. С.

«___» _____ 2024 р.

ЗАВДАННЯ

на кваліфікаційну роботу магістра

Карначу Роману Олександровичу

1. Тема роботи Програмований контролер введення виведення- даних
затверджена наказом по університету «01» жовтня 2024 р. № 1003-VI.

2. Термін здачі студентом завершеної роботи _____

3. Вихідні дані до роботи _____

4. Зміст розрахунково-пояснювальної записки (перелік питань, що належить розробити) 1) Огляд літератури та поставлення задачі роботи. 2) Науково-дослідна частина. 3) Розробка електронної системи з використанням отриманих результатів дослідження. 4) Техніко-економічна частина.

5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень)

1) Схема електрична структурна. 2) Схема алгоритму. 3) Схема електрична функціональна. 4) Схема електрична принципова.

6. Консультанти з кваліфікаційної роботи

Розділи	Консультанти	Завдання видав	Завдання прийняв
Техніко-економічна частина	Маценко О. М.		

7. Дата видачі завдання _____

8. Керівник роботи зав. кафедри, доктор фіз.-мат. наук, професор Анатолій ОПАНАСЮК

9. Завдання прийняв до виконання Карнач Роман Олександрович

КАЛЕНДАРНИЙ ПЛАН

№ п/п	Назва етапів дипломного проекту	Термін виконання етапів роботи	Примітки
1	Огляд літератури та постановка завдання проектування	04.11.24 – 09.11.24	
2	Науково-дослідна частина	10.11.24 – 15.11.24	
3	Розробка алгоритму функціонування та структурної схеми електронної системи	16.11.24 – 20.11.24	
4	Розробка функціональної схеми електронної системи	21.11.24 – 24.12.24	
5	Розробка схеми електричної принципової електронної системи	25.12.24 – 02.12.24	
6	Техніко-економічна частина	03.12.24 – 05.12.24	
8	Оформлення пояснювальної записки	06.12.24 – 08.12.24	
9	Оформлення графічного матеріалу	09.12.24 – 13.12.24	
10	Представлення роботи керівнику і отримання відгуку	14.12.24	
11	Представлення роботи кафедрі для отримання рецензії	15.12.24	

Студент Роман КАРНАЧ

Керівник роботи Анатолій ОПАНАСЮК

« ___ » _____ 2024 р.

РЕФЕРАТ

Записка: 73 сторінок, 21 рисунок, 6 таблиць, 25 джерел.

Тема роботи: «Програмований контролер введення-виведення інформації».

Об'єктом розробки є програмований контролер введення-виведення інформації.

Мета роботи – розробка апаратної частини контролера введення-виведення даних.

Пояснювальна записка складається з п'яти розділів, вступу та висновків.

У першому розділі наданий огляд пристроїв введення-виведення інформації, інтерфейсів для послідовного обміну даними, особливостей проектування засобів введення-виведення даних та було деталізовано завдання проектування.

У другому розділі проводиться опис розроблених схем, вибір елементної бази та її обґрунтування.

У третьому розділі описано методи та етапи розробки програмного забезпечення для контролера введення-виведення даних.

У четвертому розділі описано конструкцію комутатора каналів передачі та розроблено технічну частину проекту.

У п'ятому розділі розраховано повну собівартість пристрою та його ціни.

У висновках наводяться результати розробки програмованого контролера.

Ключові слова: введення-виведення, комутатор, мікросхема, інтерфейс, пристрій.

ЗМІСТ

ПЕРЕЛІК СКОРОЧЕНЬ.....	5
ВСТУП.....	6
1 Огляд літератури та постановка завдання проектування	7
1.1 Призначення та завдання пристроїв введення-виведення.....	7
1.2 Інтерфейси для послідовного обміну даними	8
1.3 Особливості проектування засобів введення-виведення	10
1.4 Постановка завдання проектування.....	21
2 Розробка системи з використанням отриманих результатів дослідження	23
2.1 Розробка структурної схеми комутатора каналів передачі	23
2.2 Розробка алгоритму роботи комутатора каналів.....	28
2.3 Розробка функціональної схеми комутатора каналів передачі	30
2.4 Вибір елементної бази.....	36
2.5 Розробка електричної принципової схеми.....	39
2.5.1 Мікропроцесорний блок	39
2.5.2 Блоки постійної та оперативної пам'яті.....	42
2.5.3 Підсистема послідовного інтерфейсу.....	44
2.5.4 Основні технічні параметри комутатора каналів передачі	47
3 Розробка програмного забезпечення	51
4 Конструкторсько-технічна частина	56
4.1 Конструкція комутатора каналів передачі	56
4.2 Розробка технічної частини	57

					ЕЛІТ 8.171.00.05.421 ПЗ			
Змн	Арк.	№ докум	Підпис	Дата	Програмований контролер введення-виведення даних. Пояснювальна записка	Лит.	Аркуш	Листів
Розроб.		Карнач Р. О.					3	78
Перевір.		Опанасюк А.С.				СумДУ ЕС.м-31		
Реценз.								
Н. Контр.		Кулик І. А.						
Затверд.		Опанасюк А.С.						

5 Економічна частина	59
5.1 Підходи до розрахунку чисельності інженерно- технічного персоналу	59
5.2 Розрахунок повної собівартості комутатора каналів передачі	62
5.3 Розрахунок ціни комутатора каналів передачі	67
ВИСНОВКИ.....	70
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	72
ПЕРЕЛІК ЕЛЕМЕНТІВ	74

					ЕлІТ 8.171.00.05.421 ПЗ			
<i>Змн</i>	<i>Арк.</i>	<i>№ докум</i>	<i>Підпис</i>	<i>Дата</i>				
<i>Розроб.</i>	<i>Карнач Р. О.</i>				<i>Програмований контролер введення-виведення даних. Пояснювальна записка</i>	<i>Лит.</i>	<i>Аркуш</i>	<i>Листів</i>
<i>Перевір.</i>	<i>Опанасюк А.С.</i>						4	78
<i>Реценз.</i>						СумДУ ЕС.м-31		
<i>Н. Контр.</i>	<i>Кулик І. А.</i>							
<i>Затверд.</i>	<i>Опанасюк А.С.</i>							

ПЕРЕЛІК СКОРОЧЕНЬ

ВІС – велика інтегральна система
ВВ – введення-виведення
ЗП – запам'ятовуючий пристрій
ІМС – інтегральна мікросхема
КВВ – канал введення-виведення
МП – мікропроцесор
МПБ – мікропроцесорний блок
МПК – мікропроцесорний комплект
БСШ – багатокористувацька системна шина
ОЗП – оперативний запам'ятовуючий пристрій
ОП – основна пам'ять
ОСШ - однокористувацька системна шина
ОПР – охорона праці
ПЗП – постійний запам'ятовуючий пристрій
ПЗ – програмне забезпечення
ДП – друкована плата
ППП – програмований паралельний інтерфейс
ПП – периферійний пристрій
СА – селектор адреси
СК – селекторний канал
ПВВ – пристрій введення-виведення
КС – керуюче слово
УСАПП - універсальний синхронно-асинхронний приймопередавач
ЛІЗ – ланцюг інтерфейсного зв'язку
ЦП – центральний процесор
НС – надзвичайна ситуація
ША – шина адреси

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		5

ВСТУП

Передача інформації на сьогодні здійснюється переважно в цифровій формі. Такий спосіб передачі повідомлень має низку переваг у порівнянні з аналоговим: підвищення точності передачі та обробки сигналів, що не залежить від схемних і технологічних рішень апаратури; інтеграція каналів електрозв'язку, джерел і отримувачів повідомлень, яка дозволяє проектувати розвинені мережі зв'язку завдяки уніфікації методів передачі, обробки та розподілу інформації шляхом використання однотипних цифрових сигналів та багаторазового доступу до передавального середовища; можливість забезпечення прихованості передачі за допомогою кодового шифрування повідомлень; нечутливість цифрових каналів до ефекту накопичення спотворень при ретрансляціях; розвиток систем зв'язку, які забезпечують ефективне використання дорогих комунікаційних ресурсів; гнучкість організації цифрових засобів передачі та обробки даних, яка допускає використання мікро-ЕОМ, мікросхем із високим ступенем інтеграції.

У вирішенні такої задачі, як передача інформації між різними кінцевими пристроями, ключова роль відводиться процедурі комутації потоків даних від різних кінцевих пристроїв. Важливу роль при цьому відіграють інтерфейси, які дозволяють:

- забезпечити спільне функціонування модулів автоматизованих систем як єдиного цілого;
- організувати взаємодію різних систем між собою;
- спростити процедури обміну інформацією автоматизованих систем і пристроїв із зовнішніми пристроями (ЗП).

Побудова ефективного програмованого комутатора каналів передачі інформації можлива на основі програмно-керованих великих інтегральних схем (ВІС) – послідовних універсальних синхронно-асинхронних приймопередавачів (УСАПП) під керуванням мікропроцесорів або мікроконтролерів.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		6

1 ОГЛЯД ЛІТЕРАТУРИ ТА ПОСТАНОВКА ЗАВДАННЯ ПРОЕКТУВАННЯ

1.1 Призначення та завдання пристроїв введення-виведення

Взаємодія між обчислювальними системами та периферійними пристроями (ПП), а також іншими ЕОМ, здійснюється через програмно-керовані інтерфейсні мікросхеми – контролери. Усі елементи таких систем об'єднуються у визначену структуру за допомогою каналів передачі сигналів. Ці канали повинні відповідати трьом ключовим вимогам сумісності: функціональній, електричній та механічній.

Функціональна сумісність передбачає обмін сигналами управління та синхронізації між пристроями для забезпечення правильного обміну даними. Електрична сумісність означає, що передавальні та приймальні пристрої повинні мати схеми, які забезпечують передачу та прийом сигналів визначеного рівня потужності. Механічна сумісність досягається завдяки використанню уніфікованих конструкцій, таких як певні типи роз'ємів, кабелів тощо.

Складність функцій, які покладаються на інтерфейси, стала причиною їхньої стандартизації. Стандартизація є важливим аспектом розвитку систем управління та збору даних, оскільки дозволяє легко інтегрувати широкий спектр стандартних периферійних пристроїв.

Під стандартним інтерфейсом розуміється набір уніфікованих апаратних, програмних і конструктивних засобів, які забезпечують взаємодію різних компонентів системи згідно зі стандартами, що регламентують інформаційну, електричну та механічну сумісність, включаючи навантажувальну здатність ліній та маркування контактів роз'ємів.

Операції вводу-виводу, як правило, пов'язані з використанням повільніших пристроїв порівняно з процесором. Це призводить до того, що їх виконання займає значно більше часу. Одним із важливих завдань при розробці систем є підвищення ефективності обчислювальних ресурсів. Це досягається такими методами:

- Збільшенням швидкодії пристроїв, які беруть участь в операціях обміну даними;
- Одночасним виконанням операцій обробки даних та операцій вводу-

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		7

виводу;

- Паралельною роботою кількох операцій вводу-виводу, особливо у випадках, коли пристрої відрізняються за швидкодією;
- Інтеграцією обробки даних із виконанням операцій вводу-виводу.

Сучасні обчислювальні засоби володіють розвинутими системами вводу-виводу, які забезпечують одночасне виконання операцій обробки та обміну даними. Незалежно від призначення та класу обчислювальної техніки, такі системи мають загальні риси.

Основними функціями пристроїв вводу-виводу є:

- Забезпечення логічного зв'язку між центральними пристроями та периферійними пристроями під час передачі даних;
- Управління автономною роботою периферійних пристроїв;
- Буферизація даних та зміна їх форматів під час обміну;
- Контроль достовірності переданої інформації;
- Визначення адрес внутрішньої пам'яті для запису або читання даних;
- Генерація сигналів синхронізації та управління;
- Завершення операцій вводу-виводу та відключення периферійних пристроїв.

У процесі обміну даними між пам'яттю та периферійними пристроями пристрої вводу-виводу формують та передають управляючу інформацію, яка включає тип операції, адресу периферійного пристрою, адресу внутрішньої пам'яті або даних.

Обсяг і структура такої управляючої інформації залежать від специфіки пристроїв. Однак модульний принцип організації систем вводу-виводу передбачає уніфікацію цього процесу, щоб інформація передавалась у стандартному вигляді, а розшифровка здійснювалась схемами управління периферійних пристроїв.

1.2 Інтерфейси для послідовного обміну даними

У таблиці 1.1 наведено найбільш поширені фізичні інтерфейси, що застосовуються для організації послідовного обміну інформацією.

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		8

Таблиця 1.1 – Основні характеристики інтерфейсів послідовного зв'язку

[3, 4]

Параметр	RS-232	RS-423	RS-422	RS-485
Режим роботи	Односпря- мований	Односпря- мований	Диферен- ційний	Диферен- ційний
Загальна кількість приймачів/ передавачів на одній лінії	1/1	1/10	1/10	1/32
Максимальна довжина лінії, м	15	1200	1200	1200
Максимальна швидкість передачі даних	1,5 Мбіт/сек	100 Кбіт/сек	10 Мбіт/сек	10 Мбіт/сек
Максимальна вихідна напруга передавача, В	±25	±6	-0,25...+6	-7...+12
Вихідна напруга: -навантаженого передавача, В -ненавантаженого передавача, В	±5...±15 ±25	±3,6 ±6	±2 ±6	±1,5 ±6
Опір лінії, Ом	3...7 кОм	450	100	54
Максимальний вихідний струм у Z-стані: - при ввімкненому живленні - при вимкненому живленні	*n/a ±6 мА (±2 В)	n/a ±100 мкА	n/a ±100 мкА	±100 мкА ±100 мкА
Максимальна швидкість наростання вихідного сигналу	308 В/мкс	Регулює- ться	n/a	n/a
Діапазон вхідної напруги приймача, В	±15	±12	-10...+10	-7...+12
Чутливість приймача	±3 В	±200 мВ	±200 мВ	±200 мВ

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		9

Параметр	RS-232	RS-423	RS-422	RS-485
Вхідний опір приймача, кОм	3...7	≥ 4	≥ 4	≥ 12

*n/a – дані не знайдено

Інтерфейс «тактова петля» або радіальний послідовний інтерфейс (РПІ) дозволяє виконувати асинхронну послідовну передачу та прийом даних за допомогою чотирипровідної лінії зв'язку, де два проводи використовуються для кожного напрямку передачі (кручена пара).

Інтерфейс RS-232C, також відомий як роз'єм C2, застосовується для асинхронного обміну інформацією через різноманітні канали. Спочатку його було створено для підключення обладнання до пристроїв передачі даних через телефонні лінії (наприклад, модеми). Повна специфікація інтерфейсу включає 25 однонаправлених ліній, однак на практиці більшість термінальних пристроїв використовує лише три-п'ять основних. Серед таких – лінії передачі й прийому даних, сигнали запиту передачі, готовності приймача, синхронізації, а також заземлення. Швидкість передачі інформації обмежена до 20 Кбіт/с, з типовими значеннями 50, 75, 110, 150, 300, 600, 1200, 2400, 2800, 9600 і 19200 біт/с. Логічна одиниця відповідає напрузі від -3 до -15 В, тоді як логічний нуль – від +3 до +15 В. Такі нестандартні для інтегральної схемотехніки рівні сигналів зумовили розробку стандартів RS-422 і RS-423, які повністю сумісні за функціями з RS-232C, але адаптовані для роботи з транзисторно-транзисторною логікою. Крім того, був створений стандарт RS-499, що є розширеною версією RS-232C і забезпечує швидкість передачі даних до 2 Мбіт/с.

1.3 Особливості проектування засобів введення-виведення

З точки зору ПБВ, будь-який периферійний пристрій розглядається як генератор (або споживач) квантів даних $[D_i]$, який може запускатися сигналами $[C_i]$ від керуючих компонентів ПБВ і передавати інформацію про свій стан через сигнали $[S_i]$. Це представлено на рисунку 1.1 [1, 3].

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		10

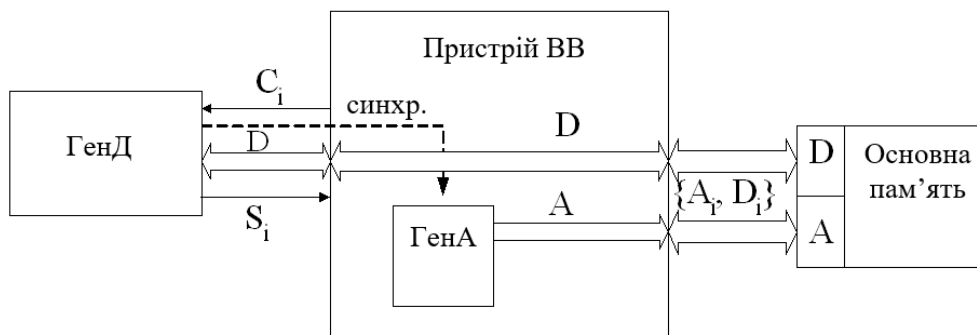


Рисунок 1.1 – Узагальнена структура каналу

Інтервали формування послідовних квантів інформації у таких генераторах, як і самі кванти інформації та даних, значно відрізняються від тривалості інтервалів обробки даних центральним процесором (ЦП). У зв'язку з цим основні завдання ПВВ можна визначити наступним чином:

- перетворення квантів (або форматів) інформації, отриманих від периферійного пристрою при вводі, у формати, що підтримуються ЦП та оперативною пам'яттю (ОП), і зворотне перетворення під час виводу;
- визначення адреси в оперативній пам'яті, куди слід помістити сформований квант даних під час вводу або звідки він має бути зчитаний під час виводу, тобто генерація актуальної адреси ОП (генератор адрес $[A_i]$) синхронно з кожним квантовим імпульсом $[D_i]$, сформованим у пристрої;
- створення керуючих сигналів $[C_i]$ для роботи периферійного пристрою в різних режимах, вибір типу операції, що виконується, тощо;
- обробка сигналів $[S_i]$, що відображають стан периферійного пристрою та його готовність до виконання визначених операцій;
- отримання команд від центрального процесора для виконання операцій вводу-виводу та передача повідомлень про стан ПВВ;
- синхронізація роботи ЦП та периферійного пристрою, узгодження швидкості їх взаємодії.

Сучасна система вводу-виводу зазвичай складається з таких рівнів ієрархії: ЦП (або ЦП у парі з контролером прямого доступу до пам'яті) – ПВВ (контролер вводу-виводу) – периферійний пристрій. Водночас функціонал обміну між процесором і контролером ПВВ обмежується трьома основними режимами:

- читання даних із доступних елементів контролера ПВВ (реєстрів,

тригерів, внутрішніх точок тощо) як із комірок пам'яті;

- запис даних у доступні елементи контролера аналогічно до запису в пам'ять;
- виклик переривання основної програми за сигналом від контролера та перехід до режиму обслуговування цього контролера.

Такий підхід значно спрощує процес проектування контролерів ПВВ.

За способом передачі інформації контролери ПВВ поділяються на синхронні та асинхронні. Синхронний режим застосовується рідко й переважно у випадках, коли процеси чітко визначені та жорстко регламентовані у часі. Під час такого обміну як периферійний пристрій, так і ЦП (або контролер прямого доступу до пам'яті) мають бути готові до взаємодії. Синхронізація здійснюється через єдиний центральний блок управління, а обмін даними відбувається через внутрішній буфер арифметико-логічного пристрою. Структура системи із централізованим синхронним управлінням наведена на рисунку 1.2 [1].

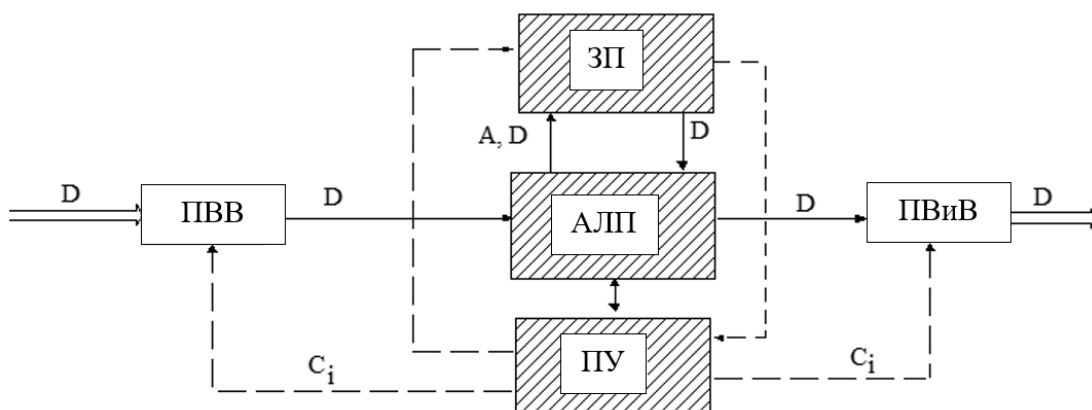


Рисунок 1.2 – Загальна структура синхронного контролера ВВ

Обробна (центральна) частина машини позначена штрихуванням, а зв'язки для передачі даних і адрес показані суцільними лініями. Зв'язки для передачі команд і керуючих символів зображені пунктирними лініями.

У разі централізовано-синхронного управління всі процеси обробки та вводу-виводу виконуються послідовно. Тобто під час виконання операцій вводу-виводу всі інші обробні операції зупиняються, а перехід до виконання наступної команди обробки можливий лише після завершення всіх дій, пов'язаних із передачею даних. У наборі команд машини повинні бути спеціальні інструкції для

виконання операцій вводу-виводу, що враховують особливості роботи конкретних пристроїв вводу (ПВв) і виводу (ПВив). Одна команда відповідає передачі одного інформаційного блоку. Якщо необхідно передати масив даних, організовуються циклічні програми.

Оскільки пристрої, що беруть участь в операціях вводу-виводу, мають різну швидкодію, тривалість однієї операції вводу-виводу визначається найповільнішим з них (зазвичай це периферійний пристрій – ПУ) і значно перевищує час передачі даних між контролером вводу-виводу та центральним процесором або оперативною пам'яттю. Тривалість розв'язання задачі для такої ЕОМ з одним каналом обчислюється за формулою:

$$T_p = (\alpha_a T_a + \alpha_{\text{ВВ}} T_{\text{ВВ}}) \cdot n \quad (1.1)$$

де α_a – частка арифметико-логічних операцій, що виконуються під час перетворення адреси оперативної пам'яті в процесі передачі даних;

T_a – середній час виконання обробних операцій;

$\alpha_{\text{ВВ}}$ – частка операцій вводу-виводу між периферійним пристроєм і контролером вводу-виводу;

$T_{\text{ВВ}}$ – середній час виконання операцій вводу-виводу;

n – загальна кількість команд у програмі.

Тривалість виконання завдання безпосередньо залежить від швидкодії використовуваних пристроїв та частки операцій вводу-виводу. Централізовано-синхронний принцип управління характеризується меншими апаратними витратами й зазвичай застосовується в ЕОМ для наукових обчислень.

Асинхронний обмін, схематично показаний на рисунку 1.3, застосовується досить часто. Його виконання контролюється програмою, однак обмін даними відбувається лише за умови готовності зовнішнього пристрою. Для перевірки стану пристрою використовується спеціальна команда. Процесор аналізує отриману інформацію та приймає рішення. Якщо пристрій не готовий, процесор повертається до перевірки готовності, і цей цикл триває до моменту, коли пристрій стане готовим. Після цього процесор розпочинає передачу даних.

Обмін даними за допомогою переривань дозволяє значно підвищити ефективність використання машинного часу. У цьому випадку обмін

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		13

здійснюється під керуванням програми центрального процесора (або контролера прямого доступу до пам'яті), але ЕОМ не витрачає ресурси на постійне опитування стану пристрою. Натомість виконується фоновий процес (наприклад, обробка отриманих даних, підготовка нових або інші завдання). Коли зовнішній пристрій готовий до обміну, він подає сигнал переривання, який змушує процесор припинити виконання фонові програми та перейти до передачі даних. Цей процес схематично зображено на рисунку 1.4. Після завершення передачі управління повертається до фонового завдання.

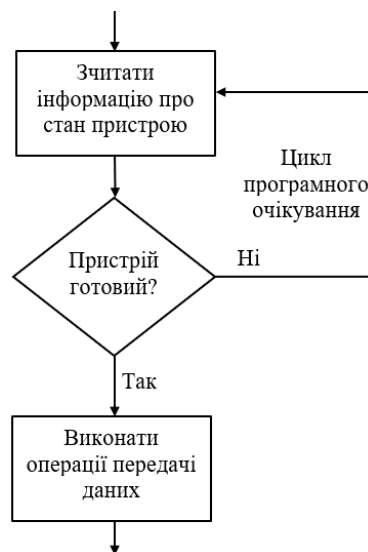


Рисунок 1.3 – Алгоритм роботи асинхронного контролера

Таким чином, якщо в системі реалізовано автономне управління роботою ПУ, участь ЦП у процесі обміну інформацією з ПУ може бути зведена до мінімуму, обмежуючись лише короткими тактами передачі, які є суттєво меншими за час, необхідний для підготовки (тобто для накопичення даних у буфері КВВ) [1, 2].

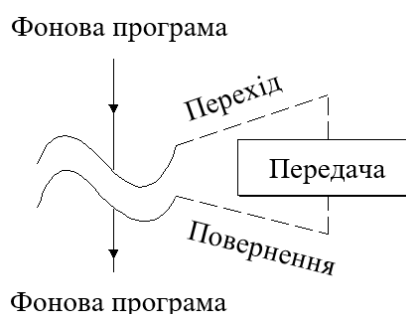


Рисунок 1.4 – Передача даних з перериванням

На рис. 1.5 зображено приклад часової діаграми, що ілюструє паралельну роботу ЦП та КВВ. Діаграма описує функціонування багатьох багатопортових ПВВ [1, 2, 3]. Контролер розпочинає свою роботу після отримання сигналу запуску (або відповідних команд ініціалізації), після чого функціонує автономно.

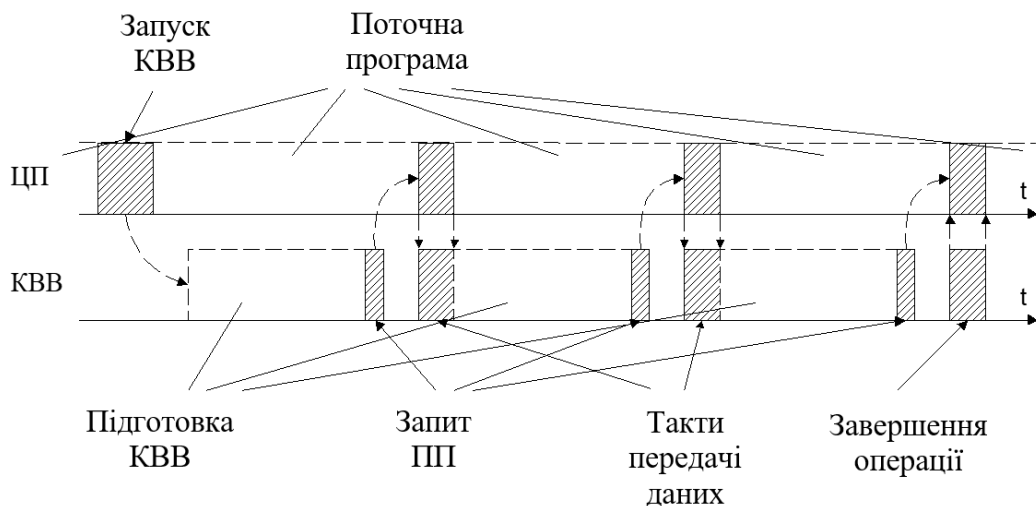


Рисунок 1.5 – Часова діаграма паралельної роботи ЦП та одного КВВ

На першому етапі КВВ надсилає запит до ЦП, у відповідь на який центральний процесор тимчасово призупиняє виконання програми для обробки підготовленого блоку даних. По завершенні роботи пристрій може відправляти сигнал про завершення або передача управління переходить на сторону ЦП, де приймається рішення про подальші дії. Паралельна взаємодія між ЦП і КВВ відбувається під час підготовки блоку даних у КВВ. У моменти передачі даних обидва пристрої працюють спільно, тому для їх синхронізації використовується механізм переривань.

Тривалість виконання завдання за умов паралельного оброблення та введення-виведення може бути оцінена наступним чином [1]:

$$T_p = (\alpha_a T_a + \alpha_{\text{ВВ}}(1 - K_n) T_{\text{ВВ}}) \cdot n \quad (1.2)$$

де K_n – коефіцієнт перекриття, або співпадіння під час операцій обробки та ВВ характеризує, яку частину циклу процесор та ВВ можуть виконувати незалежно. Якщо немає перекриття, тобто операції виконуються послідовно, коефіцієнт дорівнює 0. Якщо ж перекриття

повне, тобто операції обробки та ВВ виконуються абсолютно незалежно і не впливають одна на одну, коефіцієнт дорівнює 1.

У реальних обчислювальних системах коефіцієнт паралельності роботи ЦП та ПП може варіюватися в межах від 0 до 1 залежно від умов і способу їх реалізації. Для збільшення цього коефіцієнта необхідно виконати такі умови [1, 2]:

- управління квантами вхідної та вихідної інформації повинно здійснюватися незалежними схемами, які працюють автономно від ЦП;
- в обчислювальній системі повинні бути передбачені засоби зв'язку для передачі квантів інформації між вхідними/вихідними пристроями та оперативною пам'яттю, обминаючи арифметико-логічне підсистему, тобто засоби прямого доступу до пам'яті;
- необхідно забезпечити засоби синхронізації паралельного виконання асинхронних процесів обробки в центральних пристроях та підготовки квантів інформації в периферійних пристроях;
- протягом всього процесу вводу/виводу ЦП має бути зайнято обробкою даних, щоб затримки не виникали через нестачу вихідних даних або команд.

Структура комп'ютерної системи з асинхронним паралельним виконанням обробки та вводу/виводу представлена на рисунку 1.6. Вона включає додаткові тракти передачі даних між вхідними/вихідними пристроями та пам'яттю, що дозволяє здійснювати обмін без проходження через арифметико-логічне підсистему. Управління роботою периферійних пристроїв, формування поточних адрес та запитів до пам'яті відбувається через спеціалізовані схеми управління (канал вводу/виводу), які взаємодіють із ЦП через систему переривань [1, 2].

Усі вищезгадані умови стосуються швидкого СК. У СК може виконуватися лише одна програма, тобто канал обслуговує тільки одне периферійне пристрій, хоча фізично до нього може бути підключено кілька ПУ через інтерфейс вводу/виводу. Мультиплексний канал здатний обробляти кілька програм в режимі поділу часу, але передача кожного блоку даних між оперативною пам'яттю та квантами інформації повинна здійснюватися в монопольному режимі, тобто передача квантів від контролера вводу/виводу не може бути перервана для обслуговування інших каналів вводу/виводу [1, 2, 5].

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		16

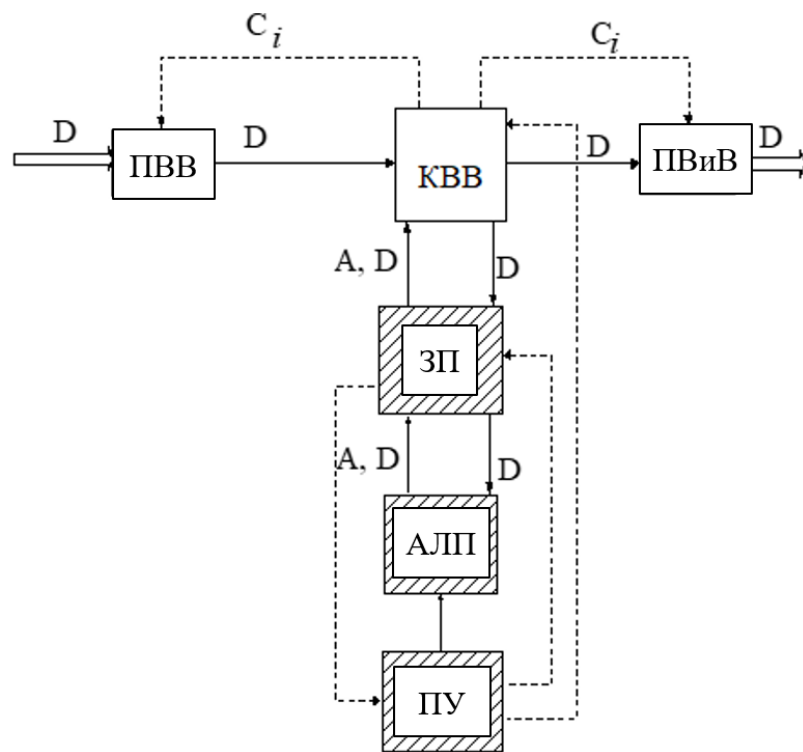


Рисунок 1.6 – Загальна структура асинхронного контролера (АЛП – арифметико-логічний пристрій)

Згідно з принципом функціонування, загальну структуру ПВВ можна уявити таким чином (рис. 1.7) [1, 2].

Проблема складності управління взаємодією ЦП і ОП з ПУ вирішується за допомогою буферизації та децентралізації. Це пояснюється, зокрема, тим, що пристрій управління (ПУ) працює синхронно з процесором, тоді як ПУ не синхронізовані між собою.

ПУ взаємодіє з усіма ПУ через серію стандартних сигналів. Зв'язок з кожним ПУ здійснюється через внутрішній інтерфейс. В межах цього інтерфейсу з функціональної точки зору виділяють лінії передачі інформації; лінії ідентифікації (що саме передається і від кого); керуючі лінії (яке ПУ обробляється каналом); а також спеціальні лінії.

Для зменшення кількості переривань та зупинок в КВВ активно застосовується буферизація. У найпростішому випадку буферизація забезпечується об'єднанням отриманих від пристроїв вводу бітів даних у машинні слова (наприклад, по 2, 4 або 8 байт) перед передачею до ОП. Використання буферних регістрів знижує ймовірність втрати інформації, дозволяючи збільшити допустимий час очікування під час доступу до ОП.

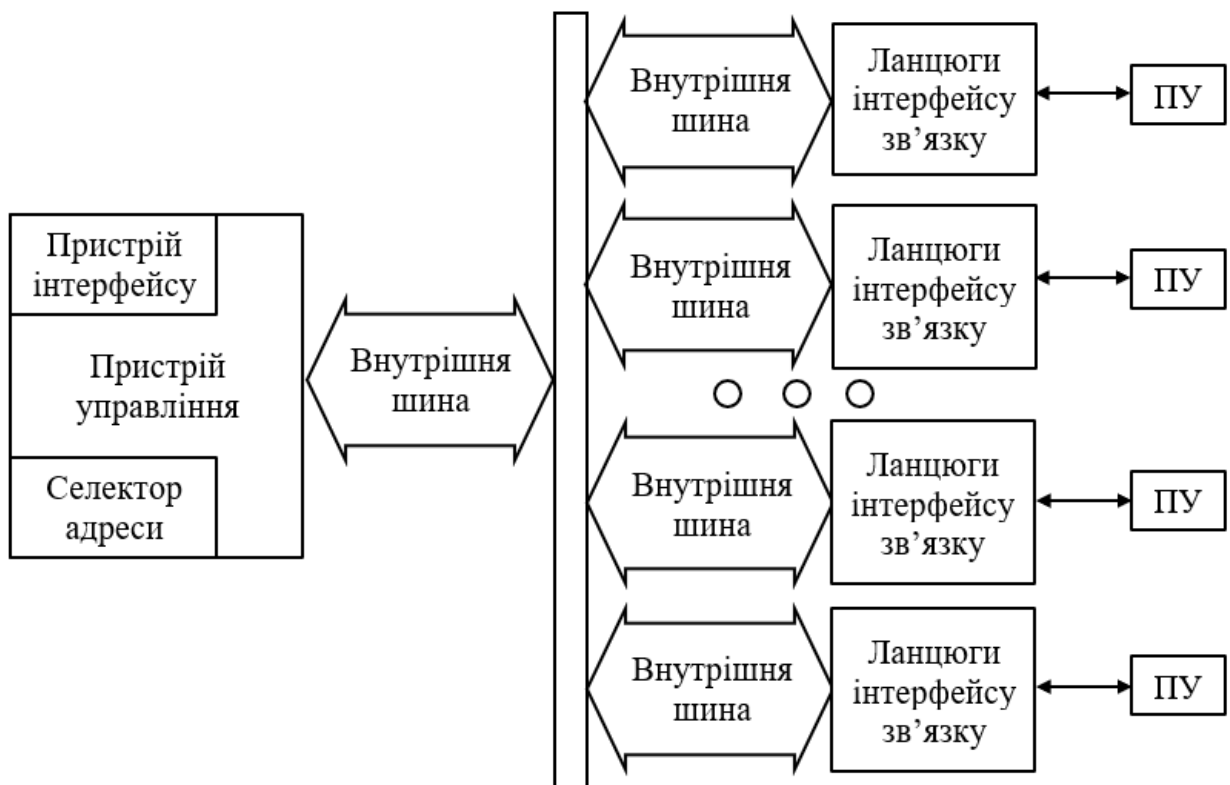


Рисунок 1.7 – Структурна схема обміну ОП з різними ПУ

Децентралізація передбачає введення між ОП та ПВВ посередників, таких як інтерфейсні зв'язки (ІЗ) і керуючі пристрої (КП).

Керуючі пристрої зосереджують універсальні функції, необхідні для виконання операцій вводу-виводу. У деяких випадках ці функції реалізуються за допомогою автономного обладнання, спеціально призначеного для керування пристроями вводу-виводу. У такій конфігурації досягається одночасне виконання операцій вводу-виводу та роботи ЦП. При цьому операції вводу-виводу використовують лише ті цикли роботи ОП, які потрібні для передачі даних чи команд в пам'ять або з неї. Це майже не впливає на роботу програм, за винятком ситуацій, коли ОП використовується одночасно ЦП і КП.

Інтерфейсні зв'язки мають необхідні логічні можливості для управління роботою пристроїв вводу-виводу та узгодження їх характеристик із загальноприйнятими стандартами. У результаті будь-який сигнал, що надходить із каналу, доступний для КП, але одночасно з каналом логічно може працювати лише одна інтерфейсна схема. ІЗ декодує команди від ЦП, адаптує їх для конкретного типу пристрою вводу-виводу та створює послідовність сигналів для

виконання операції. У випадках, коли пристрої мають власні формати даних, ІЗ може бути доповнена логічними перетворювачами (адаптерами), які набули широкого застосування.

Детальніше розглянемо функції інтерфейсних схем для розробленого блоку вводу-виводу. Дані між двома абонентами передаються послідовністю бітів. Водночас у самому передавачі/приймачі дані обробляються та накопичуються у паралельній формі. Тому система вводу-виводу повинна виконувати такі функції:

- перетворення даних із паралельної форми у послідовну для передачі по каналу зв'язку;
- зворотне перетворення даних із послідовної форми у паралельну для подальшого збереження й обробки;
- забезпечення побітової та посимвольної синхронізації;
- генерація контрольних розрядів для виявлення помилок.

Для таких задач сьогодні широко використовуються спеціалізовані інтегральні схеми. Схема простого з'єднання двох абонентів зв'язку наведена на рисунку 1.8.

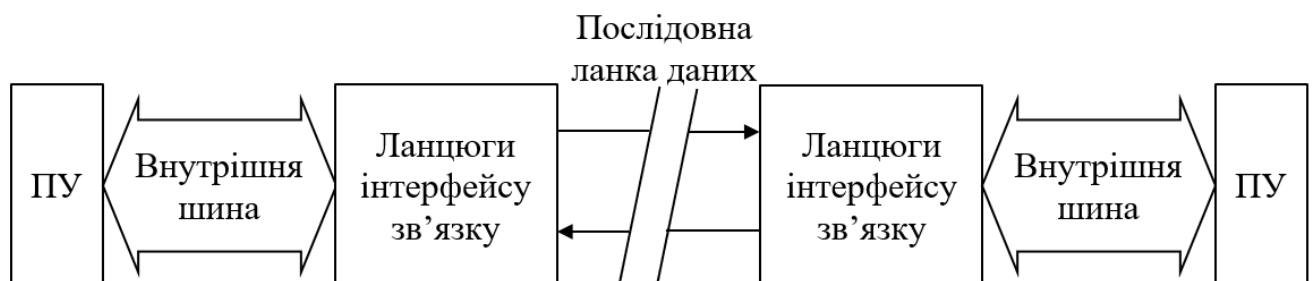


Рисунок 1.8 – Простий двосторонній зв'язок

Лінії, які забезпечують асинхронну передачу, називаються універсальними синхронно-асинхронними приймально-передавальними пристроями (УСАПП). Їх називають універсальними, оскільки вони є програмованими пристроями. За допомогою керуючого слова (шаблону бітів) можна задавати основні параметри їхньої роботи, такі як кількість бітів для одного символу (5, 6, 7, 8 або 9), тип перевірки парності, кількість стоп-бітів, швидкість передачі (від 50 біт/с до 1,5 Мбіт/с).

ЦП, що входить до складу обладнання, стежить за станом УСАПП через спеціальні реєстри стану, аналізуючи їхні прапори. Передача нового символу розпочинається після перевірки, чи буфер передачі порожній. Якщо так, символ завантажується у буфер, передається до реєстра, а потім – у канал зв'язку. Схеми управління автоматично обчислюють біт парності/непарності, якщо такий режим увімкнений. Подібні дії відбуваються і під час прийому даних, при цьому приймальний УСАПП повинен бути налаштований аналогічно передавальному.

Для роботи з таким пристроєм спочатку необхідно записати в реєстр режиму (керуючий реєстр) бітовий шаблон, який визначає потрібні параметри функціонування. Зазвичай користувач може задати кількість бітів (5, 6, 7, 8 або 9) для кодування символу, обрати тип перевірки парності (на парність чи непарність), кількість стоп-бітів, а також швидкість передачі та прийому даних. Швидкість задається в межах стандартного діапазону – від 50 біт/с до 1,5 Мбіт/с. Для цього використовується генератор тактових імпульсів з відповідною частотою, а потрібне співвідношення між тактовою частотою та швидкістю передачі встановлюється в керуючому слові.

Процесор, що входить до складу термінального обладнання, відстежує стан пристрою через зчитування вмісту реєстру стану. У реєстрі містяться спеціальні біти, які часто називають прапорами. Передача нового символу розпочинається з перевірки стану буфера передачі. Якщо біт «буфер передачі порожній» має значення логічної одиниці (істина), це означає, що попередній символ вже передано з буфера в реєстр передачі, звідки він послідовно передається в лінію зв'язку, і буфер готовий для прийому нового символу. Після цього керуюча схема завантажує символ у буфер, а коли передача попереднього символу завершиться (разом із передачею стоп-бітів), символ із буфера переміщується в реєстр передачі.

При кожному завантаженні символу в буфер передачі біт "буфер передачі порожній" змінює значення на логічний нуль (хибність). Коли черговий символ передається з буфера, цей біт знову стає логічною одиницею, дозволяючи завантажувати новий символ. Якщо активовано режим перевірки парності, керуюча схема автоматично додає відповідний біт парності/непарності. Далі, після завершення формування символу (дані + біт парності + стоп-біти), він послідовно передається в лінію зі швидкістю, яку задають тактові імпульси.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		20

Щоб приймати символи, приймальний пристрій також потрібно налаштувати відповідно до параметрів передаючого пристрою. Під час виявлення першого спадного переходу сигналу (з 1 на 0) на вході, який може з'являтися через нерегулярні інтервали між символами, тактові схеми приймача синхронізуються. Після прийняття стоп-біта виконується перевірка стану лінії, і відповідне слово записується в реєстр приймача.

1.4 Постановка завдання проектування

Аналіз літературних джерел показує, що одним із ключових напрямків розвитку виробничих комплексів автоматизації та управління є створення ПБВ. При цьому зростає потреба у:

- збільшенні кількості портів введення-виведення;
- збільшенні довжини лінії зв'язку між ПУ та ПБВ;
- підвищенні швидкості обміну даними між ПУ та ПБВ;
- зростанні швидкості передачі даних між ПБВ і центральним процесором (ЦП);
- уніфікації використовуваних інтерфейсів, системних шин та протоколів обміну даними.

У зв'язку з цим виникає актуальна задача створення програмованого комутатора каналів передачі інформації для застосування у вузлах введення-виведення, який забезпечував би такі функціональні можливості:

- обмін інформацією за чотирма напрямками;
- трансформацію формату даних;
- підтримку різних режимів організації передачі;
- роботу у складі зовнішньої системи управління.

До основних технічних вимог до комутатора каналів передачі інформації належать:

- наявність чотирьох асинхронних послідовних портів із підтримкою симплексного та мультиплексного режимів роботи;
- розрядність передаваних повідомлень — 8 біт;
- швидкість передачі даних у послідовному режимі — 19200 біт/с;
- довжина послідовної лінії зв'язку — не більше 15 м;

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		21

- розрядність системної багатокористувацької шини даних — 8 біт;
- сумісність із багатокористувацькою системною шиною, що включає 16-розрядну шину адреси та 8-розрядну шину даних.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
<i>Змін.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		22

2 РОЗРОБКА СИСТЕМИ З ВИКОРИСТАННЯМ ОТРИМАНИХ РЕЗУЛЬТАТІВ ДОСЛІДЖЕННЯ

2.1 Розробка структурної схеми комутатора каналів передачі

Відповідно до технічного завдання, розроблюваний комутатор каналів повинен вирішувати кілька ключових завдань. Його основною функцією є переадресація потоків даних, а також налаштування режимів і протоколів обміну, хоча ці аспекти виходять за межі обсягу дипломної роботи. Комутатор має забезпечувати асинхронну послідовну передачу даних через чотири порти і взаємодію із зовнішньою мікропроцесорною системою через багатокористувацьку інтерфейсну шину розширення. Реалізація комутатора базується на мікропроцесорній архітектурі з використанням програмно-керованих інтегральних схем для організації послідовних портів. [2, 6, 7]

Застосування мікропроцесорів або мікроконтролерів у структурі комутатора надає значні переваги. Такий підхід забезпечує високу гнучкість, оскільки логіка роботи та обмін даними визначаються програмним забезпеченням, що спрощує внесення змін у характеристики пристрою. Виробництво таких комутаторів є менш затратним, оскільки мікропроцесор замінює значну кількість окремих інтегральних схем, що зменшує кількість з'єднань, друкованих плат і конструктивних елементів. Крім того, час розробки істотно скорочується завдяки простоті модифікації системи, а зменшення кількості з'єднань підвищує її надійність.

Проектування комутатора каналів здійснюється на основі загальних принципів, які застосовуються в мікропроцесорних системах. До них належать модульність, регулярність структури та використання магістральної організації обміну даними. Модульність передбачає побудову пристрою з функціонально завершених блоків, які можуть виконувати як обчислювальні, так і комунікаційні завдання. При цьому передбачається наявність універсального блоку на основі мікропроцесора, який відповідає за стандартні обчислення, налаштування режимів роботи, а також перетворення даних між форматами.

Регулярність структури забезпечується використанням різних типів пам'яті, зокрема постійної пам'яті для програм, оперативної пам'яті для даних, реєстрової

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		23

пам'яті для швидкодоступних операцій, а також стандартних інтерфейсів для взаємодії блоків. Магістральна організація внутрішнього обміну впорядковує взаємодію між компонентами за допомогою трьох основних шин: даних, адреси та керувальних сигналів. Така організація дозволяє зменшити складність з'єднань і підвищити узгодженість роботи системи.

Загалом, структура комутатора каналів реалізується як тримагістральна модульна система, в якій внутрішні шини забезпечують взаємодію між блоками. Це вимагає застосування буферних вузлів із трьома стабільними станами, а також використання мультиплексування для організації обміну даними у внутрішніх каналах. Усі ці підходи спрямовані на забезпечення регулярності та надійності системи.

У відповідності до поставлених завдань, комутатор каналів поділяється на три основні підсистеми: універсальну підсистему для обробки даних і організації обміну, спеціалізовану підсистему для чотирьохпортового послідовного інтерфейсу та підсистему для взаємодії з багатокористувацькою системною шиною. Універсальна підсистема, побудована на базі мікропроцесора, виконує ключові функції: організацію обміну даними із центральним процесором через шину, взаємодію з периферійними пристроями, зберігання програмного коду та даних, а також налаштування режимів і протоколів роботи з периферією.

Структурна схема комутатора наведена на рис. 2.1.

Універсальна підсистема обробки даних на основі мікропроцесора забезпечує такі функції:

- організація обміну із центральним процесором через підсистему БСШ;
- взаємодія з периферійними пристроями та передача керування контролерам;
- зберігання даних і програмного коду;
- налаштування режимів та протоколів роботи з периферійними пристроями.

Відповідно до поставлених задач, склад функціонально завершених блоків підсистеми обробки даних та організації обміну визначається таким чином:

- мікропроцесорний блок 2;
- блок постійної пам'яті 4;
- блок оперативної пам'яті 7.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		24

Мікропроцесорний блок 2 виконує основні функції, пов'язані з обробкою даних та організацією обміну інформацією. Він забезпечує управління процесами обміну між комутатором каналів і ПУ, а також між комутатором каналів і центральним процесором (ЦП). Використання мікропроцесора сприяє підвищенню універсальності пристрою, а також скорочує час на його розробку.

Блок постійної пам'яті зберігає програму, яка визначає функціональні можливості комутатора каналів, підпрограми ініціалізації, а також алгоритми, що реалізують різні режими роботи і протоколи обміну з ПУ.

Блок оперативної пам'яті забезпечує тимчасове збереження даних, які передаються або приймаються, внутрішніх даних, пов'язаних з режимами роботи, а також інформаційного обміну.

Спеціалізована підсистема послідовного зв'язку з чотирма портами реалізує такі функції:

- забезпечення асинхронного режиму передачі для чотирьох портів;
- алгоритмічне узгодження обміну між комутатором каналів та ПУ1-ПУ4;
- адаптація електричних і конструктивних параметрів комутатора каналів до відповідних параметрів ПУ1-ПУ4;
- передача управління на підпрограму обслуговування відповідного послідовного порту.

Склад цієї підсистеми включає:

- чотири послідовні порти виведення (3, 6, 9, 13);
- чотири селектори адрес послідовних портів (1, 5, 8, 11).

Згідно з технічним завданням, послідовні порти налаштовуються тільки для виведення даних, але в процесі роботи можливе їх переведення у режим введення або комбінованого введення/виведення. Вони виконують перетворення даних із паралельного формату в послідовний, формують вихідні керуючі сигнали, приймають зовнішні сигнали від ПУ, а також забезпечують необхідну навантажувальну здатність для внутрішньої ШД та приймаючого пристрою. У адресному полі ПУ для послідовних портів визначені такі адреси:

- ПУ1 – 00h-03h;
- ПУ2 – 04h-07h;
- ПУ3 – 08h-0Bh;

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		25

– ПУ4 – 0Ch-0Fh.

Селектори адрес (1, 5, 8, 11) виконують декодування адрес (00h, 04h, 08h, 0Ch) та підключення відповідного порту до загальної шини.

Спеціалізована підсистема взаємодії з МСШ вирішує такі завдання:

- доступ до магістральної системи шин (МСШ);
- арбітраж запитів на доступ до МСШ;
- управління операціями читання/запису в МСШ.

Склад цієї підсистеми включає:

- блок 12 управління доступом;
- селектор 10 адреси.

Блок управління доступом 12 організовує звернення до МСШ зовнішньої мікропроцесорної системи відповідно до пріоритету, синхронізує і формує сигнали управління для операцій читання та запису. Звернення до центрального процесора розглядається як звернення до ПУ за адресою 8000h. Селектор адреси 10 фіксує доступ до діапазону адрес 8000h-FFFFh.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		26

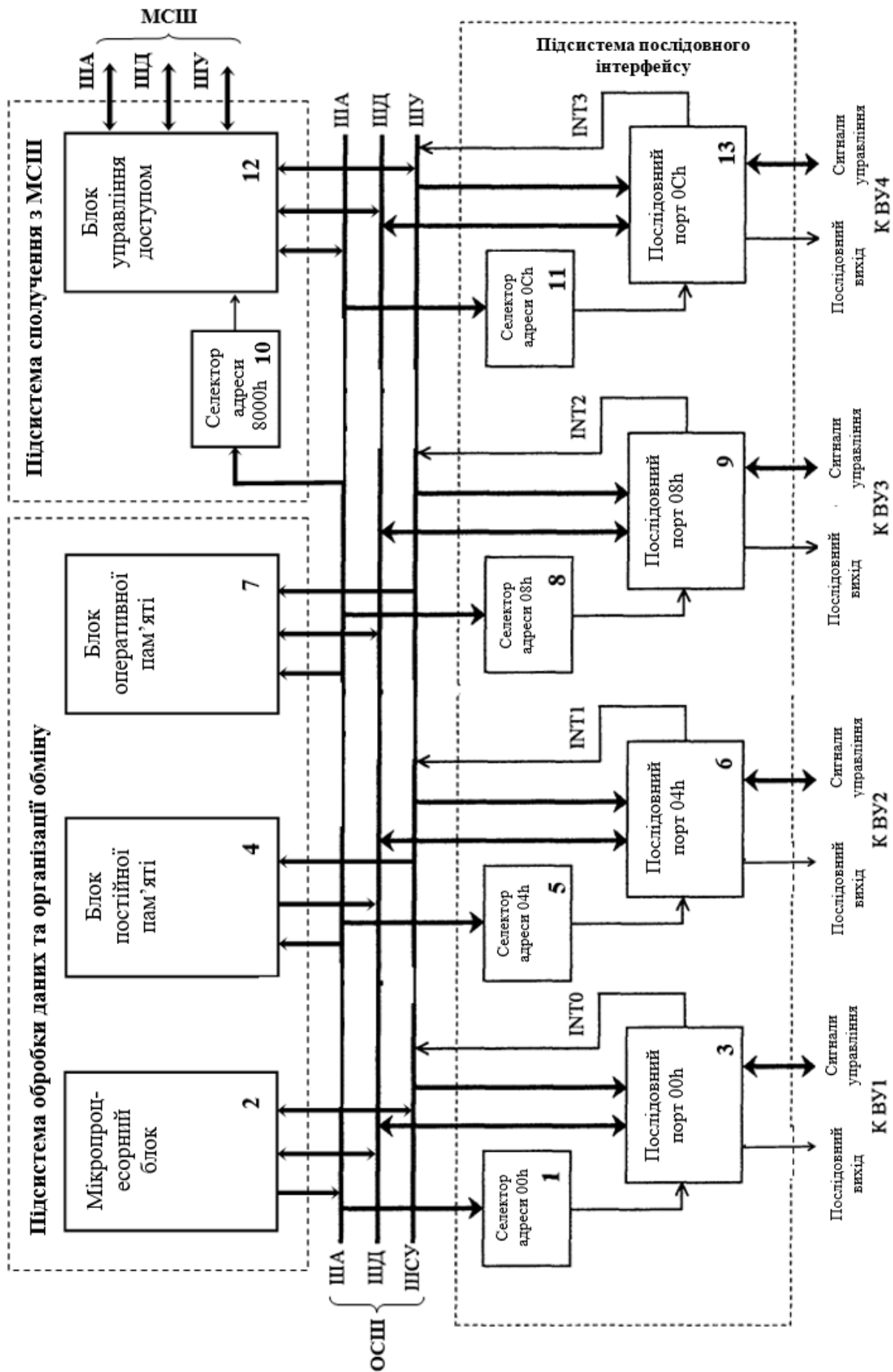


Рисунок 2.1 – Структурна схема комутатора каналів передачі

Змін.	Арк.	№ докум.	Підпис	Дата
-------	------	----------	--------	------

ЕЛІТ 8.171.00.05.421 ПЗ

2.2 Розробка алгоритму роботи комутатора каналів

На рисунку 2.2 наведено загальний алгоритм роботи комутатора каналів. Обслуговування підсистеми послідовного інтерфейсу здійснюється за сигналом переривання. Після його появи основна програма тимчасово призупиняється, відбувається збереження поточного стану МП і передача керування підпрограмі обслуговування послідовного інтерфейсу. Перед передачею даних пристроям ПУ1-ПУ4 комутатор каналів забезпечує наповнення переданою інформацією локального блоку оперативної пам'яті (блок 7) через блок управління доступом (блок 12).

Робота комутатора каналів організована за наступним загальним принципом.

Після включення живлення комутатора каналів всі його модулі та порти виводу ініціалізуються в початковий стан. На наступному етапі проводиться налаштування портів виводу 3, 6, 9 і 13 на відповідні режими роботи (асинхронний) та завантаження початкових командних слів. Далі, за допомогою блоку управління доступом (блок 12), МПБ 2 формує запит до ЦП на отримання масиву даних для передачі пристроям ПУ1-ПУ4. Після отримання підтвердження від ЦП, МПБ 2 здійснює заповнення блоку оперативної пам'яті (блок 7) переданою інформацією.

Після завершення заповнення блоку 7 пристрій переходить до виконання основної (фонової) прикладної програми, яка розташована у постійній пам'яті (блок 4). Виконання цієї програми може бути перервано у разі надходження сигналів переривання INT0-INT3 від послідовних портів 3, 6, 9 та 13. У цьому випадку МПБ 2 передає управління підпрограмі обслуговування портів. Мікропроцесор визначає, з якого порту надійшов сигнал переривання, і починає процес передачі даних з локальної пам'яті (блок 7). Після завершення передачі МПБ 2 формує новий запит до ЦП на отримання свіжого масиву даних, і весь цикл повторюється.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		28

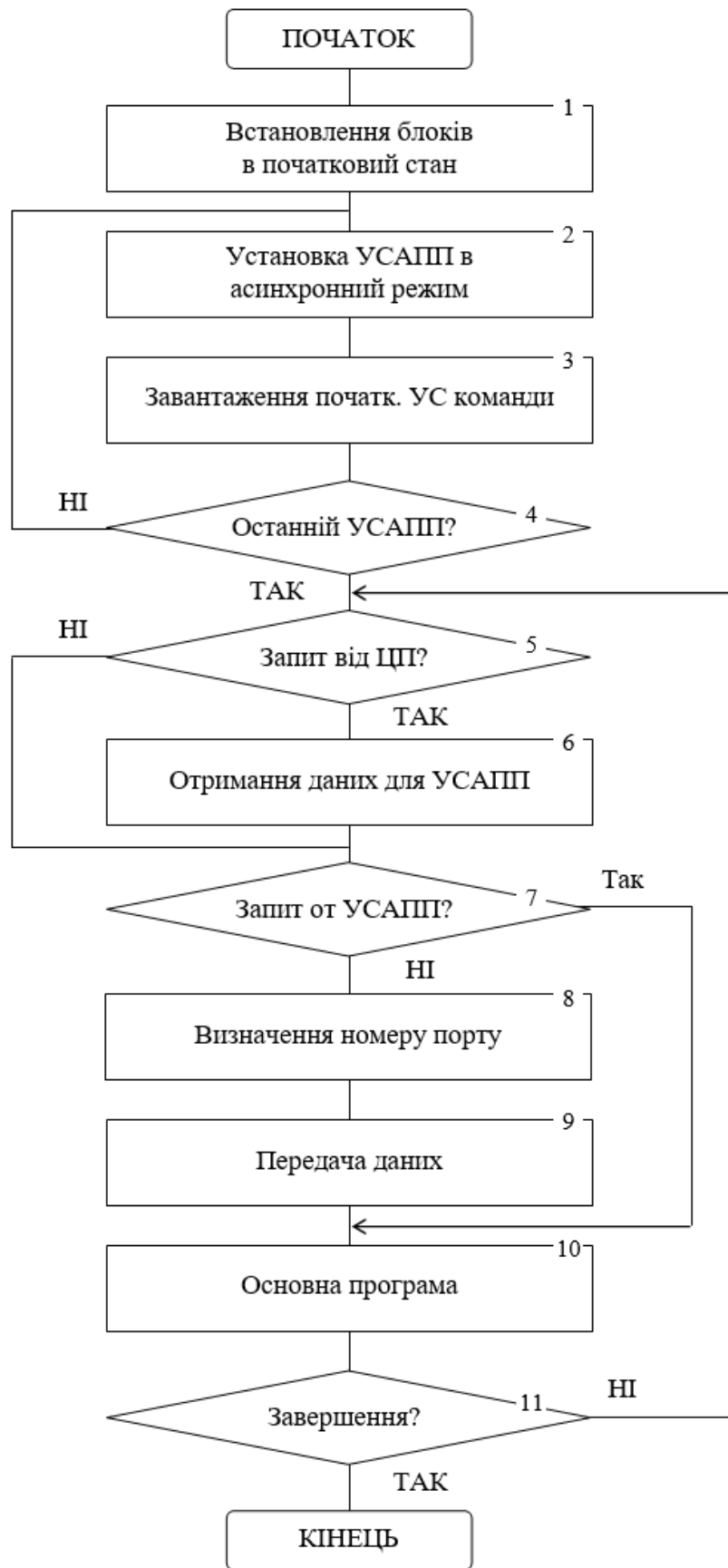


Рисунок 2.2 – Блок-схема алгоритму функціонування комутатора каналів передачі

Змін.	Арк.	№ докум.	Підпис	Дата

2.3 Розробка функціональної схеми комутатора каналів передачі

МПБ є центральним блоком комутатора каналів, який відповідає за керування та синхронізацію роботи всієї системи, прийом, видачу, зберігання та обробку даних. Після обробки дані передаються через локальну системну шину даних (ШД). Вибір блоків для взаємодії, адресація комірок пам'яті з інформацією та командами здійснюється за допомогою адресної шини (ША). Управлінські сигнали в комутаторі каналів передаються через системну шину управління (ШУ).

Особливості реалізації МПБ значною мірою залежать від архітектурних характеристик застосованого мікропроцесорного комплексу (МПК), таких як типи та формат команд, структура інтерфейсу, режими роботи процесора, способи адресації тощо. Для створення МПБ планується використання однокристального мікропроцесора (МП). У процесі розробки МПБ на базі однокристальних інтегральних схем необхідно вирішити такі завдання:

- створення засобів синхронізації для МПБ;
- проектування інтерфейсу шин даних та адрес ОСШ;
- розробка механізмів управління та синхронізації операцій читання/запису через локальну системну шину;
- проектування засобів доступу до ОСШ;
- забезпечення підтримки режимів роботи мікропроцесора.

Функціональна схема МПБ наведена на рисунку 2.3.

Оскільки розробка засобів синхронізації не передбачається, для реалізації використовується мікропроцесор DD1 із вбудованим генератором тактових імпульсів.

Структура та склад інтерфейсу локальної системної шини визначаються з урахуванням організації та розрядності ШД і ША, а також необхідної пропускної здатності. Локальна система шин реалізується роздільною, тобто ШД, ША та ШУ виконані окремо. Щоб забезпечити більше функціональних можливостей мікропроцесора, а отже, і МПБ, рекомендується використовувати мікропроцесор із

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		30

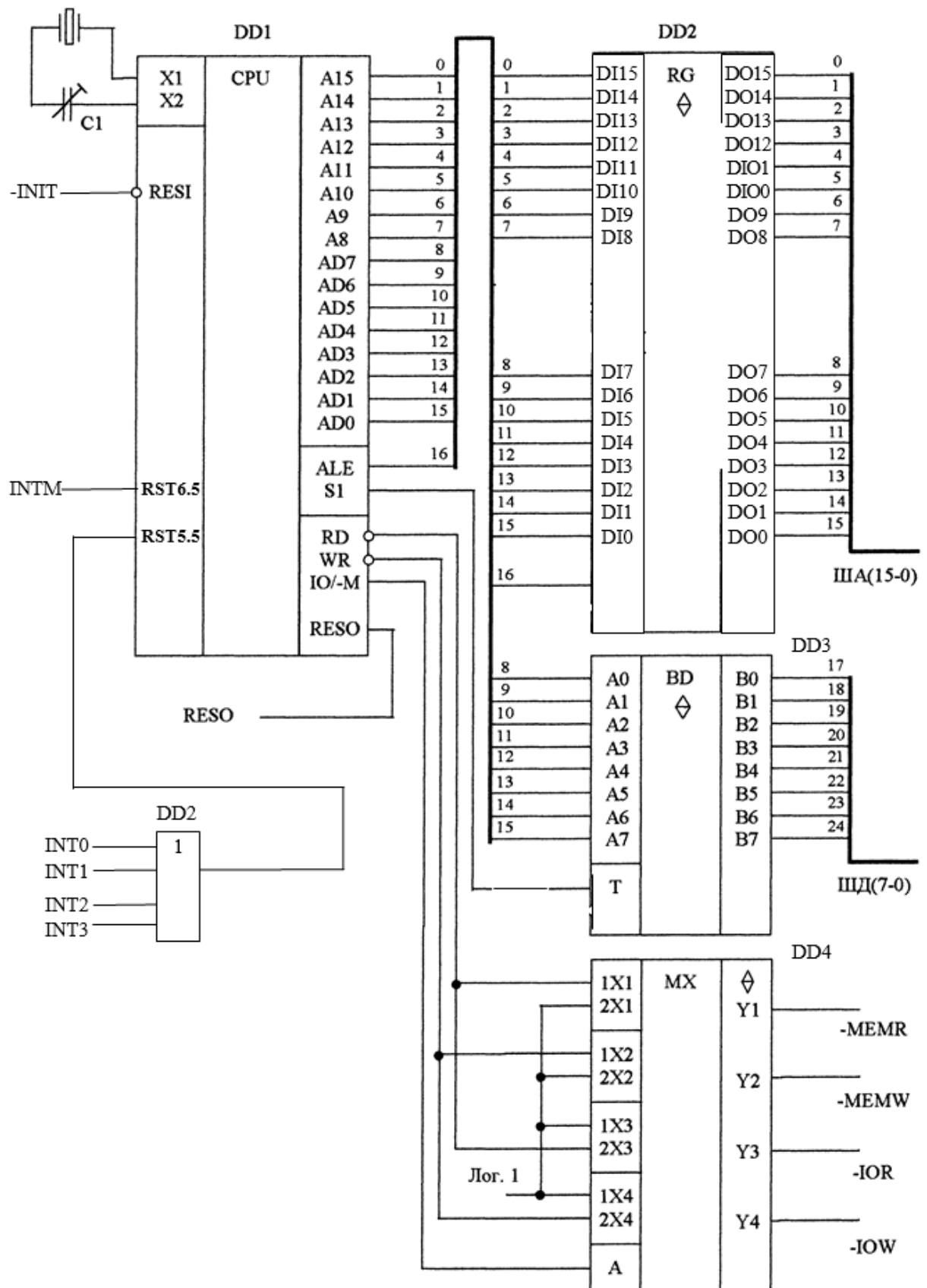


Рисунок 2.3 – Функціональна схема МПБ

частково суміщеними ШД і ША. У такому разі адресна шина працює на основі буферного регістра адреси DD3, а шина даних – на основі двоспрямованого шинного формувача DD4.

Засоби керування та синхронізації операцій читання/запису на системній шині реалізуються за допомогою чотириканального мультиплектора DD5, який забезпечує розподіл керуючих сигналів -RD та -WR на сигнали -MEMR, -MEMW, -IOR і -IOW. Синхронізація читання і запису виконується у синхронному режимі, де їх тривалість визначається тривалістю відповідних сигналів керування мікропроцесора. Такий метод забезпечує максимальну пропускну здатність ОСШ. ОСШ керується безпосередньо мікропроцесором, тому додаткові засоби керування доступом не потрібні.

Для реалізації підтримки режимів роботи мікропроцесора необхідно передбачити вузол обробки запитів переривань INT0-INT3 MCBV, роль якого виконує чотириходова схема об'єднання АБО DD2. Переривання INTM від центрального процесора подається на один з входів RST DD1. Скидання МПБ здійснюється сигналом -INIT, що надходить також від зовнішньої мікропроцесорної системи.

Увімкнення в роботу чотирьох портів підсистеми послідовного інтерфейсу виконується за допомогою селекторів адрес (CA). Розподіл адрес між портами такий: 00h – перший послідовний порт (ПУ1); 04h – другий послідовний порт (ПУ2); 08h – третій послідовний порт (ПУ3); 0Ch – четвертий послідовний порт (ПУ4).

Блок доступу до МСШ активується за допомогою селектора адреси 8000h. При цьому звернення до блоків пам'яті зовнішньої мікропроцесорної системи виконується за адресами 8000h і вище, тобто в діапазоні 8000h-FFFFh.

Селектори пропонується реалізовувати на основі комбінаційних логічних схем DD1-DD4 (рис. 2.4). Оскільки адресне поле ПУ містить лише п'ять груп адрес, для їх декодування достатньо використання кількох ліній адресної шини: ША10, ША11 і ША15.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		32

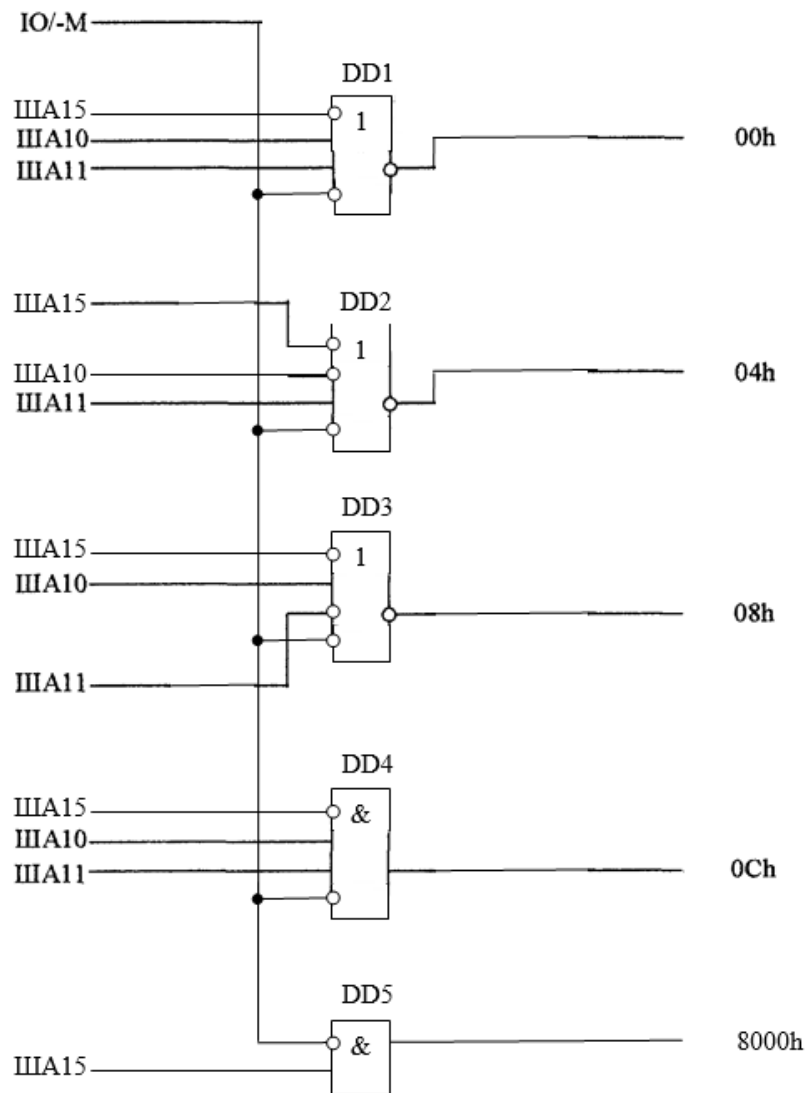


Рисунок 2.4 – Функціональна схема СА

Блок управління доступом до МСШ є компонентом, через який здійснюється зв'язок між МСВВ та ЦП. Цей блок має виконувати такі функції:

- алгоритмічне, електричне та конструктивне узгодження проектованого пристрою з ЦП через інтерфейс шини;
- арбітраж запитів на доступ до МСШ;
- управління операціями читання/запису на МСШ.

Припустимо, що МСШ повинна бути апаратно сумісною з системною шинною, що реалізована на базі МПК MCS-85 [6]. Сигнали локальної та багатокористувацької шин комутатора каналів представлені на рисунку 2.5. Обидві шини є буферизованими для підвищення пропускної здатності відповідних

магістралей. Ініціатором обміну даними з комутатором каналів виступає зовнішня мікропроцесорна система.

Функціональна схема блоку управління доступом до МСШ зображена на рисунку 2.6. Інтерфейс МСШ реалізується через шинні формувачі DD3 та DD4 для системної адресної шини та шини даних. Кількість висновків DD3 складає 16, а DD4 – 8, оскільки передбачається, що МСШ (інтерфейсна шина розширення) має 16 адресних і 8 інформаційних ліній. Адресні простори між локальною та багатокористувацькою шиною розділяються за допомогою СА 8000h. Як елемент, що керує доступом до МСШ, синхронізує та формує сигнали управління операціями читання/запису, використовується контролер шини DD1. Запит на доступ до МСШ контролер DD1 отримує через вхід -BCR2 та зберігає його при стробуванні сигналу ALE на вхід -RSTB. Сигнал ALE надходить з МПБ при формуванні адреси на локальній адресній шині. Наступні синхроімпульси на вході -BCLK DD1 встановлюють запити паралельної обробки пріоритетів -BREQ і послідовних пріоритетів -BPRO. Сигнал з виходу -BREQ обробляється зовнішньою мікропроцесорною системою разом з запитами від інших джерел, а сигнал з виходу -BPRO блокує контролер шини з нижчим пріоритетом у послідовному ланцюгу обробки пріоритетів. Доступ до шини починається після надходження дозволу на вхід пріоритетного дозволу -BPRN та одиничного значення -BUSY. У цьому випадку DD1 повинен сформувати сигнал зайнятості шини – нульове значення -BUSY, і сигнал дозволу шинним формувачам на вихід -ADE, дозволяючи роботу інтерфейсу шини. Дозволяючи доступ до шини, контролер DD1 передає на виходи управління читання/запису -MRDC, -MWTC, -IORC і -IOWC вхідні запити управління станом входів -MRDR, -MWTR, -IORR та -IOWR. На виході RDD формується сигнал напрямку передачі, а на виході ANYR – сигнал загального запиту операції на шині. Сигнал напрямку передачі формується шляхом об'єднання вхідних сигналів читання. Вихідний сигнал загального запиту читання/запису формується через логічне об'єднання всіх вхідних запитів читання/запису та використовується для синхронізації початку та кінця вихідних сигналів управління читанням/записом. Початок операції на шині ініціюється фронтом сигналу на вході XSTR або сигналом -ADE, а завершення відбувається по спаду сигналу на вході -XCP. Скидання контролера DD1 здійснюється зовнішнім сигналом скидання -INIT.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		34

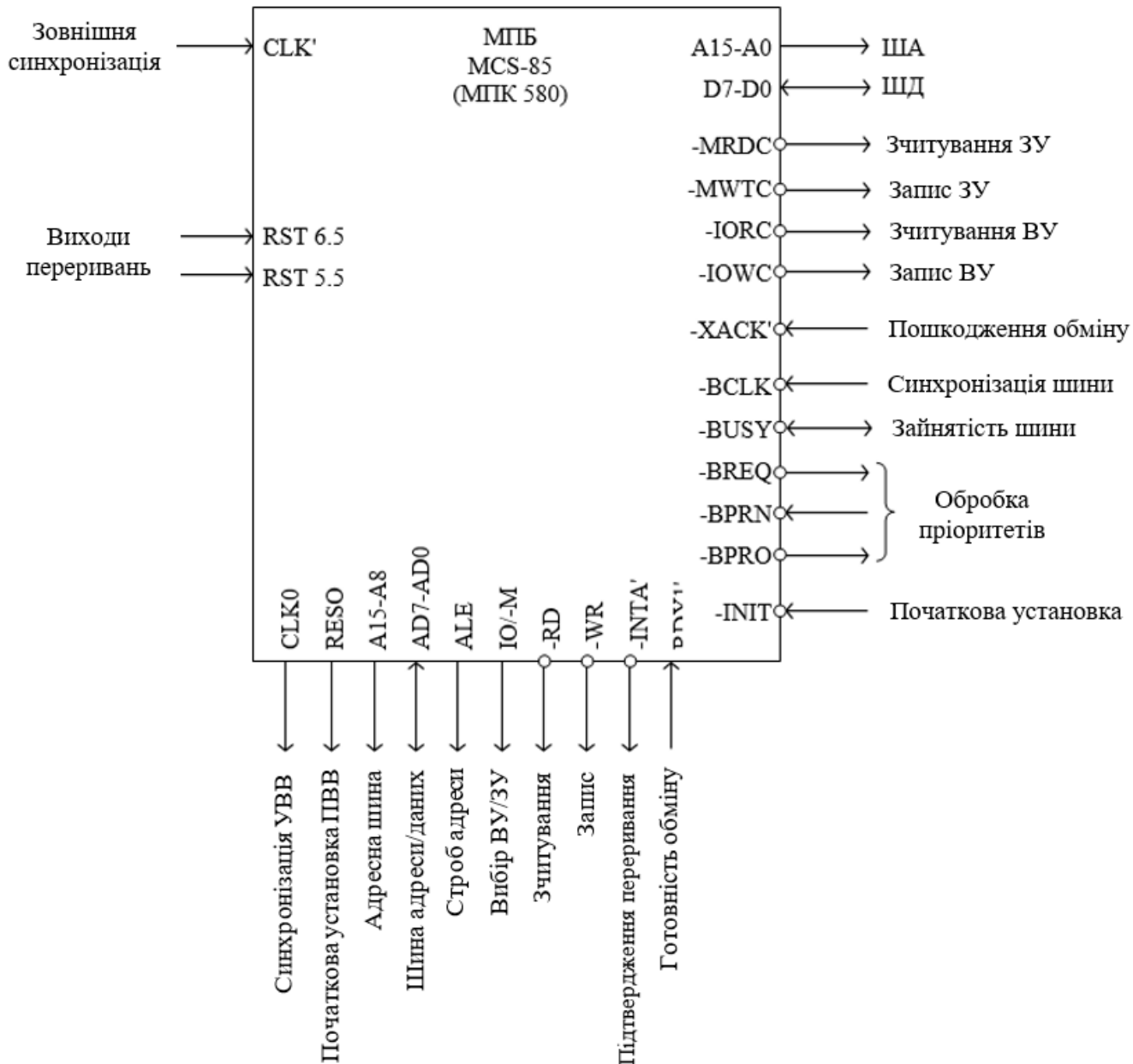


Рисунок 2.5 – Компоненти ОСШ та БСШ пристрою

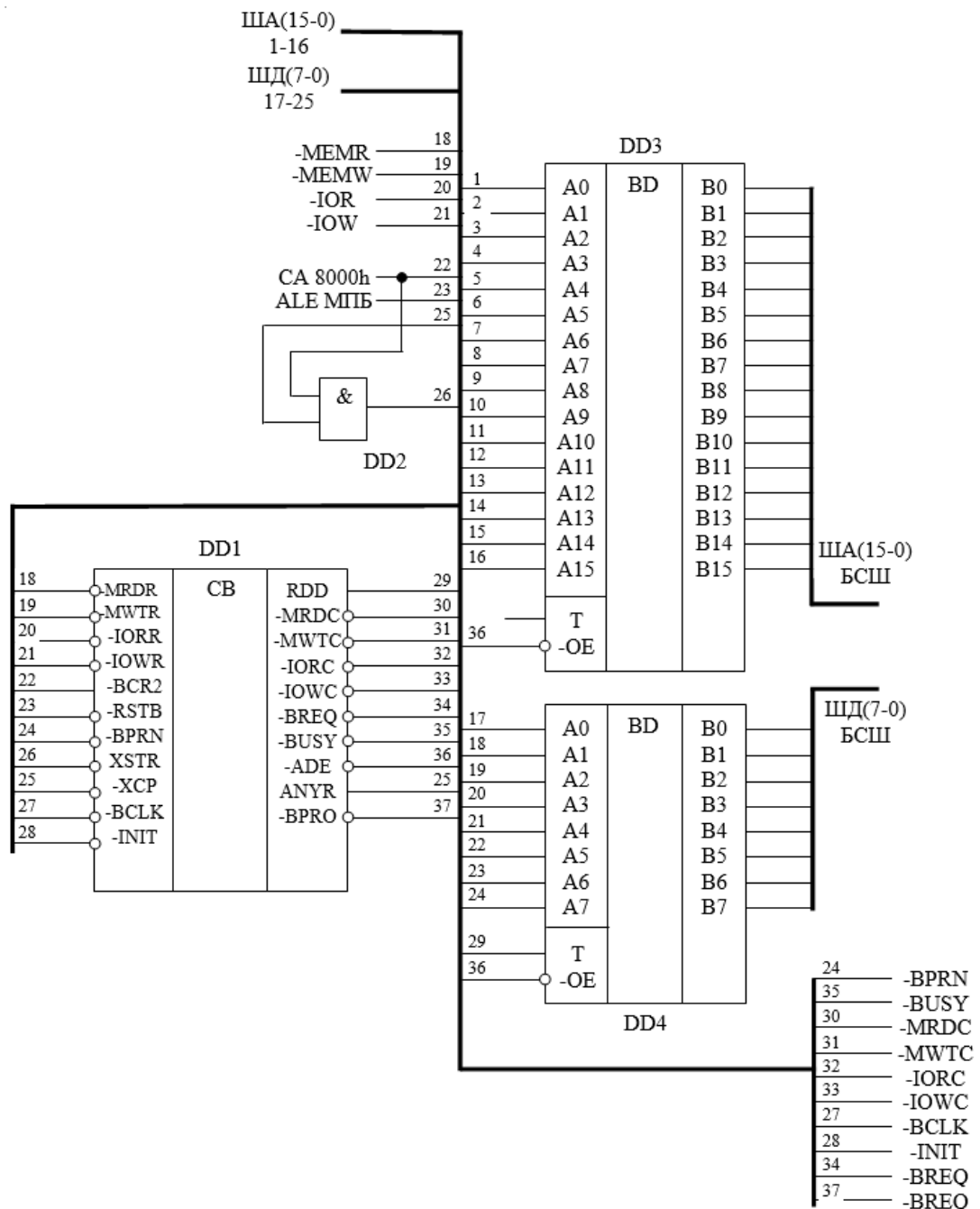


Рисунок 2.6 – Функціональна схема доступу до БСШ

2.4 Вибір елементної бази

Сфера застосування розроблюваного пристрою вимагає високої швидкодії та адаптивності до різних протоколів обміну й стандартів інтерфейсів зв'язку. Це визначає ключовий критерій вибору елементної бази – високу швидкодію та здатність працювати в різних режимах під час функціонування.

На сьогоднішній день існує широкий вибір серій інтегральних мікросхем (ІМС) із різноманітними характеристиками. Для порівняння серій доцільно використовувати параметри базового логічного елемента. Основними параметрами, які дозволяють проводити таке порівняння, є час поширення сигналу $t_{\text{п}}$ (або частота $f_{\text{п}}$) та споживана потужність $P_{\text{с}}$.

Проте, не всі серії мають широкий асортимент мікросхем із різними функціональними характеристиками. Через це неможливо повністю реалізувати пристрій лише на базі однієї серії. Якщо ж використовуються мікросхеми різних серій, необхідно враховувати їхню сумісність і поширеність. У таблиці 2.1 подано критерії, які враховуються під час вибору серії ІМС [5, 6, 7].

Таблиця 2.1 – Порівняльні характеристики мікросхем різних серій

Технології	Схемотехнічне виконання	Серії ІМС	Закордонний аналог	Електричні параметри	
				$f_{\text{п}}$, МГц	$P_{\text{с}}$, мВт
Біполярна	ТТЛ	K155, KM155, K133, KM133	SN74 Texas Inst.	35	10
	ТТЛШ	530, KP531, KM531, KP1531, 533, K555, KM555, KP1533, 1533	SN54S/74S,	125	19
			74FSN54LS/7	130	4
4LS,			45	2	
SN54ALS			100	1	
ЕСЛ	100, K500, K1500	MC 10000 F100K	125 300	25 40	
Уніполярна	КМОП	564, K561, KP1564, KP1554	CD4000A	10	0.0025
			54HC	30	0.0025
			74AC	125	0.0025
	НОПТШ	K6500	10G000	1000	3

Аналізуючи дані таблиці 2.1, можна зробити висновок, що серія KP1554 демонструє найкраще співвідношення швидкодії та енергоефективності [9, 11]. Проте слід зауважити, що асортимент цієї серії досить обмежений, і вона не включає ПЗП. Сумісні серії мають значно нижчу швидкодію. Тому оптимальним

вибором є швидкодійна логіка ТТЛШ. Серії КР1533 та 1533 характеризуються великим асортиментом мікросхем, що працюють на високих частотах (до 100 МГц) та споживають мало енергії.

Стандартні статичні параметри мікросхем серії КР1533 мають такі значення [9, 10]:

- максимальний рівень логічного нуля – 0,5 В при вхідному струмі до 8 мА;
- мінімальний рівень логічної одиниці – 2,5 В при вихідному струмі до 0,4 мА;
- вхідний струм при рівні нуля на вході – не більше 0,2 мА;
- вхідний струм при рівні одиниці на вході – не більше 20 мкА.

Ці значення забезпечують навантажувальну здатність серії до 40 входів. Робочий температурний діапазон мікросхем КР1533 становить від -10 до +70°C, напруга живлення – $-5 \text{ В} \pm 10\%$.

Оскільки структура розроблюваного пристрою базується на принципах МПС, для його практичної реалізації необхідно обрати мікропроцесорний комплект (МПК), що найкраще підходить для створення схеми комутатора каналів.

Можливості МПК і, відповідно, всього пристрою, значною мірою визначаються мікропроцесором (МП), що використовується. Відносно невисока пропускна здатність, необхідна для даного пристрою, а також популярність поставленого завдання зумовлюють вибір МП із категорії недорогих універсальних процесорів із 8-розрядною шиною даних. Вибір МП і відповідного МПК пропонується здійснити за такими критеріями:

- розрядність шини адрес та шини даних;
- частота синхронізації (або час виконання однієї команди);
- функціональна повнота МПК;
- кількість джерел живлення.

З урахуванням цих критеріїв найбільш доцільним є МП Intel 8085A [6]. Цей процесор програмно сумісний із поширеним МП КР580ВМ80А, але живиться від одного джерела (+5 В). 8085А має вищий рівень інтеграції та працює на частоті до 3 МГц. Крім того, цей процесор оснащений вбудованим синхрогенератором і розширеною системою переривань.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		38

МП 8085А підтримує адресацію пам'яті (ЗУ) до 64 Кбайт і здатний обслуговувати до 256 пристроїв. Для побудови комутатора каналів на базі 8085А можна використовувати як мікросхеми з його комплекту, так і універсальні БІС (ОЗП, ПЗП), інтерфейсні мікросхеми та контролери серії 8280 або вітчизняного комплекту КР580. Зовнішній вигляд процесора 8085А та призначення його виводів зображені на рисунку 2.7.

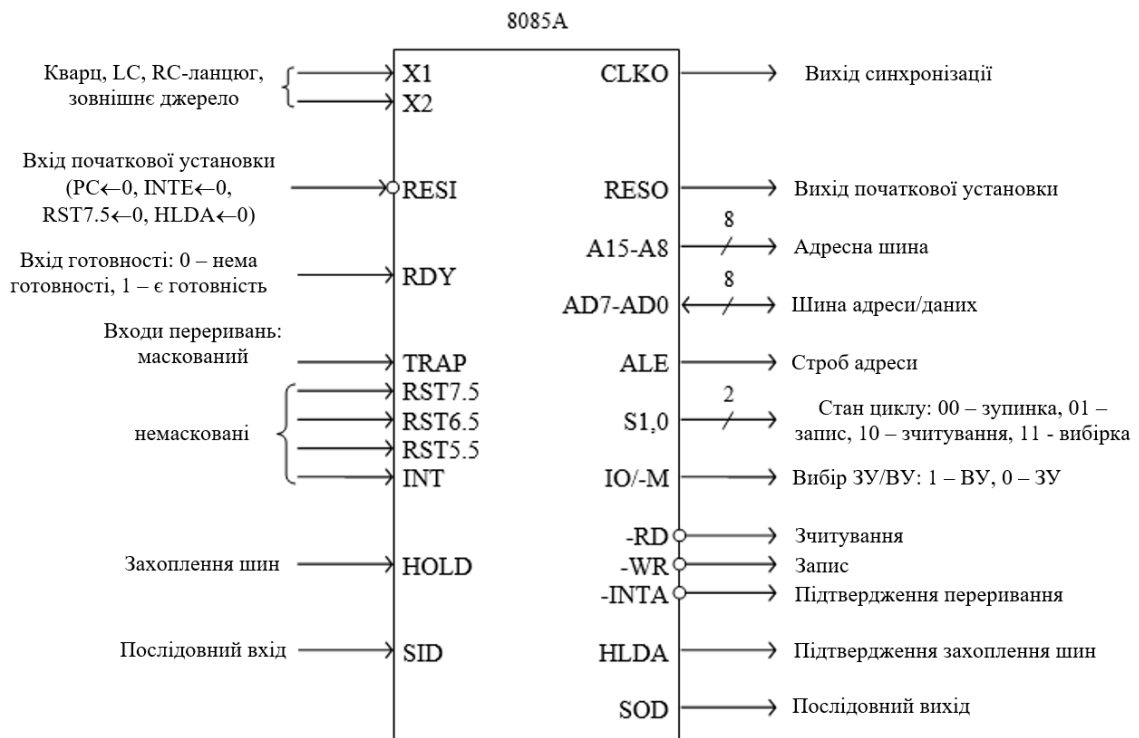


Рисунок 2.7 – Призначення виводів МП 8085А

2.5 Розробка електричної принципової схеми

2.5.1 Мікропроцесорний блок

Принципова схема МПБ на основі мікропроцесора 8085А DD1 зображена на рисунку 2.8. Процесор 8085А має об'єднаний канал адреси та даних AD7-AD0. У першому такті машинного циклу через цей канал спочатку передається молодший байт адреси (A7-A0), а потім – дані (D7-D0). Під час передачі молодшого байта адреси мікропроцесор формує сигнал строба адреси ALE. У зв'язку з цим для реалізації 16-розрядної адресної шини необхідні буферні регістри, які фіксують адреси за сигналом ALE («Дозвіл запису адреси») і мають високу навантажувальну

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		39

здатність. Для цієї мети пропонується використовувати мікросхеми 8282 (вітчизняний аналог КР580ІР82) DD4-DD5 із трьома станами на виході, які забезпечують навантажувальну здатність 32 мА на кожний вивід, що дає змогу формувати потужні сигнали адресної шини [6, 7]. Вихід ALE DD1 підключається до входів STB регістрів DD4-DD5, активний рівень сигналу ALE – логічна одиниця.

Двонапрямна буферизація шини даних (D7-D0) виконується за допомогою формувача шини DD6 (8286, аналог КР580ВА86). Напрямок передачі даних задається сигналом із виходу S1 («Стан циклу») (рис. 2.7), який інвертується елементом DD3 і подається на вхід T формувача DD6.

Сигнали управління пам'яттю та портами (-MEMR «Читання пам'яті», -MEMW «Запис у пам'ять», -IOR «Читання порту вводу», -IOW «Запис у порт виводу») формуються за допомогою чотириканального мультиплексора SN74ALS257 (аналог КР1533КП11А) DD6 на основі керувальних сигналів -RD («Читання»), -WR («Запис») та IO/-M («Вибір порту/пам'яті») мікропроцесора [6]. Мікросхема SN74ALS257 також має трьохстанний вихід.

Початкове встановлення (скидання внутрішніх регістрів і лічильників мікропроцесора) виконується через вхід -RESI («Скидання») сигналом -INIT від центрального процесора. Після цього мікропроцесор виконує скидання інших блоків комутатора каналів за допомогою вихідного сигналу -RESO («Скидання блоків»).

Виконання програми комутатора переривається при появі логічної одиниці на вході переривання RST5.5, закріпленого за фіксованою адресою 002Ch, де розташована перша команда обслуговування портів. Цей сигнал формується елементами 2-АБО DD2.1-DD2.3, які об'єднують сигнали переривань INT0-INT3 від чотирьох послідовних портів. Для реалізації елементів DD2.1-DD2.3 використовується мікросхема SN74ALS32 (аналог КР1533ЛЛ1). Виконання програми комутатора також може бути перервано сигналом переривання INTM від центрального процесора, поданим на вхід RST6.5, закріплений за адресою 0034h, де знаходиться перша команда підпрограми прямого обміну між МПБ та центральним процесором. Вхід RST6.5 має вищий пріоритет, ніж RST5.5.

Мінімальний час машинного такту для мікропроцесора 8085А становить $t_{mt} = 320$ нс [6]. Тому частота синхронізації мікропроцесора та комутатора каналів обирається як

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		40

$$f_c = 1/t_{MT} = 1/320 \approx 3,1 * 106 \text{ Гц} \approx 3 \text{ МГц.}$$

Оскільки такт мікропроцесора 8085А містить два періоди імпульсів, то частота на входах X1 і X2 МП повинна бути $f_{ZQ} = 2 * f_c = 2 * 3 \text{ МГц} = 6 \text{ МГц}$.

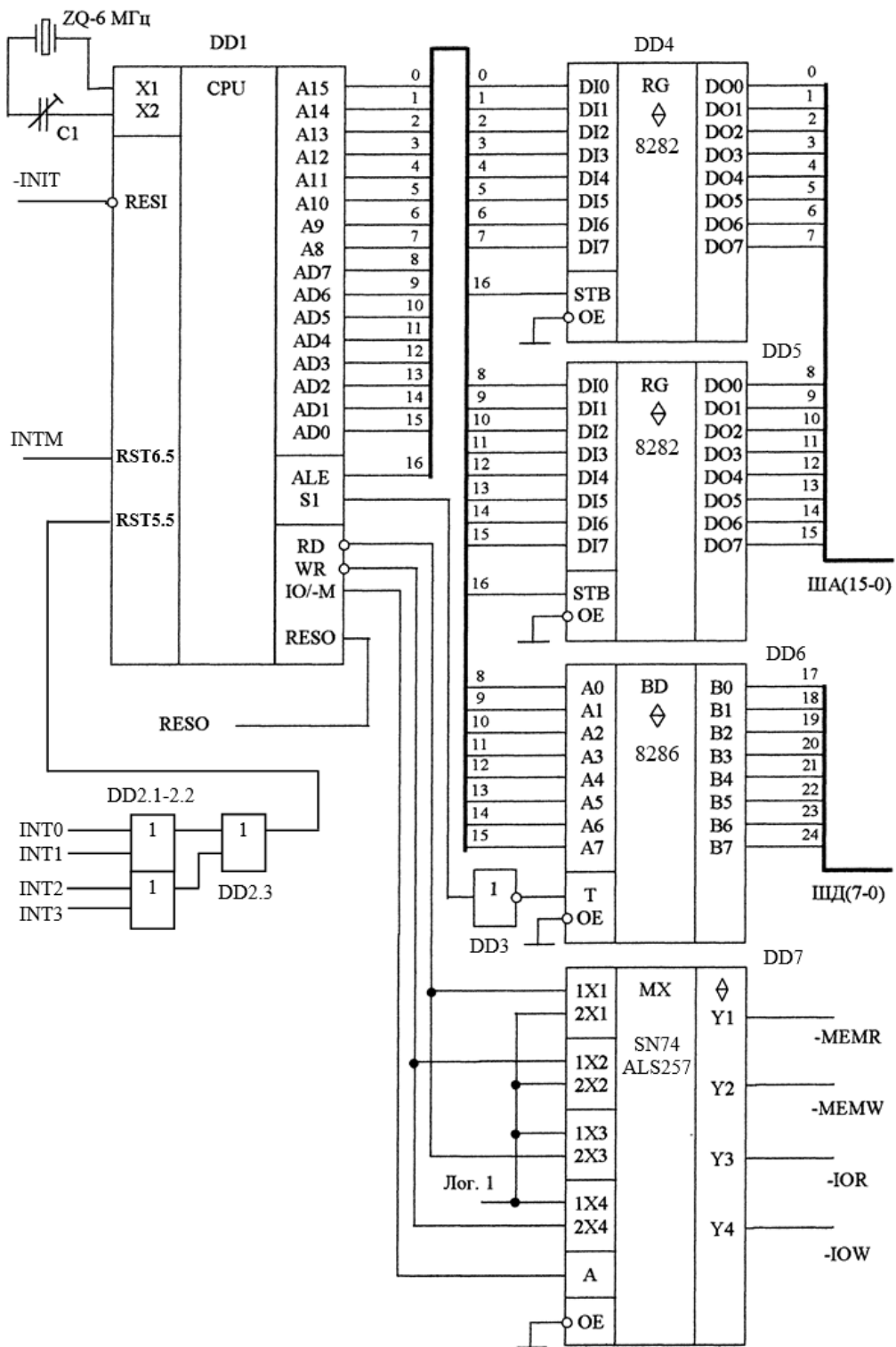


Рисунок 2.8 – Принципова схема МПБ

2.5.2 Блоки постійної та оперативної пам'яті

Наявність магістральних з'єднань у комутаторі каналів накладає такі вимоги до підключених модулів:

- модулі повинні забезпечувати підвищену навантажувальну здатність;
- по виходу модулі мають переходити у високоімпедансний стан (Z-стан).

У модулі постійної пам'яті зберігаються: коди прикладної програми комутатора, підпрограма обслуговування послідовних портів, підпрограма прямого обміну між комутатором каналів і ЦП, а також підпрограми для реалізації різних режимів і протоколів обміну.

Обсяг постійної пам'яті розраховується за формулою:

$$C_{\text{ПЗУ}} \geq N_{1\text{бк}} + 2 \cdot N_{2\text{бк}} + 3 \cdot N_{3\text{бк}} \text{ (байт)}, \quad (2.1)$$

де $N_{1\text{бк}}$, $N_{2\text{бк}}$, $N_{3\text{бк}}$ – кількість команд з однобайтовим, двобайтовим та трьохбайтовим форматами відповідно.

Попередньо пропонується обрати обсяг постійної пам'яті у 2 Кбайт із організацією $2\text{К} \times 8$. Для цього доцільно використовувати електрично перепрограмовану ПЗП із стиранням ультрафіолетом типу 2716 (аналог КС573РФ2) [7]. Основні електричні та часові характеристики ПЗП 2716 наведені в таблиці 2.2.

Таблиця 2.2 – Основні параметри ПЗП 2716

Тип параметра	Значення параметра
Інформаційна ємність	2 Кбайт
Організація пам'яті	$2\text{К} \times 8$
Струм споживання	≥ 100
Напруга виходу низького рівня (при $I_{\text{OL}} = 1,6 \text{ мА}$):	$\leq 0,45$
Напруга виходу високого рівня (при $I_{\text{OL}} = 200 \text{ мкА}$)	$\geq 2,4$
Вхідна напруга низького рівня для сигналів на входах адреси, -OE, -WE та CS	$(-0,1) \dots 40,8$

Вхідна напруга високого рівня для сигналів на входах адреси, -OE, -WE та CS	2,0-5,25
Час вибірки адреси	≥450

Розмежування адресних просторів ОЗП та ПЗП у комутаторі каналів здійснюється за допомогою адресного розряду ША11. Адресний простір постійної пам'яті охоплює діапазон 0000h-07FFh. Підключення блоку постійної пам'яті до комутатора каналів зображено на рисунку 2.9.

У блоці оперативної пам'яті зберігаються дані, які комутатор каналів передає до ПУ1-ПУ4, а також проміжні дані виконання підпрограм (змінні, адреси пам'яті, налаштування режимів).

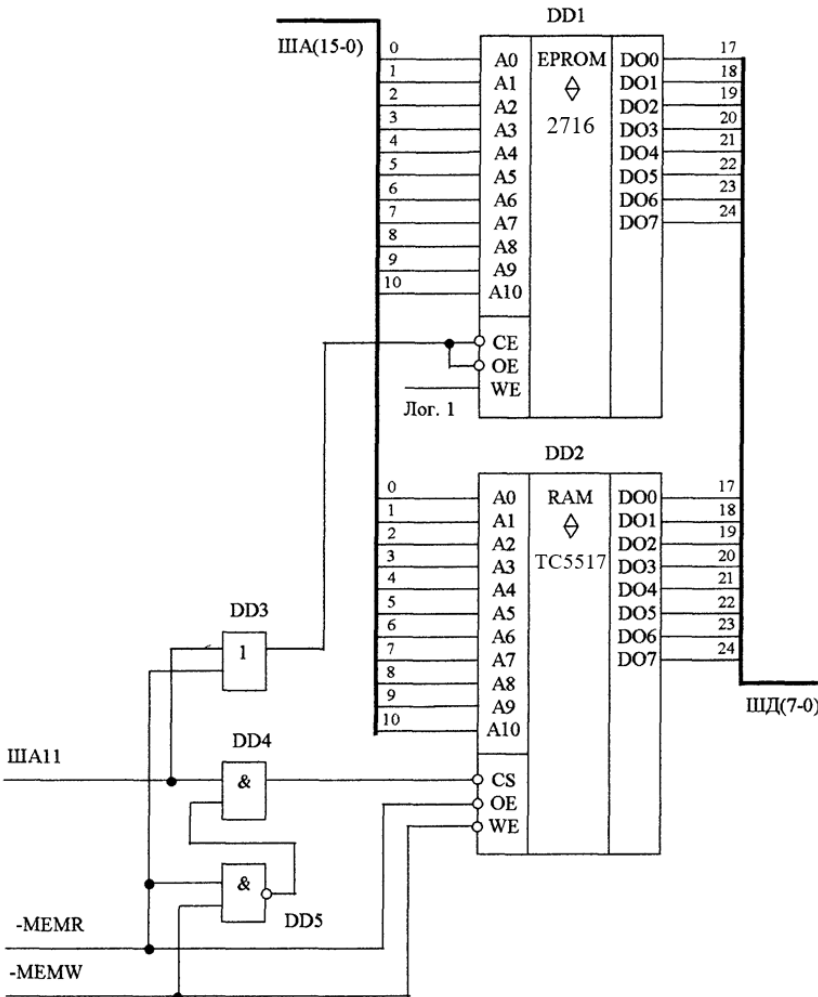


Рисунок 2.9 – Принципова схема блоків постійної та оперативної пам'яті

Обсяг оперативної пам'яті залежить від обсягів даних, що передаються до кожного ПУ. Для зручності вважаємо, що комутатор передає дані через порти 00h, 04h, 08h та 0Ch у кількості $C_{об} \leq 512$ байт на кожен порт. Таким чином, необхідний обсяг оперативної пам'яті визначається нерівністю:

$$C_{Озу} \geq n \cdot C_{об}, \text{ (байт)} \quad (2.2)$$

де $n = 4$ – кількість портів послідовного інтерфейсу.

Згідно з (2.2), мінімальний обсяг оперативної пам'яті становить:

$$C_{Озу} \geq 4 \cdot 512 = 2048 \text{ байт.}$$

Оскільки передбачено байтовий обмін, оперативну пам'ять доцільно використовувати з 8-розрядною шиною даних. Вибираємо модуль ОЗП обсягом 2 Кбайт.

Розмежування адресних просторів ОЗП і ПЗП у комутаторі каналів також здійснюється адресним розрядом ША11. Адресний простір оперативної пам'яті охоплює діапазон 0800h-0FFFh, тоді як область 1000h-FFFFh належить до багатокористувацької пам'яті ЦП. Підключення модуля оперативної пам'яті DD2 у контролері каналів показано на рисунку 2.9.

При ША11 = 1 і/або -MEMR = 1 модуль постійної пам'яті відключається від шини даних (ШД). У свою чергу, при ША11 = 1 і -MEMW = 0 або -MEMR = 0 до ШД підключається модуль оперативної пам'яті. На схемі блоків постійної та оперативної пам'яті (рис. 4.4) розмежування адресних просторів здійснюється за допомогою елементів DD3, DD4 і DD5.

2.5.3 Підсистема послідовного інтерфейсу

Підсистема послідовного інтерфейсу призначена для узгодження функціональних, електричних і конструктивних характеристик контролера каналів із пристроями ПУ1-ПУ4. Це досягається через чотири послідовні порти вводу/виводу з адресами 00h, 04h, 08h і 0Ch, які налаштовані на режим передачі даних.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
						44
Змін.	Арк.	№ докум.	Підпис	Дата		

Обслуговування цієї підсистеми виконується комбінованим способом: спершу обробляється переривання, яке надходить на вхід RST5.5 мікропроцесора, після чого програмно визначається адреса активного порту (або кількох портів). Потім виконується обслуговування цих портів. Найбільш ефективною вважається архітектура підсистеми, побудована на основі програмно-керованої логіки, що дозволяє за потреби переналаштовувати порти на інший режим обміну або підключати їх до іншого пристрою.

Для пристроїв на базі мікропроцесора 8085А зазвичай використовують інтегральну схему 8251А (аналог КР580ВВ51А). Ця мікросхема виконана за nМОП-технологією, живиться від джерела напруги +5 В і споживає струм 100 мА. Вона є універсальним синхронно-асинхронним приймально-передавальним пристроєм, який може здійснювати прийом, передавання, а також перетворення паралельних форматів даних у послідовні для передавання через канали зв'язку і навпаки.

ІМС підтримує п'ять режимів роботи:

- асинхронний прийом,
- асинхронна передача,
- синхронний прийом з внутрішньою синхронізацією,
- синхронний прийом із зовнішньою синхронізацією,
- синхронна передача.

На рисунку 2.10 наведено приклад підключення УСАПП (DD1) у складі контролера каналів, який реалізує послідовний порт 08h.

Обмін даними між УСАПП і шиною здійснюється через двонаправлені виводи D0-D7 внутрішнього буфера. Синхронізація роботи мікросхеми відбувається за допомогою зовнішніх сигналів, що подаються на вхід CLK з виходу CLK0 мікропроцесора. Для скидання пристрою використовується сигнал RES0, що подається на вхід RES.

Адресація виконується через селектор адреси 08h. При цьому нульовий сигнал на вході -CS активує УСАПП, а сигнал на вході C/-D визначає, чи передається керуюче слово режиму ($SHA_0=1$) або команда ($SHA_0=0$).

Під час ініціалізації асинхронного режиму передається керуюче слово режиму (рис. 2.11), яке завантажується в УСАПП за допомогою команди OUT із

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		45

зазначенням адреси порту. Далі вводиться керуюче слово команди (рис. 1.12), яке регулює параметри обміну і може змінюватися в процесі роботи.

У режимі асинхронної передачі, після запису команди з встановленим $D_0=1$ і $-CTS=0$, на виході TxRDY з'являється логічна одиниця, яка сигналізує мікропроцесору через вхід RST5.5 про готовність пристрою до запису нового слова даних. Мікропроцесор записує дані в порт через сигнал -WR, після чого УСАПП автоматично додає стартовий, контрольний і стоп-біти до даних і передає їх через вихід Tx.

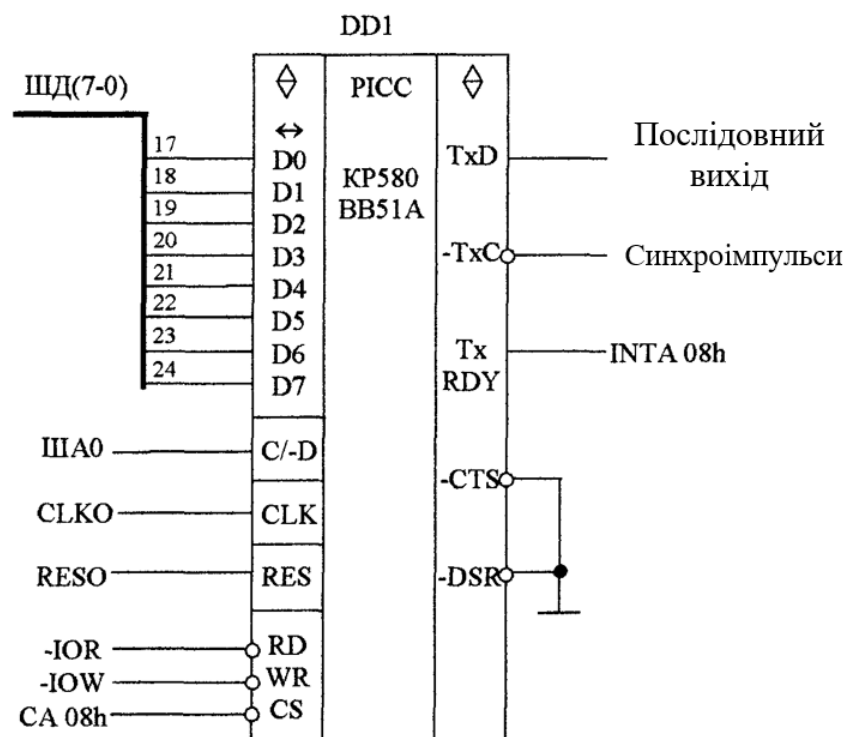


Рисунок 2.10 – Включення УСАПП в контролері каналів у режимі асинхронної передачі: порт 08h

Після передачі кожного слова даних сигнал TxRDY встановлюється в одиничний стан із затримкою в 16-20 періодів синхроімпульсів відносно середини стоп-біта. У разі запису команди виду 00001000 передача припиняється після завершення передачі останнього слова, а TxC встановлюється в одиницю.

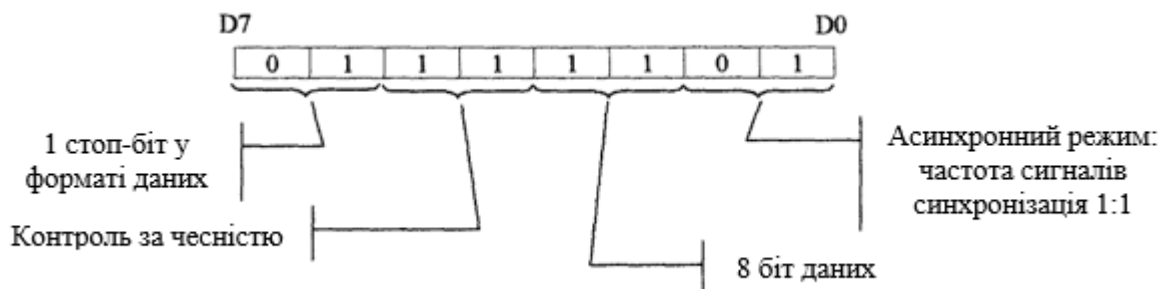


Рисунок 2.11 – УС режиму асинхронного обміну для УСАПП

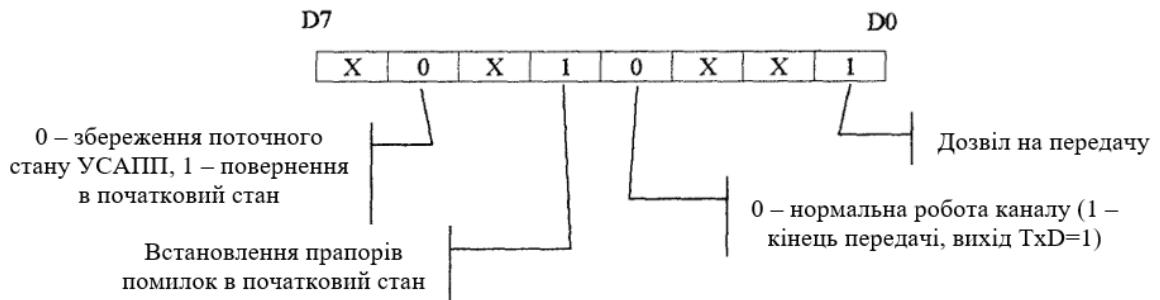


Рисунок 2.12 – УС команди для УСАПП

2.5.4 Основні технічні параметри комутатора каналів передачі

Типи мікросхем, які використовуються для побудови комутатора каналів, із зазначенням їхньої споживаної потужності та середньої затримки поширення сигналу, наведені в таблиці 2.3.

На основі даних таблиці 4.3 розрахуємо загальну споживану потужність та струм споживання комутатора. Потужність, яку споживає комутатор каналів, визначається за формулою:

$$P_{\text{КК}} = \sum_{k=1}^m v_k P_{\text{КСС}}, \quad (2.3)$$

де m – кількість різних типів мікросхем;

v_k – кількість мікросхем кожного k -го типу, що використовуються у комутаторі;

$P_{\text{КСС}}$ – споживана потужність однієї мікросхеми k -го типу.

Таблиця 2.3 – Мікросхеми комутатора каналів і їх основні параметри

№	Назва ІМС	Кількість, шт.	Призначення	Реалізований блок	Р _с , мВт	t _п , нс
1	Intel 8085A	1	Однокристальний мікропроцесор	Мікропроцесорний блок	550	-
2	8286	4	Шинні формувачі	Мікропроцесорний блок, блок керування доступом	675	35
3	8282	2	Багатофункціональний буферний регістр	Мікропроцесорний блок	800	45
4	2716	1	Перепрограмоване постійне запам'ятовуюче пристрій	Блок постійної пам'яті	580	450
5	TC5517	1	Оперативний запам'ятовуючий пристрій	Блок оперативної пам'яті	110	350
6	8251A	4	Програмований інтерфейс послідовного зв'язку	Порти введення-виведення	400	-
7	8218	1	Контролер шини	Блок керування доступом	330	-
8	SN74ALS257	1	Чотириканальний мультиплексор 2→1	Мікропроцесорний блок	95	18
9	SN74ALS32	1	Чотири елементи 2АБО	Мікропроцесорний блок, блоки пам'яті	49	22
10	SN74ALS04	1	Шість елементів НЕ	Мікропроцесорний блок,	12,25	12

№	Назва ІМС	Кількість, шт.	Призначення	Реалізований блок	P _c , мВт	t _п , нс
				селектори адрес		
11	SN74ALS27	1	Три елементи 3АБО-НЕ	Селектори адрес	34	15
12	SN74ALS11А	1	Три елементи 3І	Селектори адрес	33	20
13	SN74ALS00	2	Чотири елементи 2І-НЕ	Селектори адрес, блоки пам'яті	9,6	15

Струм споживання комутатора визначається за формулою:

$$I_{\text{КК}} = \frac{P_{\text{КК}}}{U_{\text{п}}}, \quad (2.4)$$

де $U_{\text{п}}$ – напруга живлення комутатора.

Для проектованого пристрою $m = 13$, а значення v_k і $P_{\text{ксс}}$ беремо з таблиці 4.3, відповідно до номера k у першому стовпці. Таким чином, за формулою (2.3):

$$P_{\text{КК}} = 1 \cdot 550 + 4 \cdot 675 + 2 \cdot 800 + 1 \cdot 580 + 1 \cdot 110 + 4 \cdot 400 + 1 \cdot 330 + 1 \cdot 95 + 1 \cdot 49 + 1 \cdot 12,25 + 1 \cdot 34 + 1 \cdot 33 + 2 \cdot 9,6 = 7712,5 \text{ мВт} \approx 7,7 \text{ Вт.}$$

Виходячи з формули (2.4), струм споживання комутатора при $U_{\text{п}} = 5 \text{ В}$ дорівнює:

$$I_{\text{КК}} = \frac{7,7}{5} \approx 1,54 \text{ А.}$$

Час, необхідний для передачі масиву обсягом $n = 512$ байтів через один із послідовних портів введення-виведення, визначається частотою синхросигналів, які надходять на вхід ТхС порту. Задається під час ініціалізації порту коефіцієнтом ділення частоти (у нашому випадку коефіцієнт дорівнює 1, див. підрозділ 4.4). Таким чином, при частоті синхросигналів $f = 19\,200 \text{ Гц}$ швидкість передачі інформації дорівнює $f = 19\,200 \text{ біт/с}$.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		49

Час, який витрачається в комутаторі каналів на передачу 512 байтів, обчислюється за формулою:

$$T = \frac{8 \cdot n}{f} = \frac{8 \cdot 512}{19200} \approx 0,21 \text{ сек.}$$

Аналіз принципової схеми комутатора каналів показує, що навантажувальна здатність кожного виходу використовуваних мікросхем відповідає умовам $N_n \leq 40$ входів серії SN74ALS, де N_n – кількість входів елементів, підключених до виходу мікросхеми.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		50

3 РОЗРОБКА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ

При проектуванні програмного забезпечення (ПЗ) необхідно використовувати модульний підхід, згідно з яким ПЗ розбивається на кілька взаємопов'язаних модулів, кожен з яких виконує певну функцію. Рекомендується поділити ПЗ на наступні модулі (підпрограми):

- основна програма, яка виконує прикладне завдання з обробки даних, організує передачу управління іншим модулям (підпрограмам) ПЗ і задає різні режими та протоколи обміну;
- підпрограма обслуговування підсистеми послідовного інтерфейсу;
- підпрограма, що забезпечує прямий обмін між комутатором каналів і центральним процесором (ЦП).

Згідно з технічним завданням для дипломного проєкту спеціаліста необхідно розробити алгоритм обслуговування підсистеми послідовного інтерфейсу.

Для задач підсистеми послідовного інтерфейсу пропонується наступний алгоритм її роботи. Після отримання сигналу переривання від підсистеми послідовного інтерфейсу здійснюється аналіз станів чотирьох УСАПП для виявлення порту, який запросив обслуговування. Визначивши адресу N порту УСАПП, мікропроцесор (МП) визначає початкову адресу $A(N)$ масиву пам'яті, що закріплений за послідовним портом і призначений для тимчасового зберігання переданих слів. Під час передачі слово з комірки пам'яті за адресою $A(N)$ завантажується в акумулятор, а потім передається на порт N . Далі адреса $A(N)$ інкрементується, і відправляється наступне слово в порт N . Цей процес повторюється до завершення передачі останнього слова. Після виконання операцій обслуговування порту передається управління основній програмі.

Підпрограма обслуговування підсистеми послідовного інтерфейсу має бути розроблена на мові асемблера для МП 8085А. Частина підпрограми, що виконує ініціалізацію ІМС УСАПП (адреси 00h, 04h, 08h та 0Ch) і налаштовує їх на асинхронний режим передачі, виглядає наступним чином.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		51

Адреса	Машинний код	Мнемокод	Коментар
0200	3E B9	MVI A, B9h	Завантаження в акумулятор УС режиму
0202	D3 01	OUT 00h	Завантаження УС режиму в порт 00h
0204	D3 05	OUT 04h	Завантаження УС режиму в порт 04h
0206	D3 09	OUT 08h	Завантаження УС режиму в порт 08h
0208	D3 0D	OUT 0Ch	Завантаження УС режиму в порт 0Ch
020A	3E B9	MVI A, 01h	Завантаження в акумулятор УС команди
020C	D3 01	OUT 00h	Завантаження УС команди в порт 00h
020E	D3 05	OUT 04h	Завантаження УС команди в порт 04h
0210	D3 09	OUT 08h	Завантаження УС команди в порт 08h
0212	D3 0D	OUT 0Ch	Завантаження УС команди в порт 0Ch
0214			Код основної програми

Фрагмент програми, наведений нижче, демонструє організацію асинхронної передачі масиву даних. Код 7D в інструкції режиму забезпечує асинхронний режим з передачею на частоті синхронізації, перевіркою на парність, одним стоп-бітом та 8-розрядним кодом для передачі. У разі виникнення помилки парності здійснюється перехід до підпрограми обробки помилки, що знаходиться за адресою ERR.

Адреса	Машинний код	Мнемокод	Коментар
0440	05 40	MVI B, 40h	Налаштування лічильника циклу на 64 адреси

0442	21 08 92	LXI H, 0892h	Завантаження початкової адреси масиву з 64 осередків пам'яті
0445	05 40	MVI A, 40h	Запис в порт 08h команди для програмного скидання
0447	D3 08	OUT 08h	
0449	05 7D	MVI A, 7Dh	Запис в порт 08h
044B	D3 08	OUT 08h	режиму
044D	05 31	MVI A, 31h	Запис в порт 08h
044F	D3 08	OUT 08h	режиму
0451	7E	MOV A, M	Передача елемента масиву в акумулятор
0452	D3 08	OUT 08h	Запис елемента масиву в порт 08h
0454	CA 08	IN 08h	Передача слова-стану порту 08h в акумулятор
0456	4F	MOV C, A	Завантаження слова-стану в регістр C
0457	26 08	ANI 08h	Перевірка контролю парності
0459	C4 00 06	CNZ 0600h	Перехід до підпрограми обробки помилки
045B	79	MOV A, C	Контроль готовності
045C	1F	RAR	передавача
045D	D2 54 04	JNC 0454h	Перехід при відсутності готовності
0460	05	DCR B	Зменшення вмісту лічильника на 1
0461	C9 68 04	JZ 0468h	Перехід до завершення передачі
0464	23	INX H	Зміна адреси масиву
0465	C3 51 04	JMP 0451	Перехід до передачі чергового елемента масиву
0468	3E 38	MVI A, 38h	Запис в порт 08h команди завершення передачі

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		53

046A

D3 08

OUT 08h

передачі

Комірки пам'яті з адресами 0810h-0850h використовуються для збереження слів порту 00h, комірки 0851h-0891h – для збереження слів порту 04h, комірки 0892h-08D2h – для збереження слів порту 08h, комірки 08D3h-0913h – для збереження слів порту 0Ch. Схема блоків, що ілюструє частину алгоритму обробки підсистеми послідовного інтерфейсу, наведена на рисунку 3.1.

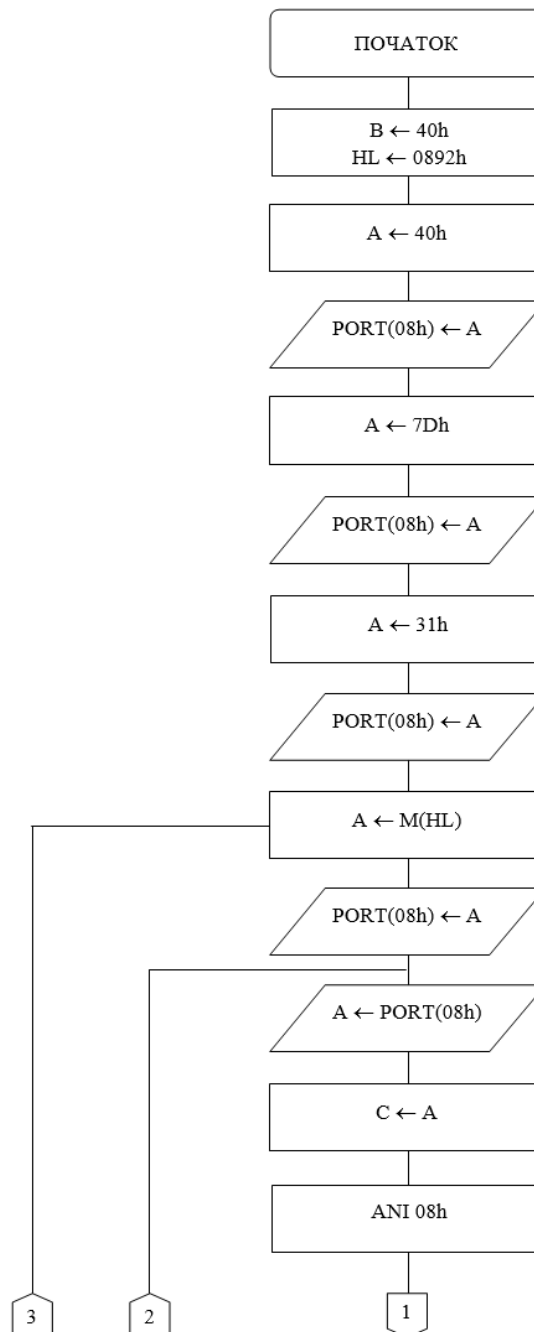
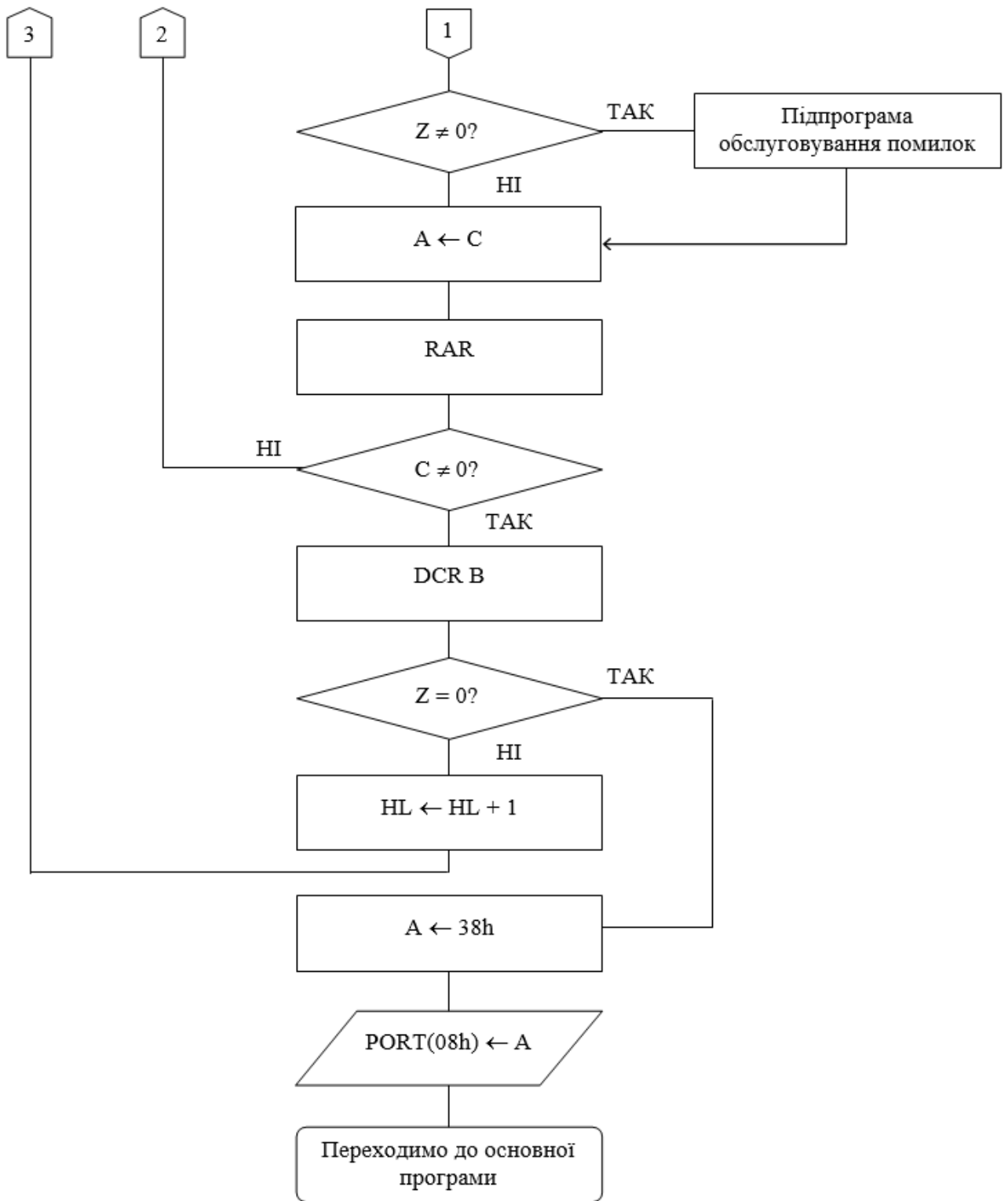


Рисунок 3.1 – Частина підпрограми обслуговування послідовного інтерфейсу

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		54



Продовження рисунку 3.1

4 КОНСТРУКТОРСЬКО-ТЕХНІЧНА ЧАСТИНА

4.1 Конструкція комутатора каналів передачі

Проектування та монтаж радіоапаратури на інтегральних мікросхемах повинно здійснюватися відповідно до технічних вимог до мікросхем та нормативно-технічної документації, що регулює проектування та виготовлення апаратури. Це дозволяє замовнику, конструктору та технологу повною мірою оцінити всі вимоги, що пред'являються до виробу. Одним з ключових етапів розробки електронної системи є проектування її конструкції, що включає розробку корпусу пристрою, проектування друкованої плати, а також планування розміщення деталей і вузлів для оптимального їх розташування в корпусі, зручності доступу до елементів керування та налаштування.

Сучасні промислові та побутові радіоапарати відрізняються підвищеними ергономічними характеристиками, що дозволяють здійснювати складні налаштування та регулювання через прості дії управління. Крім того, вони мають модульну конструкцію, широке використання цифрових пристроїв та нових елементів елементної бази, а також інтеграцію індикаторів і дисплеїв для відображення інформації та режимів роботи. Типові конструктивні особливості сучасної апаратури включають виконання конструкцій як набір функціональних модулів, де кожен містить кілька великих інтегральних мікросхем та дискретних елементів, що забезпечують необхідні режими роботи. Застосовуються також електронні шкали та цифрові індикатори.

Комбінація чутливих підсилювачів і генераторів в одному пристрої вимагає ретельного проектування схем розміщення елементів і використання спеціальних екранів для захисту. Щільне розташування великої кількості радіоелементів вимагає врахування теплових режимів як під час експлуатації, так і під час монтажу. Принципова схема апарату дозволяє зрозуміти тільки принцип його роботи, але не його конструкцію, тому важливу роль відіграє правильне розміщення елементів і вузлів.

При розміщенні елементів необхідно проаналізувати завдання з урахуванням призначення пристрою, складності компоновки, монтажу елементів і налаштувань, що забезпечують нормальну експлуатацію пристрою. Важливо також

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		56

передбачити всі механічні місця для кріплення елементів і виготовити ескіз компоновки з елементами управління та індикаторами.

Конструкція програмованого комутатора каналів розробляється як стандартна плата, до якої підключаються периферійні та центральні пристрої через роз'єми. Печатна плата виготовляється з двостороннього фольгованого стеклотекстоліту завтовшки 1,5 мм. Отвори під встановлення елементів та перехідні отвори металізуються, а форма плати вибрана прямокутною. Навісні елементи розташовуються з урахуванням електричних зв'язків і теплового режиму, щоб мінімізувати довжину проводів і кількість перехідних отворів.

Друкована плата повинна відповідати ряду технічних вимог, зокрема щодо кроку координатної сітки, металізації отворів і діаметрів, що відповідають нормам, описаним у документах. Ширина проводників і їх розміщення також повинні відповідати вимогам, що гарантують нормальну роботу схеми в умовах експлуатації та зручність монтажних робіт.

Крім того, монтаж елементів на платі здійснюється через пропускання висновків елементів у відповідні отвори, з наступним паянням. Важливо також дотримуватись відстаней між елементами та між висновками різних типів елементів. Розміщення мікросхем і навісних елементів на платі повинно відповідати стандартам, які регламентують їх точне розташування та монтаж.

4.2 Розробка технічної частини

Технологічний процес виготовлення комутатора каналів включає кілька етапів, починаючи від розробки друкованої плати до її остаточного складання та перевірки працездатності. Спочатку проводиться термостабілізація заготовок шляхом прогріву плат у сушильному шафі при температурі від +80°C до +100°C протягом 1–1,5 години, що дозволяє підготувати матеріал до подальших етапів. Далі наноситься схема на поверхню плати емульсійним методом. Якщо на поверхні фольги спостерігається сильне окислення, проводиться деканування.

Після цього плата промивається холодною проточною водою, а окислювальні шари з поверхні заготовок знімаються за допомогою шліфувального порошку М40 та зубного порошку у співвідношенні 2:1, використовуючи войлочний тампон або поролонову губку. Заготовки ще раз промиваються водою

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		57

та сушаться до повного висихання. На фольговану поверхню наноситься світлочутлива емульсія, після чого плати сушаться при температурі від 40°C до 50°C протягом 7–30 хвилин. Такий же процес наноситься й на зворотну сторону плати.

Наступним етапом є експонування, при якому заготовка з нанесеною емульсією поміщається в копіювальну рамку, а зверху кладеться негатив. Після цього відбувається проявлення малюнка схеми, а зображення фарбується метиловим фіолетовим індикатором для покращення чіткості. Плата промивається водою, і потім проводиться хімічне дублення, після чого знову здійснюється промивка. Вуаль з побілених ділянок знімається ватним тампоном, змоченим водою, або зубним порошком. Плата сушиться стиснутим повітрям.

Процес продовжується термічним дубленням, ретушуванням та сушінням на повітрі. Далі проводиться травлення міді за допомогою хлорного заліза, після чого плата промивається холодною водою, і захисний шар видаляється. Після цього на плату наноситься захисна плівка перед свердлінням, і сам процес свердління отворів.

Окрім цього, плата проходить гідроабразивну та гальванічну обробку, що включає оміднення. Після цього проводиться знежирення, промивка гарячою водою та обробка розчином сірчаної кислоти. Далі здійснюється активація соляною кислотою, сенсibilізація та хімічне оміднення. Плата знову промивається проточною водою, а захисна лакова плівка видаляється.

Останнім етапом є покриття плати сплавом «Розе» та нанесення захисного покриття лаком ПН-9. Після кожної операції проводиться контроль якості виконаних робіт. Готова плата повинна відповідати вимогам щодо зовнішнього вигляду, електричних характеристик, а також бути стійкою до механічних та технологічних впливів, забезпечуючи надійність і довговічність її функціонування протягом гарантійного терміну.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		58

5 ЕКОНОМІЧНА ЧАСТИНА

5.1 Підходи до розрахунку чисельності інженерно-технічного персоналу

Персонал – це всі працівники організації, які працюють за наймом. Вони забезпечують досягнення цілей підприємства. Персонал компанії включає всіх працівників, які здійснюють функції підприємства.

Залежно від участі в виробничому процесі персонал поділяється на:

- Промислово-виробничий персонал (ПВП), до якого входять працівники, безпосередньо задіяні у виробництві та його обслуговуванні.
- Непродуктивний персонал, який не бере участі у виробничому процесі, але створює умови для роботи ПВП.

Промислово-виробничий персонал можна поділити за місцем роботи у виробничому процесі на кілька категорій:

- Робітники – поділяються на основних та допоміжних. Основні робітники здійснюють безпосереднє виробництво продукції, а допоміжні обслуговують виробництво.
- Інженерно-технічні працівники (ІТП) – це спеціалісти, які займаються підготовкою та управлінням виробничим процесом.
- Адміністративно-управлінський персонал (АУП) – це фахівці, які займаються управлінням підприємством, збором та обробкою інформації та прийняттям управлінських рішень.
- Молодший обслуговуючий персонал – включає працівників, які не беруть участі у виробничому процесі, але забезпечують його обслуговування, таких як прибиральники, складські працівники, гардеробники тощо.
- Охорона – спеціалісти, які забезпечують безпеку підприємства, охороняють матеріальні цінності від крадіжок та стихійних лих, а також забезпечують захист комерційної таємниці підприємства.

Персонал підприємства можна оцінити як за кількісними, так і за якісними показниками.

Кількісні показники включають чисельність та плинність кадрів: нормативна, списочна та явочна чисельність персоналу.

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		59

Чисельність персоналу можна охарактеризувати через такі показники:

- Явочна чисельність – це кількість працівників, які фактично вийшли на роботу.
- Списочна чисельність – це число працівників, зарахованих до штату підприємства на конкретний момент.

Середня явочна чисельність обчислюється шляхом ділення числа явочних працівників за всі робочі дні місяця на кількість робочих днів місяця. Підрахунок проводиться за середнім арифметичним. Списочний склад працівників фіксується на кожен календарний день місяця. В ПВП враховуються всі постійні, тимчасові та сезонні працівники, якщо вони працювали хоча б один робочий день. Списочний склад може змінюватися через рух робочої сили.

Середньо списочна чисельність ПВП обчислюється двома способами:

- Діленням суми списочної чисельності працівників за всі календарні дні місяця на кількість календарних днів місяця.
- Діленням суми людино-днів явок і неявок на роботу за всі календарні дні місяця на кількість календарних днів місяця.

Різниця між списочною та явочною чисельністю характеризує цілоденні втрати часу. Середньо списочна чисельність персоналу дає уявлення про трудовий потенціал підприємства.

Нормативна чисельність – це число працівників, що зайняті на нормованих роботах. Вона визначається за допомогою нормативної трудомісткості виробництва продукції або по робочих місцях.

Чисельність робітників за нормативною трудомісткістю виробництва продукції можна розрахувати за такою формулою:

$$N = \frac{T \times E}{F} \times (1 + b) \quad (5.1)$$

де N – планова чисельність робітників;

T – трудомісткість планового обсягу продукції (годин);

E – ефективний фонд робочого часу одного працівника на рік;

b – очікуване перевиконання норм у результаті впровадження заходів по підвищенню продуктивності праці.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
						60
Змін.	Арк.	№ докум.	Підпис	Дата		

Чисельність робітників, що обслуговують машини та обладнання, визначається за нормами обслуговування або нормами штату. Для цього застосовуються такі формули:

$$N = M \times H \times C \quad (5.2)$$

де M – кількість робочих місць;

H – норма штату, кількість працівників, необхідних для обслуговування одного робочого місця;

C – коефіцієнт переведення явочної чисельності в списочну.

Плинність кадрів – це показник, що визначає зміну персоналу. Її розраховують за формулою:

$$T_k = \frac{P + U}{Ch_{ppp}} \times 100 \quad (5.3)$$

де P – кількість прийнятих працівників;

U – кількість звільнених працівників;

Ch_{ppp} – середня списочна чисельність персоналу за плановий період.

Текучість персоналу повинна бути оптимальною (10-15%) для більшості підприємств. Занадто висока текучість веде до великих втрат часу, а дуже низька – до уповільнення оновлення кадрів.

Структура та чисельність персоналу відображаються в штатному розкладі підприємства. Різницю між поняттями "кадри", "персонал" та "трудові ресурси підприємства" варто також враховувати.

Кваліфікація – це здатність спеціаліста виконувати завдання певної складності, що визначається рівнем освіти та досвідом. Кваліфікація для робітників може бути розділена на чотири групи, а для ІТП і АУП також можна виділити чотири рівні кваліфікації:

- 1) Працівники без спеціальної освіти, але з досвідом роботи.
- 2) Спеціалісти середнього спеціального рівня.
- 3) Висококваліфіковані спеціалісти з вищою освітою.
- 4) Спеціалісти вищої кваліфікації з науковими ступенями.

					ЕлІТ 8.171.00.05.421 ПЗ	Арк.
						61
Змін.	Арк.	№ докум.	Підпис	Дата		

Інженерно-технічний персонал здійснює організацію та управління виробничим процесом, при цьому віднесення до цієї категорії визначається не освітою, а посадою.

5.2 Розрахунок повної собівартості комутатора каналів передачі

Собівартість продукту – це виражені в грошовій формі поточні витрати підприємства на його виробництво та збут [25]. Витрати на виробництво формують виробничу (заводську) собівартість, а витрати на виробництво та збут – повну собівартість. Розрахунок собівартості продукту за статтями витрат називається калькуляцією.

Витрати, пов'язані з виробництвом і збутом (реалізацією) продукту «програмований комутатор каналів передачі даних», групуються за наступними статтями:

- матеріали та комплектуючі;
- основна заробітна плата;
- додаткова заробітна плата;
- соціальні відрахування від заробітної плати;
- оренда машинного часу або витрати на утримання та експлуатацію обладнання;
- загальновиробничі витрати;
- адміністративні витрати;
- витрати на збут (реалізацію) продукту.

Витрати на матеріали та комплектуючі. Матеріали та комплектуючі вироби визначаються на основі відомостей на матеріали, сировину, комплектуючі, кооперацію, що припадають на одну одиницю випуску (табл. 8.1).

Витрати на основну заробітну плату. Основна заробітна плата розраховується за наступною формулою:

$$Z_o = \sum_{i=1}^n TC \cdot Ч \quad (5.4)$$

					<i>ЕлІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		62

де $TC = 70$ – погодинна тарифна ставка працівника, задіяного у виробництві пристрою, грн/год;

$Ч = 24$ – час, витрачений працівником на виготовлення та налагодження пристрою;

$n = 1$ – кількість працівників, які беруть участь у виробничому процесі.

Таблиця 5.1 – Витрати на матеріали та комплектуючі виробу

Комплектуючі	Ціна, грн.	Кількість, шт.	Сума на виріб, грн.
Конденсатори	1,20	8	9,60
Мікросхема Intel 8085A	658,64	1	658,64
Мікросхема 8286	55,00	1	55,00
Мікросхема 8282	60,00	2	120,00
Мікросхема 8251A	500,00	4	2 000,00
Мікросхема 2716	660,00	1	660,00
Мікросхема TC5517	125,00	1	125,00
Мікросхема 8218	800,00	1	800,00
Мікросхема SN74ALS257	10,00	1	10,00
Мікросхема SN74ALS27	36,00	1	36,00
Мікросхема SN74ALS11A	13,50	1	13,50
Мікросхема SN74ALS32	34,00	1	34,00
Мікросхема SN74ALS00	47,50	2	95,00
Мікросхема SN74ALS04	33,50	1	33,50
Вилка 64 контакти	40,00	1	40,00
Вилка 4 контакти	12,50	4	50,00
Резистори	1,00	4	4,00
Резонатор кварцовий	18,00	1	18,00
Лист текстоліту	60,00	1	60,00
Припій	25,00	-	25,00
Всього:			4847,24

Підставимо значення у вираз (5.4):

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		63

$$Z_o = \sum_{i=1}^1 70 \cdot 24 = 1680 \text{ грн.}$$

Додаткова заробітна плата. Витрати на додаткову заробітну плату зазвичай становлять від 10% до 30% від базової:

$$Z_d = Z_o \frac{K_d \%}{100} \quad (5.5)$$

де $K_d = 10\%$ – відсоток додаткової заробітної плати.

Підставимо дані у формулу (5.5).

$$Z_d = 1680 \frac{10}{100} = 168 \text{ грн}$$

Соціальні відрахування із заробітної плати

Ці відрахування включають внески, які розраховуються від суми основної та додаткової заробітної плати відповідно до встановлених ставок:

- на обов'язкове державне пенсійне страхування;
- на страхування від нещасних випадків на виробництві;
- на обов'язкове державне страхування на випадок безробіття;
- на випадок тимчасової втрати працездатності, а також для покриття витрат, пов'язаних із народженням дитини чи похованням;

$$V_{сз} = (1680 + 168) \cdot \frac{36.3\%}{100} \quad (5.6)$$

Підставимо дані в формулу (5.6).

$$V_{сз} = (Z_o + Z_d) \cdot \frac{36.3\%}{100} = 670.82 \text{ грн}$$

Витрати на утримання та експлуатацію обладнання. Вважається, що обладнання перебуває на балансі підприємства. Витрати на утримання та

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
						64
Змін.	Арк.	№ докум.	Підпис	Дата		

експлуатацію обладнання (ВУЕО) обчислюються як відсоток від основної заробітної плати. Значення цього відсотка визначається за даними з відомостей аналізу повної собівартості продукції та зазвичай становить у середньому від 120% до 150%.

$$\text{ВУЕО} = Z_o \frac{\text{ВУЕО}\%}{100} \quad (5.7)$$

Підставимо дані в формулу (5.7).

$$\text{ВУЕО} = 1680 \frac{120}{100} = 2016 \text{ грн}$$

Загальновиробничі витрати — це витрати, що пов'язані з управлінням підрозділом (цехом), витрати на службові відрядження працівників цього підрозділу, амортизаційні відрахування від вартості основних фондів, що використовуються в цеху, тощо. Загальновиробничі витрати V_3 визначаються за даними звітів про аналіз повної собівартості продукції (в середньому можуть становити від 130% до 250%). Вони обчислюються як певний відсоток V_3 від основної заробітної плати виробничих витрат.

$$V_3 = Z_o \frac{V_3\%}{100} \quad (5.8)$$

Підставимо дані в формулу (5.8).

$$V_3 = 1680 \frac{130}{100} = 2184$$

До складу витрат на виробництво входять кошти, витрачені на виготовлення пристрою:

$$C_B = 1680 + 168 + 670.82 + 4847,24 + 2016 + 2184 = 10665.06 \text{ грн}$$

Адміністративні витрати можуть включати такі категорії:

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		65

- витрати на управління виробничими процесами;
- витрати на службові поїздки керівництва підприємства;
- витрати на забезпечення протипожежної безпеки та охорону підприємства;
- витрати, пов'язані з підготовкою та перепідготовкою персоналу;
- витрати на транспортування працівників до місця роботи та назад;
- витрати на сплату відсотків за фінансові, товарні та комерційні кредити;
- витрати, пов'язані з оплатою відсотків за оренду матеріальних цінностей (лізинг);
- витрати на сплату послуг комерційних банків та інших фінансових установ.

Адміністративні витрати (B_a) визначаються на основі даних по аналізу повної собівартості продукції і можуть складати 140-200%. Вони обчислюються як відсоток від основної заробітної плати.

$$B_a = Z_o \frac{B_a\%}{100} \quad (5.9)$$

Підставимо дані в формулу (5.9).

$$B_a = 1680 \frac{140}{100} = 2352 \text{ грн}$$

Загальні (не виробничі) витрати включають витрати на рекламу та підготовку товару до продажу. Орієнтовно ці витрати становлять 5-10% від собівартості виробництва:

$$B_z = C_b \frac{B_z\%}{100} \quad (5.10)$$

Підставимо дані в формулу (5.10).

$$B_z = 10665.06 \frac{5}{100} = 533.25 \text{ грн}$$

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		66

Повна собівартість виготовленого продукту визначається як:

$$C = C_B + B_a + B_z \quad (5.11)$$

Підставимо дані у формулу (5.11).

$$C = 10665.06 + 2352 + 335.94 = 13353 \text{ грн}$$

У таблиці 5.2 представлені підсумовані дані по розрахунку собівартості продукції.

Таблиця 5.2 – Розрахунок собівартості продукції

Назва статей розрахунку	Значення, грн
Основна заробітна плата	1680
Додаткова заробітна плата	168
Відрахування з заробітної плати	670.82
Матеріали та комплектуючі вироби	4847,24
Витрати на утримання та експлуатацію обладнання	2016
Загальновиробничі витрати	2184
Виробнича собівартість:	10665.06
Адміністративні витрати	2352
Витрати поза виробничою діяльністю (комерційні витрати)	533.25
Повна собівартість:	13353

5.3 Розрахунок ціни комутатора каналів передачі

Після розрахунку повної собівартості продукту, нам необхідно визначити ціноутворення для нього. Проведемо розрахунок оптової ціни продукту за наступною формулою:

$$C_{\text{опт}} = C + П \quad (5.12)$$

де C – це повна собівартість продукту;

Π – прибуток.

Величина Π вираховується за допомогою показника рентабельності R , який встановлюється підприємством:

$$R = \frac{\Pi}{C} \cdot 100\% \quad (5.13)$$

Величина R зазвичай складає до 35%. Перетворюємо формулу (5.12) у наступний вираз:

$$C_{\text{опт}} = C + \frac{R \cdot C}{100} \quad (5.14)$$

Підставляємо значення:

$$C_{\text{опт}} = 13353 + \frac{20 \cdot 13353}{100} = 16023.6 \text{ грн}$$

Також, знаходимо ціну для роздрібною торгівлі за наступним співвідношенням:

$$C_{\text{розд}} = 1.2 \cdot C_{\text{опт}} \quad (5.15)$$

Підставляємо значення:

$$C_{\text{розд}} = 1.2 \cdot 16023.6 = 19228.32 \text{ грн}$$

Отже, надано орієнтовну оцінку собівартості розробленого пристрою та розраховано роздрібну ціну за схемою «собівартість плюс прибуток», що дозволяє судити про приблизну економічну вигоду застосування продукту. Переваги цієї методики полягають у її простоті та наочності, оскільки вона чітко враховує такі функції ціни, як відшкодування витрат на виробництво та забезпечення прибутковості від створення і реалізації продукту. Однак її недоліком є слабе врахування ринкових факторів ціноутворення, зокрема попиту. Водночас, у

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		68

реальних умовах перехідної економіки є ситуації, коли підприємствам вигідно застосовувати цей підхід, зокрема за відсутності конкуренції (монополія), обмеження рентабельності продукції з боку держави, виконанні разових замовлень або виготовленні унікальних товарів.

Використання цього пристрою передбачає наявність додаткових електронних модулів, які повинні бути сумісними за використовуваними методами передачі даних, що може дещо підвищити ціну програмованого пристрою загалом. Для визначення реальної ціни, яка відповідала б умовам ринку подібних продуктів, необхідно провести відповідні маркетингові дослідження.

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		69

ВИСНОВКИ

У результаті виконання кваліфікаційної роботи було здійснено комплексне дослідження та аналіз сучасного стану питання, пов'язаного з розробкою пристроїв введення-виведення даних. Встановлено, що ключовими проблемами таких пристроїв є обмежена кількість портів для передачі даних, недостатня швидкість їх обміну, а також труднощі в інтеграції з сучасними обчислювальними та автоматизованими системами. Проведений аналіз літературних джерел підтвердив актуальність розробки універсальних програмованих рішень, здатних забезпечувати ефективне управління потоками даних, адаптуючись до різноманітних інтерфейсів і протоколів передачі.

Основним результатом роботи стало створення програмованого контролера введення-виведення даних, що має гнучку архітектуру, базовану на сучасних мікропроцесорних технологіях. Розроблений пристрій забезпечує підтримку чотирьох асинхронних портів передачі даних із швидкістю до 19200 біт/с на кожен порт, а також підтримує симплексний і мультиплексний режими роботи. Архітектурна гнучкість контролера дозволяє йому інтегруватися з багатокористувацькими системними шинами, що відповідає потребам сучасних автоматизованих систем управління та збору даних.

Процес розробки включав створення структурної, функціональної та принципової схем пристрою, вибір оптимальної елементної бази та розробку програмного забезпечення для управління контролером. У структурі пристрою передбачено мікропроцесорний блок, який виконує обробку даних і забезпечує синхронізацію роботи пристрою, а також модулі пам'яті для зберігання програмного коду і даних, що передаються. Для забезпечення асинхронного обміну та взаємодії з периферійними пристроями були розроблені спеціалізовані порти введення-виведення, адаптовані до електричних і конструктивних параметрів сучасних інтерфейсів.

Практична реалізація контролера підтвердила його відповідність технічним вимогам. Пристрій демонструє високу швидкодію, забезпечуючи пропускну здатність понад 76,8 Кбіт/с при паралельній роботі всіх портів, та ефективно оптимізує використання процесорного часу завдяки асинхронному режиму обміну даними. Порівняно з існуючими рішеннями, розроблений контролер відзначається

					<i>ЕлІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		70

зменшеною кількістю апаратних компонентів завдяки використанню мікропроцесора, що підвищує його надійність і спрощує виробництво.

Обґрунтованість отриманих результатів підтверджена числовими розрахунками, моделюванням та експериментальним тестуванням у реальних умовах експлуатації. У ході перевірки було підтверджено відповідність технічних параметрів пристрою заданим вимогам, що забезпечує його практичну застосовність у різних сферах.

Розроблений контролер може бути рекомендований для впровадження у промислових системах автоматизації, де потрібна інтеграція великої кількості периферійних пристроїв, а також у системах збору й обробки даних для наукових та виробничих потреб. Крім того, пристрій може бути використаний у навчальних і дослідницьких проектах для вивчення та тестування інтерфейсів передачі даних. Результати роботи створюють міцну основу для подальших досліджень у сфері розробки пристроїв введення-виведення даних і їхньої адаптації до сучасних вимог автоматизованих систем.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
						71
<i>Змін.</i>	<i>Арк.</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>		

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Галайчук І.Ю. Периферійні пристрої комп'ютерних систем. Київ: НаУКМА, 2021. 412 с.
2. Дем'яненко С.П. Системи автоматизації: сучасні підходи та рішення. Харків: ХАІ, 2020. 354 с.
3. Ткаченко М.В., Гребенюк Ю.І. Електроніка та мікропроцесорна техніка. Суми: СумДУ, 2022. 308 с.
4. Гаврилюк О.М. Інтерфейси передачі даних: теорія та практика. Львів: Видавництво ЛНУ, 2019. 289 с.
5. Козлов В.А., Костенко А.Ю. Розробка програмованих контролерів. Одеса: ОНАХТ, 2021. 232 с.
6. David A. Patterson, John L. Hennessy. Computer Organization and Design: The Hardware/Software Interface. 6th Edition, Elsevier, 2021. 656 pages.
7. John F. Wakerly. Digital Design: Principles and Practices. 5th Edition, Pearson, 2020. 800 pages.
8. Barry B. Brey. The Intel Microprocessors: Architecture, Programming, and Interfacing. 8th Edition, Pearson, 2021. 960 pages.
9. Steve Heath. Embedded Systems Design. 2nd Edition, Newnes, 2020. 400 pages.
10. Douglas V. Hall. Microprocessors and Interfacing: Programming and Hardware. 2nd Edition, McGraw-Hill Education, 2020. 718 pages.
11. ГОСТ 12.1.004:2021 "Система стандартів безпеки праці. Загальні вимоги до виробничої безпеки".
12. ДСТУ 7251:2020 "Охорона праці в галузях електроніки".
13. Тарасенко А.І. Охорона праці у сучасних виробничих системах. Харків: Видавництво ХНУРЕ, 2020. 220 с.
14. Колесник П.О. Техніка безпеки у виробництві мікроелектроніки. Дніпро: ДНУ, 2021. 180 с.
15. Павлов А.В. Економічний аналіз автоматизації виробництва. Київ: Видавництво КНЕУ, 2020. 300 с.
16. Smith K. R. Economic Viability of Automation Systems. Springer, 2021. 400 pages.
17. Linux Device Drivers by Jonathan Corbet, Alessandro Rubini, Greg Kroah-

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		72

Hartman. 3rd Edition, O'Reilly Media, 2021. 640 pages.

18. The Art of Electronics by Paul Horowitz, Winfield Hill. 3rd Edition, Cambridge University Press, 2021. 1224 pages.

19. Journal of Embedded Systems and Applications (2022), стаття "Trends in Programmable Controllers".

20. IEEE Transactions on Automation Science and Engineering (2021), стаття "Microprocessor Design Innovations".

21. Методичні рекомендації до проєктування периферійних пристроїв. Суми: СумДУ, 2021. 120 с.

22. Програмовані логічні контролери: навчальний посібник / під ред. І. В. Романенко. — Львів: ЛПІ, 2020. 190 с.

23. ISO 9001:2020 "Quality management systems — Requirements".

24. IEC 61131-3:2019 "Programmable Controllers — Programming Languages".

25. Arduino Development Projects: Hands-On Guidance for IoT Systems by Simon Monk. Packt Publishing, 2020. 300 pages.

					<i>ЕЛІТ 8.171.00.05.421 ПЗ</i>	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		73

ПЕРЕЛІК ЕЛЕМЕНТІВ

Познач.	Найменування	Кільк.	Примітка
	Конденсатори		
C1	K10-7B-H30-30 пФ±5% ОЖО.460.208 ТУ	1	
C2, C4-10	K12-7B-H30-0,047 мкФ±10% ОЖО.460.208 ТУ	11	
C3	K50-27-63V-10 мкФ±10% ОЖО.460.208 ТУ	1	
	Мікросхеми		
DD1	SN74ALS257	1	
DD2	SN74ALS32	1	
DD3	Intel 8085A	1	
DD4, DD5	8282	2	
DD6	8286	1	
DD7	SN74ALS04	1	
DD8, DD15	SN74ALS00	2	
DD9	SN74ALS11A	1	
DD10	2716	1	
DD11	TC5517	1	
DD12	SN74ALS27	1	
DD13, DD14	8251A	2	
DD16, DD17	8251A	2	
	Резистори		
R1	C2-33-0,125-3,3 кОм±2% ОЖО.467.104 ТУ	1	
	Кнопковий перемикач		
S1	П-2К 88К-16 ОЖО.455.125 ТУ	1	
	Роз'ємні з'єднування		
XS1, 2, 3, 4, 5	РП10-12ЛО	5	
	Кварцовий резонатор		
ZQ1	PK171ББ-14-БП-6048К-В ОДО.338.019 ТУ	1	

					ЕЛІТ 8.171.00.05.421 ПЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		74