

УДК 621

РЕВЕРСИВНЫЕ БИНОМИАЛЬНЫЕ СЧЕТЧИКИ

А.А. Борисенко, д-р техн. наук, проф.;
Т.А. Протасова, канд. техн. наук, ст. препод.;
И.Е. Бражник, м. н. с.;
Л.П. Червякова, ассистент

Сумский государственный университет, г. Сумы

Рассмотрены реверсивные биномиальные счетчики, обладающие повышенной помехоустойчивостью и способностью генерировать комбинаторные конфигурации. Используются в цифровых устройствах и системах с повышенными требованиями к надежности и в специализированных вычислителях.

Розглянуті реверсивні біноміальні лічильники, що мають підвищену перешкодостійкість і здатність генерувати комбінаторні конфігурації. Використовуються в цифрових пристроях і системах з підвищеними вимогами до надійності і в спеціалізованих обчислювачах.

Цифровые счетчики нашли широкое распространение при построении различных вычислительных и управляющих приборов, а также в качестве самостоятельных устройств. Их история насчитывает не один десяток лет. Однако, несмотря на это, непрерывно происходит их совершенствование, в первую очередь с целью повышения их надежности и быстродействия. Эти задачи остаются актуальными и на сегодня. Именно на решение указанных задач направлена данная работа. Причем взята всего одна задача – *повышение помехоустойчивости цифровых устройств*. Оно достигается в цифровой технике различными путями и в первую очередь совершенствованием технологии производства микросхем. Но при этом для решения данной задачи также применяются и новые, более надежные и быстродействующие структуры счетчиков. Наибольшее распространение среди них нашли структуры, использующие двоичные системы счисления, на основе которых строятся двоичные счетчики. Они на сегодня занимают основной объем при производстве счетчиков. Однако имеются и структуры счетчиков, использующие другие позиционные системы счисления, а иногда и непозиционные системы. В работе [1] были рассмотрены различные схемы счетчиков, для построения которых используются биномиальные системы счисления – двоичные и многозначные. Они по своей природе являются помехоустойчивыми и в ряде случаев более быстродействующими, хотя и используют для своей реализации больше аппаратных затрат, чем двоичные счетчики. Однако современные технологии производства интегральных схем нивелируют эффект избытка аппаратуры с точки зрения ее цены. В то же время повышение быстродействия и надежности, в частности помехоустойчивости счетчиков, да и в целом цифровых устройств, остаются на сегодня актуальными задачами. В данной работе описаны схемы двоичных и многозначных реверсивных биномиальных счетчиков, что дает возможность провести их сравнительный анализ.

Первое устройство расширяет функциональные возможности

суммирующих двоичных биномиальных счетчиков путем реверса счета с суммирующего счета на вычитающий счет и обратно. Поставленная цель достигается за счет введения новых конструктивных признаков, обеспечивающих переход из режима сложения в режим вычитания и, наоборот, - с произвольного состояния счетчика [4].

Счетчик импульсов с $k=4$, $n=5$ работает следующим образом (см. рис. 1).

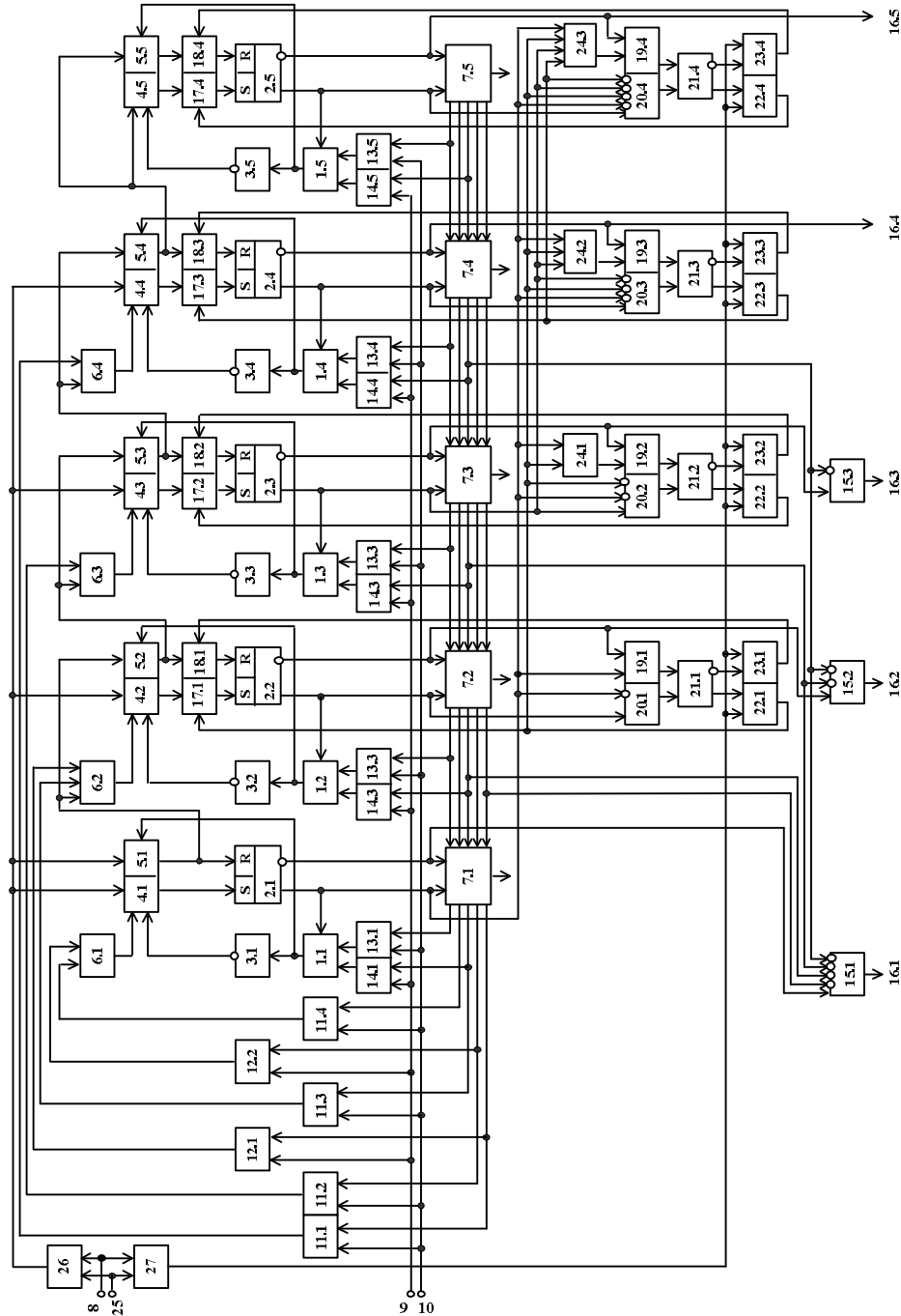


Рисунок 1 - Двоичный биномиальный реверсивный счетчик импульсов с $k = 4$, $n = 5$

В исходном состоянии все триггеры счетчика стоят в нуле, т.е. счетчик находится в нулевом состоянии 00000, на шине 10 сложения присутствует сигнал, на шине 9 вычитания сигнал отсутствует. На нулевом выходе сумматора 7.1 соответственно имеется единичный сигнал, который проходит через элементы И 11.1 и ИЛИ 6.4 на вход элемента И 4.4, так как с четвертого выхода сумматора 7.4 (через элемент И 13.4), выхода элемента И 14.4 и единичного выхода триггера 2.4 поступают нулевые сигналы на элемент ИЛИ 1.4, то элемент И 5.4 закрыт нулевым сигналом, а элемент И 4.4 открыт единичным сигналом с элемента НЕ 3.4. На шине 25 импульсного сигнала переключения режима работы сигнал отсутствует, поэтому элемент И 27 разрешения на перезапись закрыт, а элемент И 26 блокировки тактового сигнала открыт. Тактовый сигнал, поступающий на входную шину 8, проходит через элемент И 26 и устанавливает триггер 2.4 в единичное состояние через элементы И 4.4 и ИЛИ 17.3. В счетчике будет состояние 01000, соответственно на первом выходе сумматора первого разряда 7.1 появляется единичный сигнал, который через элементы И 11.2 и ИЛИ 6.3 дает разрешение на установку в единичное состояние триггера 2.3, т.е. счетчик по тактовому импульсу в соответствии с вышеописанным переходит в состояние 01100.

Аналогично получены все состояния счетчика.

В исходном состоянии при работе счетчика в режиме вычитания все триггеры находятся в нуле - 00000, на шине 9 вычитания присутствует единичный сигнал, на шине 10 сложения сигнал отсутствует, соответственно на выходных шинах 16.5 - 16.1 снимается кодовая комбинация 11110. Причем на шины 16.5 и 16.4 единичные сигналы поступают непосредственно с инверсных выходов соответствующих триггеров 2.5, 2.4, на шины 16.3 и 16.2 единичные сигналы поступают с инверсных выходов соответствующих триггеров 2.3 и 2.2 через соответствующие элементы И 15.3 и И 15.2 (разрешение на прохождение сигналов поступает со вторых выходов сумматоров 7.4 и 7.3 на инверсные входы элементов И 15.3 и И 15.2). Так как счетчик находится в нулевом состоянии, то на нулевом выходе сумматора 7.2 находится единичный сигнал, который поступает на инверсный вход элемента И 15.1 и запрещает прохождение через него единичного сигнала с инверсного выхода триггера 2.1. В результате на шине 16.1 снимается нулевой сигнал. На нулевом выходе сумматора 7.1 также имеется единичный сигнал, который проходит через элементы И 12.1 и ИЛИ 6.2 на вход элемента И 4.2. Так как со второго выхода сумматора 7.2 (через элемент И 14.2), выхода элемента И 13.2 и единичного выхода триггера 2.2 поступают нулевые сигналы на элемент ИЛИ 1.2, то элемент И 5.2 закрыт нулевым сигналом, а элемент И 4.2 открыт единичным сигналом с элемента НЕ 3.2. Тактовый сигнал со входной шины 8 через элемент И 26 устанавливает триггер 2.2 в единичное состояние 00010, на выходных шинах 16.5 - 16.1 - 11101, соответственно на первом выходе сумматора 7.1 появляется единичный сигнал, который через элементы И 12.2 и ИЛИ 6.1 дает разрешение на установку в единичное состояние триггера 2.1, т.е. счетчик по тактовому импульсу в соответствии с выше описанным переходит в состояние 00011, на выходных шинах 16.5 - 16.1 - 11100.

Аналогично получают остальные состояния счетчика.

При переходе счетчика от одного режима работы к другому на шину 25 импульсного сигнала переключения режима работы поступает единичный сигнал, который подается на инверсный вход элемента И 26 и блокирует прохождение очередного тактового сигнала с шины 8 через элемент И 26, одновременно дает разрешение на прохождение этого тактового сигнала через элемент И 27 на входы элементов И 22.1 - 22.4 и И 23.1 - 23.4 и открывает их для установки соответствующих триггеров 2.2 - 2.5 в нулевое или в единичное состояние в зависимости от предыдущего состояния счетчика. Например, если счетчик находится в состоянии 01100 и

приходит сигнал переключения режима работы, то на выходе элемента И 19.1 будет нулевой сигнал, так как на второй вход этого элемента приходит нулевой сигнал с прямого выхода триггера 2.1. На выходе элемента И 20.1 также будет нулевой сигнал, так как на прямой вход этого элемента поступает нулевой сигнал с прямого выхода триггера 2.2. В результате единичный сигнал с инверсного выхода элемента ИЛИ 21.1 через элементы И 23.1 и ИЛИ 18.1 подтверждает нулевое состояние триггера 2.2. Нулевые сигналы с прямых выходов триггеров 2.1 и 2.2 поступают на инверсные входы элемента И 20.2 и открывают его, в результате единичный сигнал с прямого выхода триггера 2.3 проходит через элементы И 20.2, ИЛИ 21.2, И 22.2 и ИЛИ 17.2 и подтверждает единичное состояние триггера 2.3. Единичный сигнал с прямого выхода триггера 2.3 поступает на инверсный вход элемента И 20.3 и закрывает его, в результате на выходе этого элемента будет нулевой сигнал. На выходе элемента И 19.3 также будет нулевой сигнал, так как на первый вход этого элемента поступает нулевой сигнал с инверсного выхода триггера 2.4, в результате единичный сигнал и с инверсного выхода элемента ИЛИ 21.3 поступает через элементы И 23.3 и ИЛИ 18.3 на вход установки в "0" триггера 2.4 и сбрасывает его в нулевое состояние. Единичный сигнал с прямого выхода триггера 2.4 проходит через элемент ИЛИ 24.3 на второй вход элемента И 19.4, на первый вход которого поступает единица с инверсного выхода триггера 2.5, в результате единичный сигнал с элемента И 19.4 через элементы ИЛИ 21.4, И 22.4, ИЛИ 17.4 поступает на триггер 2.5 и устанавливает его в единичное состояние. В счетчик записана кодовая комбинация 10100. До прихода следующего тактового сигнала на входную шину 8 единичный сигнал снимается с шины 25, закрывает элемент И 27 и открывает элемент И 26. С приходом очередного тактового сигнала происходит обычный счет, начиная с кодовой комбинации 10100.

Аналогичным образом при переходе от одного режима работы к другому происходят преобразование остальных кодовых комбинаций и запись их в счетчик.

Ниже на рис. 2 предлагается многозначный реверсивный биномиальный счетчик импульсов.

Устройство предназначено как для суммирующего, так и вычитающего помехоустойчивого счета импульсов, а также для работы в качестве помехоустойчивых распределителей импульсов и пересчетных схем. В данном случае функции суммирующего многозначного биномиального счетчика расширены за счет введения реверса его счета [4]. На рисунке 2 приведена блок-схема реверсивного многозначного биномиального счетчика импульсов на три разряда.

Число состояний N предлагаемой структуры счетчика определяется, как и ранее, биномиальным коэффициентом C_m^k . Его нижний и верхний параметры задают контрольное число $l = m - k$, а k - число разрядов счетчика.

В рассматриваемом счетчике при $k = 3$, и $m = 5$, $l = 2$.

Счетчик импульсов содержит разряды 1, 2 и 3, многоустойчивые пересчетные схемы 1 - 1 - 1 - 3 соответственно разрядов 1 - 3 счетчика импульсов, сумматоры 2 - 1 - 2 - 3 соответственно разрядов 1 - 3 счетчика импульсов, элементы И 3 - 1 - 3 - 3 и 4 - 1 - 4 - 3, входную шину 5, выходные шины 6 - 1 - 6 - 3 соответственно разрядов 1 - 3 счетчика импульсов, элементы И 7 - 1 - 7 - 3, 8 - 1 - 8 - 3 и 9 - 1 - 9 - 3 элементы ИЛИ 10 - 1 - 10 - 3 элементы И 11 - 1 - 11 - 3 и 12 - 1 - 12 - 3, шины 13 и 14 управления, группу элементов И 15-1 и 16-1 разряда 1, группу элементов И 15-2 и 16-2 разряда 2, группу элементов И 15 - 3 и 16 - 3 разряда 3. Счетчик импульсов работает следующим образом.

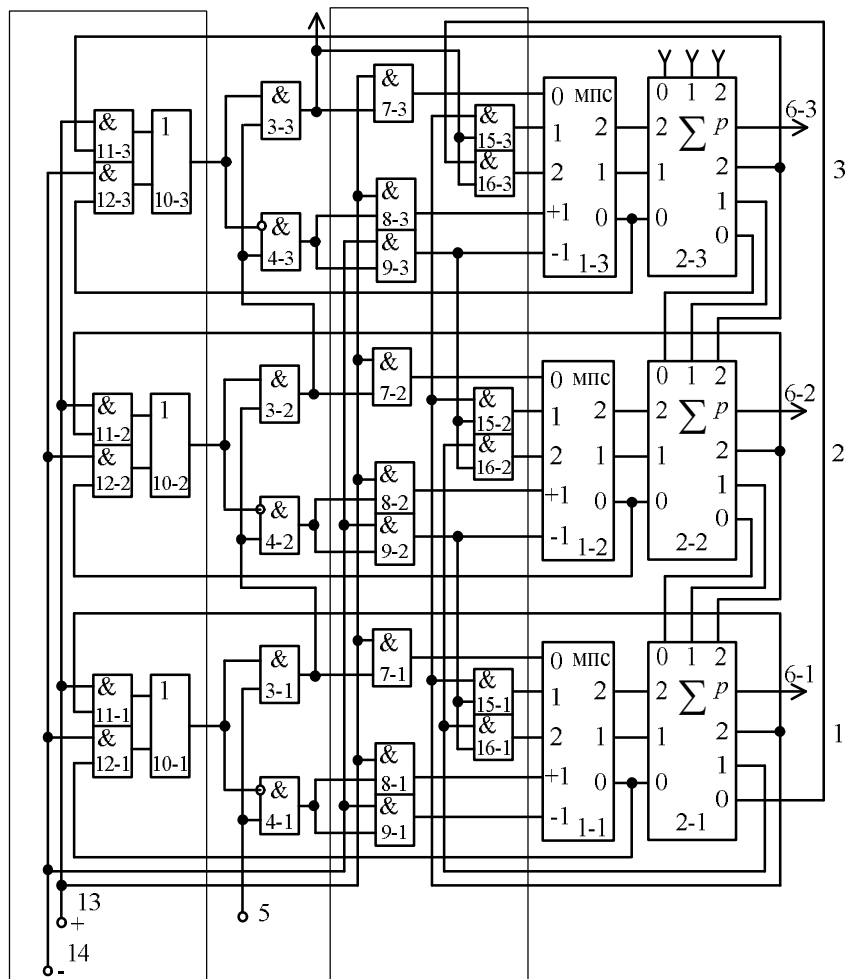


Рисунок 2 – Многочисленный биномиальный реверсивный счетчик импульсов с $k = 3$, $t = 5$

При выполнении операции сложения на шину 13 подается сигнал единицы, производится подготовка элементов И 7-1-7-3, 8-1-8-3 и 11-1-11-3 к подаче сигналов. Сигнал с выхода многостойчивой пересчетной схемы, например, 1-2, соответствующий какой-то цифре (номеру состояния), поступает на один из входов сумматора 2-2. На один из вторых его входов поступает сигнал с одного из выходов сумматора 2-3 старшего разряда 3. Если сумма цифр рассматриваемого и старших разрядов счетчика равна контрольному числу (в этом случае младшие разряды счетчика при правильном функционировании будут равны нулю), 5 то на соответствующем выходе сумматора 2-2 вырабатывается сигнал, поступающий на вход элемента И 11-2. Поскольку другой вход элемента И 11-2 соединен с шиной 13, на его выходе вырабатывается сигнал, который через элемент ИЛИ 10-2 поступает на вход элемента И 3-2 и инверсный вход элемента И 4-2. Тем самым будет запрещено поступление счетного импульса на вход элемента И 8-2, выход которого соединен с входом сложения многостойчивой пересчетной схемы 1-2. Счетный импульс поступает на соседний старший разряд, где в многостойчивую

пересчетную схему 1-3 будет добавлена единица, и на вход элемента И 7-2, с выхода которого сигнал поступает на вход установки в нулевое состояние многоустойчивой пересчетной схемы 1-2 и устанавливает ее в ноль.

Если на выходе, соответствующем контрольному числу, сумматора 2-3 сигнал не появляется, то на этом процессе образование единицы переноса и счета по данному счетному импульсу оканчивается. В том случае, когда на выходе, соответствующем контрольному числу, сумматора 2-3 появляется сигнал, то в соответствии с уже ранее рассмотренным алгоритмом происходит установка в ноль соответствующей ему пересчетной схемы 1-3 и передача единицы в старший соседний разряд.

Разрешенные последовательные состояния счетчика для указанных значений $k=3$ и $m=5$ будут иметь вид: 000, 001, 002, 010, 011, 020, 100, 101, 110, 200.

При выполнении операции вычитания разрешающий сигнал единицы подается на шину 14, чем производится подготовка к передаче сигналов элементами И 8-1-8-3 и 12-1-12-3. Сигналы с выходов многоустойчивых пересчетных схем 1-1-1-3, соответствующие их состояниям, поступают на входы сумматоров 2-1-2-3. На вторые входы сумматоров 2-1 и 2-2 поступают также сигналы выходов сумматоров соседних старших разрядов 2-2 и 2-3. Таким образом, на выходе сумматора 2-1 сигнал будет соответствовать сумме цифр (номеров состояний) всех многоустойчивых пересчетных схем счетчика.

Предположим, что сигнал на выходе многоустойчивой пересчетной схемы, например 1-1, соответствует нулю. При этом также предположим, что в один из старших разрядов занесена цифра, отличная от нуля. Сигнал с нулевого выхода многоустойчивой пересчетной схемы 1-1 поступает на вход элемента И 12-1, второй вход которого соединен с шиной 14. На выходе элемента И 12-1 вырабатывается сигнал, который через элемент ИЛИ 10-1 поступает на вход элемента И 3-1 и инверсный вход элемента И 4-1, тем самым будет запрещено поступление счетного импульса на вход элемента И 9-1, выход которого соединен с входом вычитания многоустойчивой пересчетной схемы 1-1. Счетный импульс поступает на соседний старший разряд, где при наличии разрешения поступает на один вход элемента И 9-2. Другой вход последнего соединен с шиной 14, поэтому на его выходе вырабатывается сигнал, поступающий на вход вычитания многоустойчивой пересчетной схемы 1-2 и на один вход группы элементов И 16-1 и 15-1. На другом входе одного из элементов И 15-1 и 16-1 имеется сигнал, соответствующий сумме цифр всех разрядов счетчика, поэтому на выходе этого элемента вырабатывается сигнал, записывающий в многоустойчивую пересчетную схему 1-1 цифру, которая дополняет сумму цифр всех разрядов счетчика до контрольного числа.

Если в старшем соседнем разряде сигнал многоустойчивой пересчетной схемы соответствует нулю, то счетный импульс в соответствии с уже ранее рассмотренным алгоритмом будет передан в следующий старший разряд. Если все разряды счетчика содержат нули, то на выходе элемента И 3-3 будет выработан сигнал заем, который поступает на один вход элементов И 15-3 и 16-3, на другой вход последнего из которых подается сигнал с нулевого выхода сумматора 2-1. Выработанный на выходе элемента И 16-3 сигнал устанавливает многоустойчивую пересчетную схему 1-3 в состояние "2" и, таким образом, весь счетчик - в исходное состояние.

Таким образом, предлагаемые устройства обладают за счет выполнения операций суммирования и вычитания расширенными функциональными возможностями. При этом они обладают помехоустойчивостью. Она происходит за счет того, что при операции сложения и вычитания происходит сравнение суммы всех цифр счетчика с контрольным числом, превышение которого свидетельствует о наличии ошибки.

SUMMARY

REVERSAL BINOMIAL COUNTERS

A.A. Borysenko, T.A. Protasova, I.E. Brazhnik, L.P. Chervyakova
Sumy State University

The reverse binomial counters, owning more high noise-immunity and ability to generate combinatory configurations. They are used in digital devices and systems with more high requirements to reliability and special computers.

СПИСОК ЛІТЕРАТУРИ

1. Толстяков В.С. и др. Обнаружение и исправление ошибок в дискретных устройствах. - М.:Сов. Радио, 1972.
2. Букреев И. Н. и др. Микроэлектронные схемы цифровых устройств. - М.:Сов. радио, 1975.
3. Борисенко А. А., Ловля А.Д., Онанченко Е.Л. Ас. СССР 1051731 Счетчик импульсов.
4. Борисенко А.А. Биномиальные автоматы. – Сумы: Изд-во СумДУ, 2006.
5. Борисенко А.А. Биномиальный счет и счетчики. – Сумы: Изд-во СумДУ, 2008. - 150 с.

Поступила в редакцию 20 апреля 2009 г.