

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДОВО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ СТРУКТУРИ ТА
ПАРАМЕТРІВ КРЕМНІЄВИХ FINFET ТРАНЗИСТОРІВ**

студента гр. ЕІ-71_к

І.А. Державецького

Науковий керівник,
к.ф.-м.н., ст. викладач

І.П. Бурик

Конотоп 2021

ЗМІСТ

ВСТУП	3
РОЗДІЛ 1. ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР FINFET	4
1.1 Вертикальні польові транзистори FinFET.....	4
1.2 Особливості технологій 3D-мікросхем	6
1.3 Використання технології FinFET	11
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	13
2.1 Методика проектування в Silvaco TCAD	13
2.2 Транспортні моделі з урахуванням квантових ефектів.....	16
2.3 Визначення електричних характеристик FinFET-транзисторів	20
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	22
3.1 Геометрія тривимірних FinFET-структур	22
3.2 Електричні характеристики.....	26
ВИСНОВКИ	29
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	30
ДОДАТОК А. СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ	33

РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є тривимірні структури кремнієвих FET-транзисторів із Fin-каналами та їх електричні характеристики.

Мета роботи полягає у дослідженні впливу масштабування та квантових ефектів у каналах тривимірних кремнієвих транзисторів типу FinFET на їх робочі характеристики.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд FinFET технології, яка використовується для виготовлення елементів інтегральних мікросхем. У другому розділі розглядаються методи побудови тривимірних структур польових транзисторів в рамках технології FinFET та їх вольт-амперних характеристик за допомогою програмного пакету Silvaco TCAD. У третьому розділі були успішно спроєктовані SOI TG FinFET транзистори та досліджені на вплив масштабування та квантових ефектів у Fin-каналах на їх робочі характеристики.

Робота викладена на 33 сторінках, у тому числі включає 15 рисунків, 1 таблиця, список цитованої літератури із 29 джерел.

КЛЮЧОВІ СЛОВА: ТРИВИМІРНІ ТРАНЗИСТОРНІ СТРУКТУРИ, TRI-GATE FINFET, КОРОТКОКАНАЛЬНІ ЕФЕКТИ, КВАНТОВІ ЕФЕКТИ

ВСТУП

Fin-транзистори з польовим ефектом (FinFET) є основою для сучасної комплементарної технології метал-оксид-напівпровідник (Complementary Metal-Oxide-Semiconductor, CMOS). Мініатюризація компонентів та низьке енергоспоживання робить останніх базовими компонентами електроніки [1-10], включно з логікою, додатками пам'яті, мікро- та наноелектромеханічними системами (MEMS, NEMS), сенсорними системами, систем на кристалі та інших. На сьогодні як компоненти CMOS, серед багатьох інших транзисторних структур, найчастіше використовуються SOI (Silicon-On-Insulator) TG (Tri-Gate) FinFET's.

На сьогодні методи числового моделювання тривимірних транзисторних структур дуже розвинуті [1-10], вони дозволяють отримати необхідні дані з проектування технологічних процесів та електрофізичних властивостей.

Поряд з цим подібні дані для транзисторних структур можуть бути перевірені або змодельовані за допомогою програмних симуляторів Silvano TCAD, Comsol Multiphysic та ін. Результати моделювання дозволяють краще зрозуміти фізичні процеси, що відбуваються у таких зразках. Однак при подальшому зменшенні розмірів окремих елементів транзисторів менше 10 нм необхідно враховувати квантові обмеження. Подібні можливості існують в транспортних моделях з урахуванням квантового потенціалу Бома та ін.

Дослідження робочих характеристик тривимірних транзисторних структур FinFETs залежно від типу їх провідності та геометричних розмірів моделі взято за основу проектування таких структур.

РОЗДІЛ 1

ОГЛЯД ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРИВИМІРНИХ ТРАНЗИСТОРНИХ СТРУКТУР FINFET

1.1. Вертикальні польові транзистори FinFET

Вертикальний польовий транзистор – FinFET транзистор (Fin Field Effect Transistor) свою назву отримав через конструктивні особливості (рис.1.1). У цьому випадку тонкий кремнієвий канал має форму плавника (Fin), який обгорнутий електродом затвора (Gate). Залежно від геометрії останнього розрізняють Double-, Tri-, Omega-Gate та інші FinFET's структури. Передня виступаюча частина каналу являє собою витік (Source), задня – стік (Drain). Канали індуються напругою на затворі. Струм в транзисторі проходить в площині, паралельній площині каналу. Активна ширина приладу дорівнює ширині Fin-каналу. Останню можна збільшувати шляхом паралельного включення багатьох стовпчиків, які формують витік і стік. Таким чином, формується активна область транзистора [1-10].

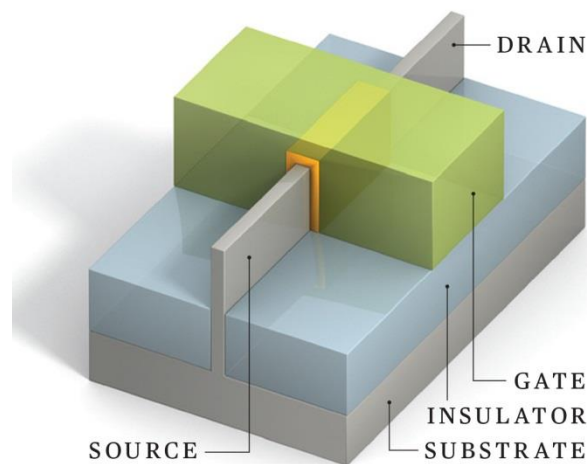


Рис. 1.1. Структура FinFET-транзистора [5]

Технологічний процес виготовлення FinFET-транзистора передбачає формування методами фотолітографії плавця-вставки товщиною 20 нм і

висотою 180 нм. Области стоку-витоку виготовляються за допомогою іонної імплантації під кутом 45° з чотирьох сторін пластини [11]. Вдається створити транзистори з довжиною каналу близько 30 нм.

«Тризатворний» транзистор на ділі означає транзистор з каналом, оточеним затвором (через прошарок у вигляді тонкого ізолятора, позначеного жовтим) з трьох сторін (рис. 1.2).

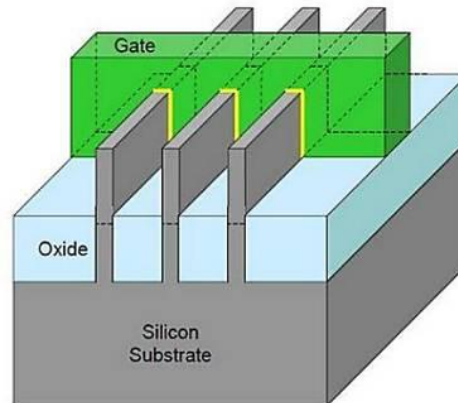


Рис. 1.2. Схема тризатворного транзистора [11]: gate – затвор, oxide – оксид кремнію, silicon substrate – кремнієва підкладка

Дослідники вивчили ефект випадкового варіювання властивостей FinFET-транзисторів в надмініатюрних елементах SRAM [1]. В ході експериментів було встановлено, що стабільність характеристик FinFET-транзисторів без легування каналів поліпшується на 28%. При моделюванні комірок SRAM площею $0,063 \text{ мкм}^2$, що еквівалентно 22-нанометровому техпроцесу [5], отримані результати показали, що елементи пам'яті FinFET SRAM потенційно володіють значною перевагою з точки зору стабільності роботи в порівнянні з існуючими елементами SRAM на базі планарних FET-транзисторів.

1.2. Особливості технологій 3D-мікросхем

Використання FinFET-транзисторів – вертикальних польових транзисторів «плавникового» типу з нелегованими (що не містять добавок) кремнієвими

каналами – є альтернативним підходом, який дозволяє досягти зменшення площі елементів пам'яті SRAM з мінімальними змінами характеристик. На рис. 1.3 приведена реальна структура FinFET-транзистора.

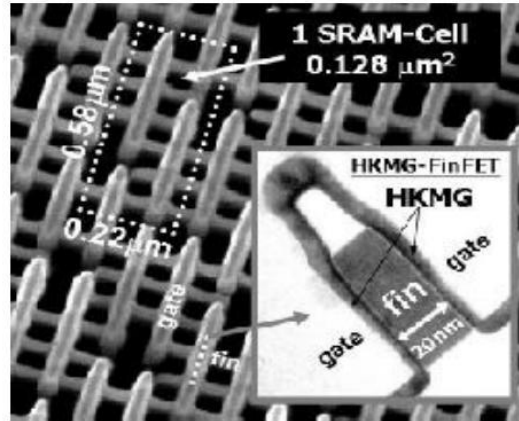


Рис.1.3. Реальна структура FinFET-транзистора [7]

Робота елементарної комірки інтегральної схеми - транзистора заснована на дрейфі носіїв заряду в напівпровіднику, а при зменшенні розмірів, канал транзистора містить обмежену кількість атомів і контрольованою рекомбінації електронно-діркових пар вже не відбувається. Транспорт носіїв носить квазібалістичний або вже чисто балістичний характер. Застосування інших напівпровідників або розтягування-здавлювання решітки (Si-Ge) лише незначно покращують ситуацію.

У 2001 р. ІВМ винаходить напружений кремній (strained silicon) – формування шару кремнію для каналу, в якому відстань між атомами – (як мінімум в напрямку витік-стік) не дорівнює параметру кристалічної решітки (0,543 нм). Для збільшення параметра кристалічної решітки спочатку впроваджується «посівний» шар Si-Ge (рис. 1.4) [11].

Кристал Ge має параметр кристалічної решітки 0,566 нм. Змішаний напівпровідник зберігає це значення, навіть якщо частка германію всього 17% (це для 90 нм; а для 32 нм - вже 40%). Осаджені поверх атоми Si міжатомними силами кріпляться до атомів широкої решітки і залишаються з її параметром, формуючи канал. Розрядження атомів збільшує рухливість електронів, що

прискорює n-канальний транзистор на 20-30%. До речі, саме через більшу рухливості електронів Ge першим стали застосовувати в електроніці. У 2004 р. цю технологію застосували Intel і AMD для техпроцесу 90 нм.

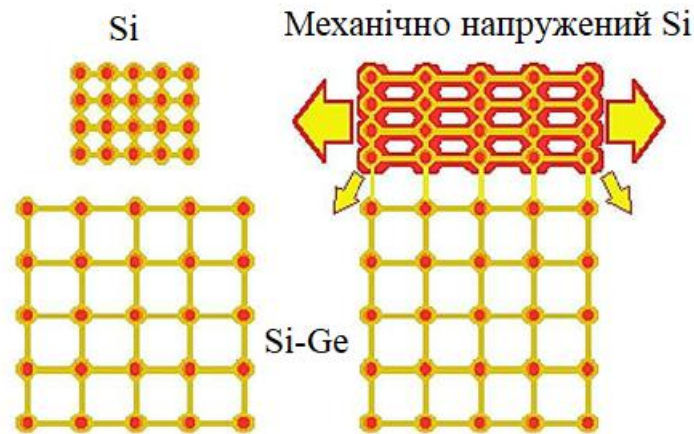


Рис. 1.4. Si до і після осадження на Si-Ge шар

Отримання механічно напруженого Si приведено рис. 1.5 [11]. Основна кремнієва шайба виготовляється з Si з домішкою Ge. При цьому, оскільки діаметр іона Ge більше, ніж іона Si, постійна решітки такої шайби збільшується. Точніше, Ge впроваджується тільки в досить товстий верхній шар шайби.

На шайбі Si з домішкою Ge епітаксіальною технологією вирощується тонкий шар чистого Si. При цьому, якщо шар Si досить тонкий, не виникають дислокації скидання і шар Si виявляється розтягнутим (механічно напруженим). Носії заряду (електрони і дірки) в напруженому кремнії мають меншу ефективну масу. Крім того, при розтягуванні кремнію зменшується перетин розсіювання носіїв заряду на фонах кристалічної решітки. У результаті в напруженому Si збільшується рухливість (на 30-50%) [9-11].

Для 65-нм техпроцесу впроваджена іонна імплантація Ge і C в витік і стік. Ge роздуває кінці транзистора, стискаючи його канал, що збільшує швидкість дірок (основних носіїв заряду в p-канальних транзисторах). Вуглець, навпаки, стискає витік і стік, що розтягує n-канал, збільшуючи рухливість електронів.

Також весь р-канальний транзистор покривається шаром нітриду кремнію, що стиснює, також застосовуються і розтягуючі покриття.

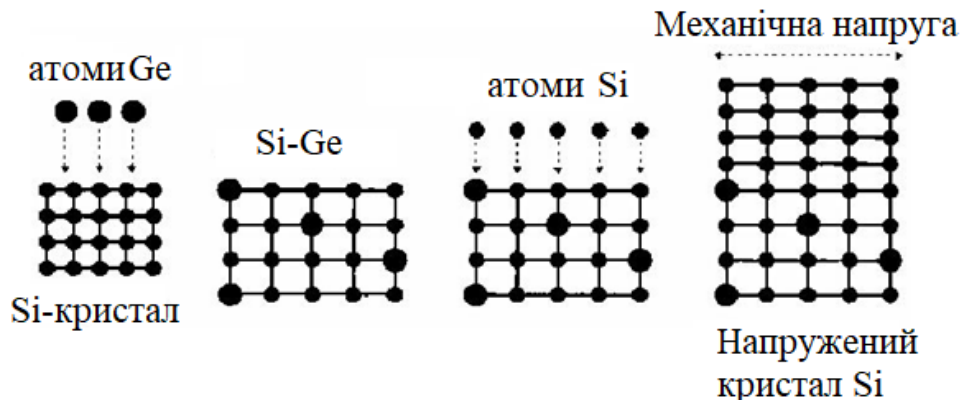


Рис. 1.5. Отримання механічно напруженого Si

У 90-нм техпроцесі товщина затвора зменшилася до величини від 1,2 (у Intel) до 1,9 нм (у Fujitsu; обидві цифри - для n-каналів), при параметрі кристалічної решітки Si величиною 0,543 нм. При такій розмірності електрони починають тунелювати крізь ізолятор, приводячи до витoku струму.

При малих розмірах каналу матеріал в районі каналу не повинен бути легирован, оскільки число легуючих іонів виявляється статистично нестійким, що призводить до поганої технологічної повторюваності порогової напруги транзистора. Для отримання потрібної концентрації носіїв заряду в каналі під час відсутності легуючих домішок потрібно збільшення напруженості поля, створеної затвором. Для цього потрібно зменшити відношення d/ϵ , де d – товщина підзатворного діелектрика, ϵ – діелектрична проникненість підзатворного діелектрика [7-11].

Сучасна галузь наноелектроніки реалізується за допомогою технологій за межами традиційних напівпровідникових технологій. Цей напрямок передбачає створення і інтеграцію різних нецифрових функціональних компонентів в цифрові мікросхеми. Нові напрями вмотивовані новими технологічними можливостями і необмеженим потенціалом практичних застосувань, зосереджується на створенні великої кількості наноелектронних систем. Згідно з цим направленням розвитку електроніки, в одній мікросхемі або корпусі необхідно інтегрувати значно більше число елементів (рис.1.6), ніж просто

CMOS-компонентів. Багато додатків, такі як радіочастотні пристрої, підсистема управління потужністю, пасивні компоненти, біочіпи, сенсори, виконуючі механізми і MEMS грають важливу роль в тимчасових електронних пристроях. Інтеграція аналогових функцій в спеціалізовані CMOS-мікросхеми дозволяє реалізовувати оптимізовані за вартістю системні рішення. Сучасні пристрої є комплекс систем на кристалі з наступними варіантами інтегрованої елементів: CMOS-логіка, вбудована оперативна пам'ять, аналогові інтерфейси, енергонезалежна пам'ять, процесорні мікроядра, мікроелектромеханічні системи (MEMS), наноелектромеханічні системи (NEMC), сенсори та інші.

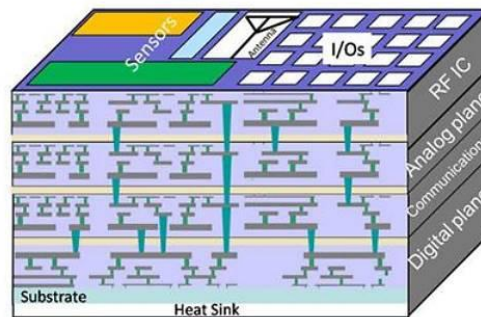


Рис. 1.6. Схематичний вигляд гетерогенної 3D-мікросхеми [11]

Інтегральні системи і гетерогенні системи цього типу відкривають нові перспективи для систем безпеки (датчики руху, системи сигналізації) і комунікації (бездротові системи зв'язку, мобільні системи), медичного обладнання, засобів розумного будинку (інтелектуальні системи управління: клімат-контроль, управління освітленням і електроживленням, приборудинкова інфраструктура) і енергетики (альтернативні методи отримання енергії) і ін. На сьогодні вже сформований величезний ринок, заснований на подібних технологіях наноелектроніки. Вироби, виконані за технологіями наноелектроніки – ключові для розвитку, і тут вже існує технологічна база для їх активного розвитку [11].

1.3. Використання технології FinFET

Як відомо, лінійні розміри CMOS-пристроїв з планарними транзисторами зменшувалися на 30% приблизно кожні два роки. З появою транзисторів з металевим затвором і високою діелектричною проникністю подзатворного діелектрика та інших, ця закономірність перестала виконуватися і ускладнилася. Після того як Intel представила транзистори Tri-gate 22 нм [7], розвиток виробничих технологій став набагато ширшим (рис. 1.7).

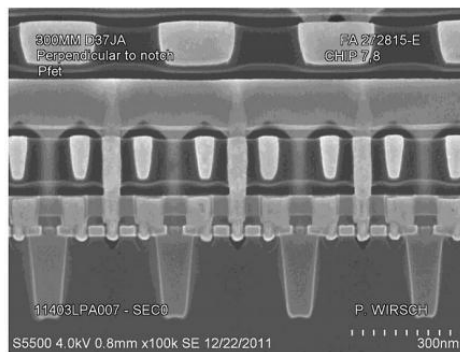


Рис. 1.7. Поперечний переріз реальної TG FinFET структури [11]

Поряд з цим, перше комерційне використання технології FinFET було здійснено з 25-нм Omega FinFET транзистором, створеним компанією TSMC в 2002 році. Подальші ітерації цієї ідеї з'явилися в наступні роки, включаючи варіант Intel – Tri-Gate, який був представлений в 2011 році з його 22-нм мікроархітектурою Ivy Bridge. Починаючи з 2014 року, всі основні виробники мікросхем, включаючи Global Foundries, почали використовувати технологію FinFET, засновану на 16-нм та 14-нм технології. Врешті-решт зменшивши розмір вузла до 7 нм за останніми ітераціями 2020 року. Додаткові технологічні досягнення дозволили ще більше зменшити довжину затвору FinFET. Слід відмітити, що 7-нм техпроцес FinFET лежить в основі процесорів Ryzen третього покоління AMD. В останні роки Nvidia використовувала 16 нм технологію FinFET TSMC та 14-нм технологію FinFET від Samsung у своїх 10-ти графічних картах, побудованих на архітектурі Pascal.

Найбільш відомі компанії, які використовують технологію FinFET:

- TSMC (Taiwan Semiconductor Manufacturing Company);
- Global Foundries;
- Intel;
- AMD (Advanced Micro Devices);
- Samsung Electronics;
- SMIC (Semiconductor Manufacturing International Corporation).

У 2018 році Samsung з анонсувала Exynos 9810, мобільний процесор, побудований за технологією FinFET 2-го покоління. Однак це не перший процесор, в якому Samsung використовувала технологію FinFET. У січні 2015 року Samsung розпочав масове виробництво Exynos 7 Octa (7420), першого в галузі мобільного процесора, що використовує 14-нм технологію FinFET.

SMIC першою в Китаї освоїла масове 14-нм виробництво в останньому кварталі 2019 року. Це був техпроцес FinFET першого покоління. Однокристальна система Hisilicon Kirin 710A, яка використана в Honor Play 4T та ін. від Huawei, проводиться з дотриманням цих норм. Технологія FinFET також використовується у відомих процесорах Qualcomm Snapdragon, а саме 14-нм FinFET LPP в Snapdragon 820 MSM8996 (2015 р.), 10-нм FinFET LPE в Snapdragon 835 MSM8998 (2016 р.), 10-нм FinFET від Samsung в Snapdragon 845 (2017 р.).

Найбільш відомі марки чипів, які використовують технологію FinFET:

- Snapdragon 845 (10-нм FinFET Samsung);
- Apple A11 Bionic (10-нм FinFET TSMC);
- Exynos 9820 (8-нм FinFET LPP (Low Power Plus) Samsung);
- AMD Ryzen 9 5950X (7-нм FinFET TSMC).

Взявши за основу технологію FinFET вдається подолати межу звичайної (планарної) транзисторної структури для досягнення підвищеної продуктивності та кращої енергоефективності. Наразі можна зазначити велику кількість сучасних процесорів вироблених саме за технологією FinFET, а їх мікроархітектури зміщуються в область 5 нм та 3 нм техпроцесів з каналами з нанодроту.

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика моделювання в Silvaco TCAD

Silvaco TCAD являє собою набір взаємопов'язаних програм [12-14]. Їх взаємозв'язок можна зрозуміти із наведеної на рис.2.1 блок-діаграми. У DeckBuild здійснюється запуск програм та їх координування, створюються і виконуються усі командні файли, задається порядок виконання дій, тощо. Не меншими за вагомістю слід відзначити симулятор пристроїв ATLAS [13] та засіб візуалізації TonyPlot або TonyPlot3D. Також існує можливість моделювати стандартні технологічні процеси в ATHENA [14].

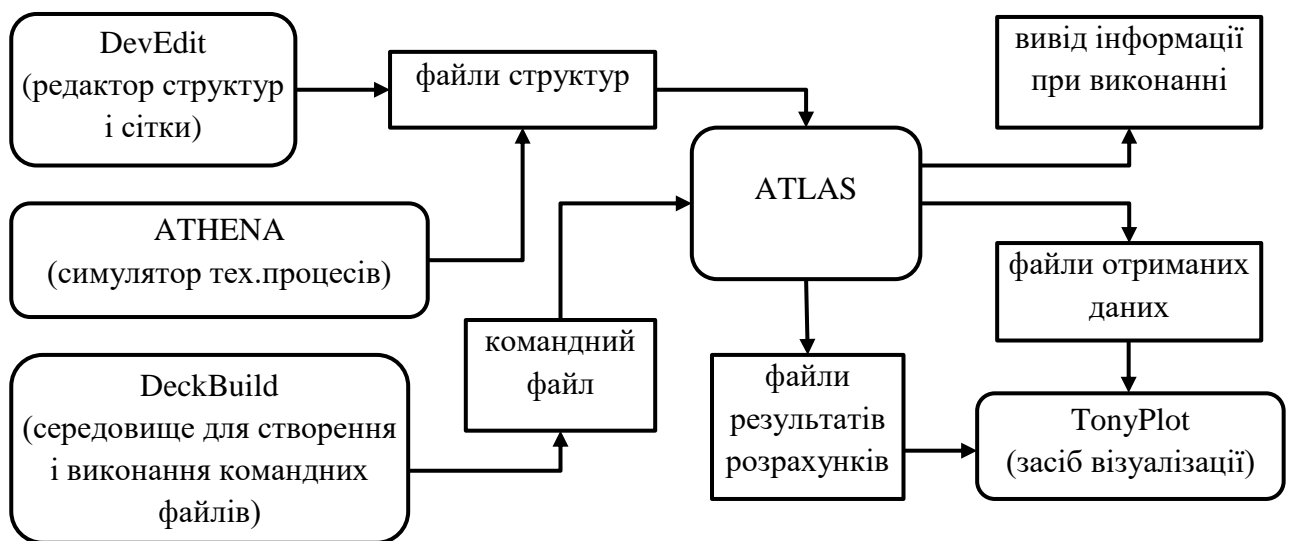


Рис. 2.1. Блок-діаграма засобів Silvaco TCAD [12]

Слід відмітити, що робочі характеристик транзисторних структур проектується в симуляторі ATLAS. Більшість моделей останнього використовують програмний код (ASCII), який містить необхідні для виконання команди, та файл геометрії, який визначає 2D або 3D структуру пристрою. У симуляторі ATLAS генеруються наступні дані: звіт ходу

виконання програми, що інформує про етапи виконання коду і повідомлення про помилки та попередження під час моделювання (окрема область вікна, де відображаються вищевказані дані, які також зберігаються в тимчасовий файл звіту); файл журналу, який містить всі величини термінальних напруг та сили струмів виходячи з аналізу роботи пристрою (створюється за допомогою команд solve або extract і зазвичай має розширення “.log” або “.dat”, кожен з них являє собою ASCII код записаний у таблицю даних); файл рішення або файл структури “.str”, що зберігає графічні дані, що пов'язані зі значеннями змінних.

Симулятор технологічних процесів ATHENA дозволяє моделювати процеси фотолітографії, пошарового нанесення, дифузії, окислення, травлення, тощо для різних типів структур. Налаштування параметрів останніх зручно виконувати за допомогою генератора команд DeckBuild.

На рис.2.2 показано алгоритм проектування FinFET транзисторів в Silvaco TCAD за допомогою додатку Atlas. На основі експериментальних даних були змодельовані відповідні пристрої та їх робочі характеристики.

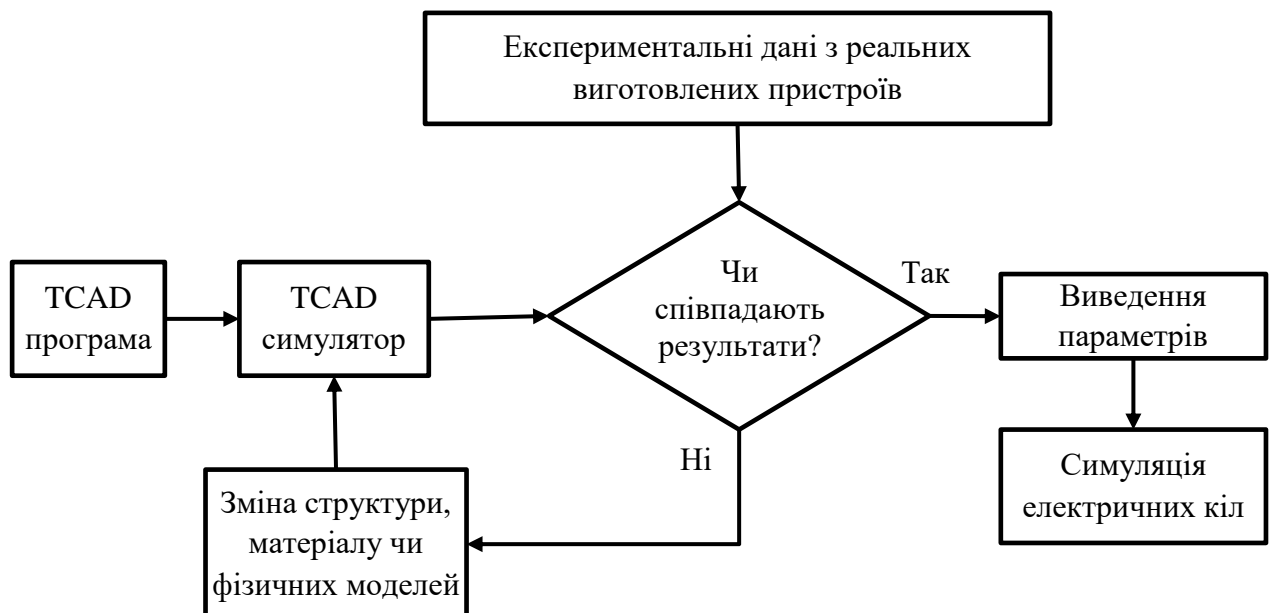


Рис. 2.2. Алгоритм проектування в TCAD програмах

Слід відміти, що структура бібліотек моделей Silvaco TCAD настільки

універсальна, що один і той самий модуль може бути використаний у всіх її підпрограмах. Silvaco використовує т.зв. власний інтерпретатор C-Interpreter, який дозволяє суттєво зменшити витрати часу на компіляцію. Його створено спеціально для отримання оптимізованих машинних кодів виходячи з вихідного описання моделі.

Нижче приведений фрагмент програмного коду DevEdit [15] для FinFET транзисторної структури із полікремнієвим затвором.

```

go devedit simflags="-3d"
DevEdit version=2.6.0.R
# формування окремих регіонів об'єкта
work.area x1=-0.01 y1=-0.01 x2=0.02 y2=0.045
region reg=1 mat=Silicon color=0xffc00 pattern=0x4 z1=0.01 z2=0.09 \
  polygon="0,0 0.01,0 0.01,0.015 0,0.015"
constr.mesh region=1 default max.height=0.01 max.width=0.02
region reg=2 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0.01 z2=0.09 \
  polygon="0.013,0.015 0.01,0.015 0.01,0 0,0 0,0.015 -0.003,0.015 -0.003,-0.003 0.013,-0.003"
constr.mesh region=2 default max.height=0.001 max.width=0.001
region reg=3 name=gate mat=PolySilicon elec.id=1 work.func=0 color=0xffff00 pattern=0x5 z1=0.035
z2=0.065 \
  polygon="0.013,-0.003 -0.003,-0.003 -0.003,0.015 -0.01,0.015 -0.01,-0.01 0.02,-0.01 0.02,0.015
0.013,0.015"
constr.mesh region=3 default max.height=0.01 max.width=0.02
region reg=4 mat="Silicon Oxide" color=0xff pattern=0x2 z1=0 z2=0.1 \
  polygon="-0.01,0.015 -0.003,0.015 0,0.015 0.01,0.015 0.013,0.015 0.02,0.015 0.02,0.045 -0.01,0.045"
constr.mesh region=4 default max.height=0.01 max.width=0.02
region reg=5 name=drain mat=Aluminum elec.id=2 work.func=0 color=0xffc8c8 pattern=0x7 z1=0 z2=0.01 \
  polygon="0,0 0.01,0 0.01,0.015 0,0.015"
constr.mesh region=5 default max.height=0.01 max.width=0.02
region reg=6 name=source mat=Aluminum elec.id=3 work.func=0 color=0xffc8c8 pattern=0x7 z1=0.09 z2=0.1 \
  polygon="0,0 0.01,0 0.01,0.015 0,0.015"
constr.mesh region=6 default max.height=0.01 max.width=0.02
# визначення параметрів сітки та її дискретизація
base.mesh height=0.01 width=0.005
bound.cond !apply max.slope=28 max.ratio=300 rnd.unit=0.0001 line.straightening=1 align.points
when=automatic
imp.refine min.spacing=0.02 z=0
constr.mesh max.angle=90 max.ratio=300 max.height=10000 \
  max.width=10000 min.height=0.0001 min.width=0.0001
constr.mesh type=Semiconductor default
constr.mesh type=Insulator default
constr.mesh type=Metal default
constr.mesh type=Other default
constr.mesh region=1 default max.height=0.01 max.width=0.02
constr.mesh region=2 default max.height=0.001 max.width=0.001
constr.mesh region=3 default max.height=0.01 max.width=0.02
constr.mesh region=4 default max.height=0.01 max.width=0.02
constr.mesh region=5 default max.height=0.01 max.width=0.02
constr.mesh region=6 default max.height=0.01 max.width=0.02
constr.mesh id=1 x1=0 y1=0 x2=0.01 y2=0.015 default max.height=0.002 max.width=0.002

```

```

constr.mesh id=2 x1=0 y1=0 x2=0.001 y2=0.015 default max.height=0.0005 max.width=0.0005
constr.mesh id=3 x1=0.009 y1=0 x2=0.01 y2=0.015 default max.height=0.0005 max.width=0.0005
constr.mesh id=4 x1=0.001 y1=0 x2=0.009 y2=0.001 default max.height=0.0005 max.width=0.0005
constr.mesh id=5 x1=0 y1=0.0145 x2=0.01 y2=0.016 default max.height=0.0008 max.width=0.0008
Mesh Mode=MeshBuild
z.plane z=0 spacing=0.1
z.plane z=0.005 spacing=0.1
z.plane z=0.01 spacing=0.1
z.plane z=0.012 spacing=0.1
z.plane z=0.0167 spacing=0.1
z.plane z=0.0233 spacing=0.1
z.plane z=0.0267 spacing=0.1
z.plane z=0.030 spacing=0.1
z.plane z=0.0315 spacing=0.1
z.plane z=0.033 spacing=0.1
z.plane z=0.035 spacing=0.1
z.plane z=0.041 spacing=0.1
z.plane z=0.047 spacing=0.1
z.plane z=0.053 spacing=0.1
z.plane z=0.059 spacing=0.1
z.plane z=0.065 spacing=0.1
z.plane z=0.067 spacing=0.1
z.plane z=0.0685 spacing=0.1
z.plane z=0.070 spacing=0.1
z.plane z=0.0733 spacing=0.1
z.plane z=0.0767 spacing=0.1
z.plane z=0.0833 spacing=0.1
z.plane z=0.088 spacing=0.1
z.plane z=0.090 spacing=0.1
z.plane z=0.095 spacing=0.1
z.plane z=0.100 spacing=0.1
z.plane max.spacing=1000000 max.ratio=1.5
# виведення сформованої структури
structure outf=quantum01_0.str

```

2.2. Транспортні моделі з урахуванням квантових ефектів

Розглянемо елементи теорії покладеної в основу чисельного моделювання нанодриоткових сонячних елементів. Як відомо базовими для Atlas (симулятора Silvaco TCAD) є рівняння Пуассона, рівняння безперервності та транспортні рівняння.

Електростатичний потенціал пов'язаний з просторовою густиною заряду, як зазначено в рівнянні Пуассона [13]:

$$\operatorname{div}(\varepsilon \nabla \varphi) = -\rho, \quad (2.1)$$

де φ , ε та ρ – електростатичний потенціал, діелектрична проникність та густина електричного заряду.

Наступне рівняння встановлює зв'язок між напруженістю електричного поля електричним потенціалом (жирним шрифтом позначені векторні величини):

$$\mathbf{E} = -\nabla\psi. \quad (2.2)$$

Рівняння неперервності визначають швидкості зміни концентрації носіїв заряду:

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \mathbf{J}_n + G_n - R_n, \quad (2.3)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div} \mathbf{J}_p + G_p - R_p, \quad (2.4)$$

де \mathbf{J}_n та \mathbf{J}_p , G_n та G_p , R_n та R_p , q – вектор густини струму електронів та дірок, коефіцієнти генерації для електронів та дірок, коефіцієнти рекомбінації для електронів та дірок, заряд електрона.

Подальше рішення задачі пов'язують із визначенням коефіцієнтів дифузії. Для цього використовують відомі статистики Больцмана та Фермі-Дірака. Слід відмітити, що остання більш придатна, коли моделюються області з високим легуванням та об'єкти малих розмірів.

Рівняння Ейнштейна для коефіцієнтів дифузії в рамках статистики Больцмана:

$$D = \frac{kT_L}{q} M, \quad (2.5)$$

де k , T_L – постійна Больцмана, температура решітки

Рівняння Ейнштейна для коефіцієнтів дифузії в рамках статистики Фермі-Дірака для електронів (подібні вирази використовуються для дірок):

$$D = \frac{\left(\frac{kT_L m_n}{q}\right) F_{1/2} \left\{ \frac{1}{kT_L} [e_{F_n} - e_c] \right\}}{F_{-1/2} \left\{ \frac{1}{kT_L} [e_{F_n} - e_c] \right\}} \quad (2.6)$$

$$e_{F_n} = -q\phi_n = -\frac{kT_L}{q} \ln\left(\frac{n}{n_{ie}}\right), \quad (2.7)$$

де F_α , ε_c , ε_{Fn} , ϕ_n та n_{ie} – інтеграл Фермі-Діріка порядку α , енергія зони провідності, квазі-Фермі енергетичний рівень, квазі-Фермі потенціал and ефективна концентрація власних носіїв.

Інструменти ATLAS включають в себе як дифузійно-дрейфову транспортну модель, так і вдосконалені квантові моделі. Поточні рівняння дифузійно-дрейфової моделі для електронів та дірок мають наступний вигляд [8]:

$$J_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (kT \nabla (\ln n_{ie})), \quad (2.8)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla \psi + \mu_p p (kT \nabla (\ln n_{ie})), \quad (2.9)$$

де q – заряд електрона, D_n та D_p – коефіцієнт дифузії для електронів та дірок, n та p – концентрація електронів та дірок, μ_n та μ_p – рухливість електронів та дірок, ψ – хвильова функція, k – постійна Больцмана, T – температура Дебая, n_{ie} – ефективна внутрішня концентрація.

Недоліком використання базової дифузійно-дрейфової моделі є те, що вона не враховує квантових ефектів, таких як хвильова природа носіїв заряду. У нанодротовому сонячному елементі носії обмежені в одному напрямку. Це впливає на радіальну густину зарядів, а також на густину станів. Квантові ефекти можуть бути змодельовані в рамках моделі Self-Consistent Coupled Schrodinger Poisson Model, але вона не може самостійно вирішити транспортні проблеми. Тому останню використовують у поєднанні з моделлю Drift-Diffusion Mode-Space Method, or the Mode Space Non-Equilibrium Green's Function Approach. Відмітимо, що для моделювання нанодротових пристроїв в Atlas розв'язується рівняння Шредінгера в циліндричних координатах, вигляд якого для електронів та дірок

можна знайти в [13].

Квантові ефекти включені в ATLAS шляхом зміни рівнянь транспортної моделі із врахуванням квантового потенціалу Бома. У моделі Bohm quantum Potential (BQP) поточні рівняння (2.8) та (2.9) мають такий вигляд [8]:

$$J_n = qD_n \nabla n - qn\mu_n \nabla(\psi - Q) - \mu_n n (kT \nabla(\ln n_{ie})), \quad (2.10)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla(\psi - Q) + \mu_p p (kT \nabla(\ln n_{ie})), \quad (2.11)$$

У рівняннях (2.10) та (2.11) додатковий член Q представляє квантовий потенціал Бома, який визначається як [8]:

$$Q = -\frac{\hbar^2}{2} \frac{\gamma \nabla[M^{-1} \nabla(n^\alpha)]}{n^\alpha}. \quad (2.12)$$

де \hbar – постійна Планка, M – ефективна маса, n – концентрація (електронів/дірок), γ та α – параметри підгонки.

Модель BQP має ряд можливостей та переваг перед іншими підходами моделювання. Значення параметрів підгонки γ та α визначається умовою квантового обмеження. Як приклад в роботі [8] значення γ та α відповідно становили 1,4 та 0,3.

Отже, особливості транспорту заряду в короткоканальних приладах можуть бути враховані за допомогою операторів ATLAS: `models fermi ni.fermi cvt srh bqr.n`. Параметр `fermi` дозволяє враховувати дифузійно-дрейфовий транспорт заряду в рамках статистики Фермі-Дірака, `cvt` особливості рухливості інверсійного шару, `srh` рекомбінаційні механізми Шоклі-Рід-Холла, `bqr.n` квантовий потенціал Бома для електронів.

Нижче приведений фрагмент програмного коду ATLAS для обрахування робочих характеристик FinFET транзисторної структури із врахуванням квантових ефектів [15]:

```
go atlas
set gamma=1.4
```

```

set alpha=0.3
# вибір властивостей матеріалів
electrode name=bulk bottom
doping num=1 p.type uniform conc=1e18
doping num=1 gaussian n.type conc=1e21 y.min=0.0 y.max=0.015 \
    z.min=0.010 z.max=0.0233 zlat.char=0.004 char=0.001
doping num=1 gaussian n.type conc=1e21 y.min=0.0 y.max=0.015 \
    z.min=0.0767 z.max=0.091 zlat.char=0.004 char=0.001
material material=Silicon eg300=1.1245 affinity=4.05 permitti=11.9 \
    ml=0.7 mt1=0.7 mt2=0.7 nc300=3e19
material material=Oxide eg300=8.05 affinity=1.00 permittivity=3.9 \
    ml=0.30 mt1=0.30 mt2=0.30 nc300=3e19 nv300=1.04e19
material material=Poly eg300=1.1245 affinity=4.05 permitti=11.9
contact name=gate work=4.40
# вибір транспортних моделей
model fermi bqp.n srh ni.fermi hcte.el bqp.n gamma=$gamma bqp.alpha=$alpha evsatmod=0 fldmob print
method maxtrap=6 autonr nblockit=45 bicgst dvlimit=1.0
solve init
solve vgate=0 nocurrent
solve vdrain=0.001 name=drain vstep=0.005 vfinal=0.01
log outf=quantum01.log
solve vgate=0.0 name=gate vstep=0.05 vfinal=1.0
log off
output p.quantum band.temp con.band val.band band.par
# виведення результатів моделювання ВАХ
save outf=quantum01_1.str master
tonyplot quantum01.log -set quantum01.set
tonyplot3d quantum01_1.str -set quantum01_0.set
tonyplot3d quantum01_1.str -set quantum01_1.set
quit

```

2.3. Визначення електричних характеристик FinFET-транзисторів

Функціонування FinFET-транзисторів можна описати за допомогою таких метричних показників (рис.2.3) [12-16]:

- порогова напруги V_{Th} , В;
- допороговий розкид (Subthreshold Swing) SS , мВ/декада;
- сила струму вмикання I_{ON} , мкА / мкм;
- сила струму вимикання I_{OFF} , мкА / мкм;
- зниження бар'єру, індуковане стоком (Drain-Induced Barrier Lowering), DIBL,

мВ / В;

- напруга насичення на стоці V_{DSAT} , В;
- лінійний опір (мінімальний опір каналу) R_{ON} , Ом·мкм;
- вихідний опір r_d , Ом·мкм;
- транспровідність g_m , мкСм / мкм;

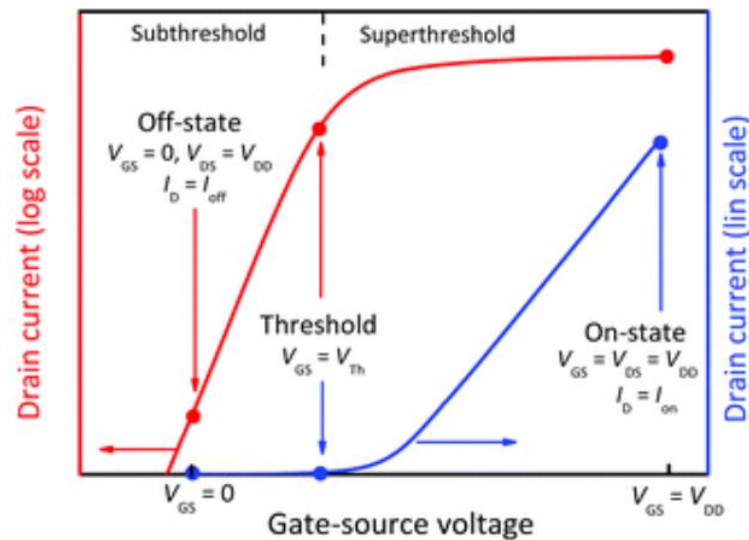


Рис.2.3. Визначення електричних характеристик FinFET-транзисторів

Команди `extract` в кінці коду дозволяють виміряти порогову напругу та інші SPICE параметри структури. Результати екстракції виводяться в лог програми безпосередньо під час моделювання і зберігаються в файл `results.final` для подальшого аналізу. Використовуваний при екстракції синтаксис команди вільно збирається з операторів (наприклад, максимального значення - `max`) і результатів моделювання (наприклад, струм стоку - і. "drain"). Параметр `name` використовує тільки ті імена, які були присвоєні користувачем. Імена, зарезервовані програмою, в даному випадку не використовуються. Таким чином, екстракція величини під назвою `nvt`, яка визначається як перетин з віссю X максимального нахилу залежності напруги на стоці від струму стоку, з якого відняли половину напруги на стоці. Цей метод є одним з варіантів розрахунку порогового напруги.

РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Геометрія тривимірних FinFET-структур

Постійно зростаючі вимоги щодо збільшення продуктивності, зменшення енергоспоживання та розширення областей застосування тривимірних FET-транзисторів обумовлюють необхідність досліджень особливостей їх структури, робочих характеристик, тощо. Перспективним напрямком вважається застосування Fin-каналів із імплантованими вершинами Ge/SiGe на Si, InGaAs/InP на Si та ін. Також проведено аналіз [17] структур dual-metal gate (DMG) в рамках багатьох аспектів компактного моделювання – від технологічних процесів їх виготовлення до таких специфічних тем, як вплив орієнтації текстури росту та розподілу окремих компонент в затворі на величину ефективної роботи виходу останнього. Отримані дані вказують на значні перспективи подібних наномасштабних структур як кандидатів для створення наступного покоління нанотранзисторів (рис.3.1а).

Зі зменшенням геометричних розмірів основних елементів FinFET's з'являються ефекти короткого каналу, short-channel effects (SCEs). Зокрема, зі зменшенням довжини затвору змінюються такі показники як допороговий розкид (subthreshold swing, *SS*), зниження бар'єру, що індукується стоком (called drain induced barrier lowering, *DIBL*) та відбувається зниження (roll-off) порогової напруги V_t , тощо [1-10].

Концентрація легуючих домішок фіну також є ключовим параметром, що впливає на величину *SS*, *DIBL* та рухливість носіїв струму. Для високої рухливості концентрація домішок повинна бути якомога нижчою. Однак зменшення концентрації домішки викликає збільшення *DIBL* та зменшення *SS*. Відомо, що для технології FinFET бажаний Fin-канал без домішок. Однак для покращення контролю струму витоку допускається невелике легування Fin-каналу з концентрацією домішок $10^{15} - 10^{17} \text{ см}^{-3}$, для приконтактних зон витоку та стоку потрібна більш висока концентрація домішок $10^{19} - 10^{21} \text{ см}^{-3}$ [3,6]. Щоб

вирішувати подібні завдання застосовуються сучасні технології іонної імплантації, епітаксialного легування *in situ* біля витоку та стоку, тощо. В результаті можливі зростання опору Fin-каналу або порушення його геометрія.

У роботі [3] наведено тривимірну кінчну модель SOI TG FinFET's подібну до реальних об'єктів (рис.3.1б). Остання була розроблена за допомогою Silvaco TCAD, із зазначенням матеріалів та профіля легування Fin-каналу.

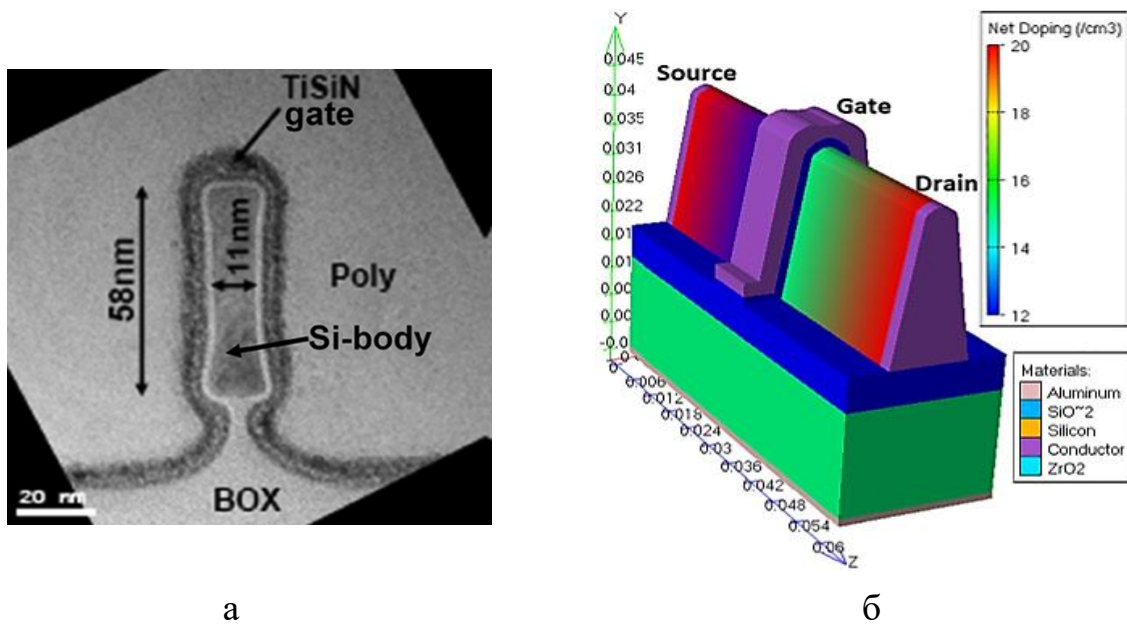


Рис.3.1. Електронно-мікроскопічний знімок (а) та тривимірна модель кінчної структури FinFET (б) [3]

Відомо, що у міру зменшення довжини каналу провідності необхідно враховувати квантову природу електронів. Також квантово-механічні ефекти стануть грати важливу роль в масштабах де-бройлевської довжини хвилі електрона. Проста оцінка останньої в термічно рівноважному зразку Si дає приблизно 10 нм, що не набагато менше реально досягнутої на практиці довжини каналу провідності при масовому виробництві нанотранзисторів. Наразі розроблені надійні і досить потужні моделі квантового транспорту електронів у нанопровідниках [19-29]. Чим більше віддаляється довжина каналу провідності від 10 нм в сторону зменшення, тим все важливішим стає необхідність врахування квантово-механічної природи транспорту електронів.

Однак, при довжині каналу провідності більше 10 нм, напівкласична модель працює досить надійно.

Зовнішній вигляд тривимірної моделі SOI TG FinFET з шириною каналу 10 нм та довжиною затвору та 30 нм спроектованої нами в рамках [15] приведено на рис. 3.2 (TonyPlot 3D).

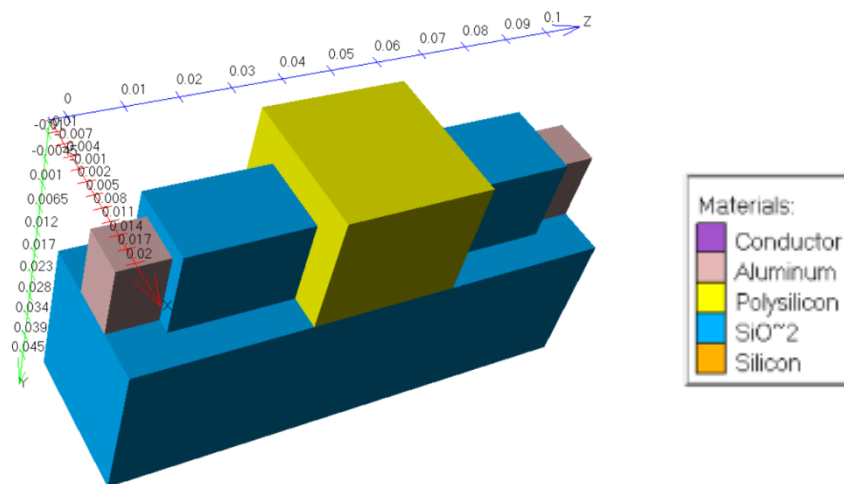


Рис. 3.2. Зображення структури SOI TG FinFET із полікремнієвим затвором. Масштабна сітка в мкм

Розглянемо пристрій n-канального Si FinFET. В області p-Si формується канал n типу провідності між двома омичними контактами витoku S і стоку D. Приконтатні області S і D сильно леговані n-домішкою. У провідному каналі n типу рухається потік електронів від витoku до стоку. У верхній частині виготовляється омичний контакт затвора G. Аналогічний контакт виготовляють в нижній частині підкладки. У польовому транзисторі n-Si каналний струм керується електричним полем, що виникає при прикладанні електричної напруги між затвором і стоком. Як приклад на рис.3.2 наведено модель SOI TG FinFET в режимі відображення концентраційного розподілу (TonyPlot 3D).

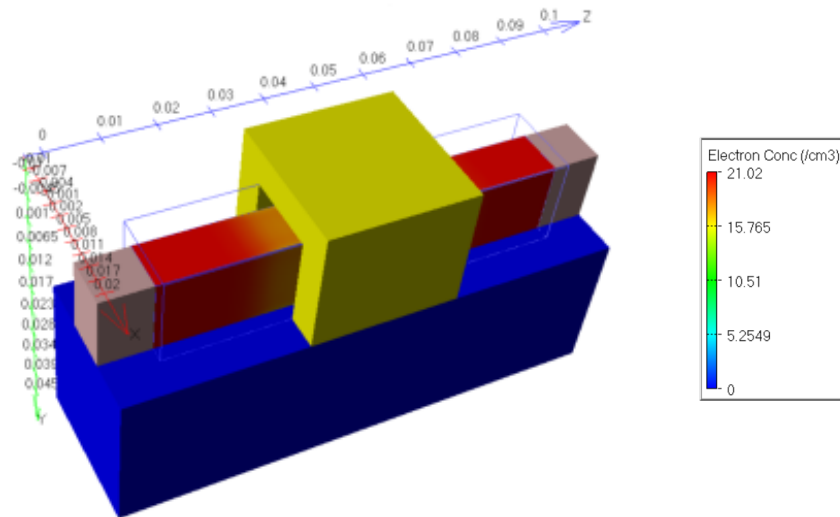


Рис. 3.3. Концентраційний розподіл в каналі SOI TG n-FinFET із полікремнієвим затвором. Масштабна сітка в мкм

Вихідні параметри транзисторних структур для пристроїв n-типу провідності представлені в таблиці 3.1. Робочі характеристики пристроїв були змодельовані за допомогою програмного забезпечення ATLAS Silvaco.

Таблиця 3.1

Параметри тривимірних структур SOI TG FinFET's

Параметри пристрою	D-D	D-D QPB
Концентрація домішок каналу, cm^{-3}	$1 \cdot 10^{19}$	$1 \cdot 10^{19}$
Концентрація домішок біля стоку/витоку, cm^{-3}	$1 \cdot 10^{21}$	$1 \cdot 10^{21}$
Довжина каналу (загальна/підзатворна), нм	80/30	80/30
Еквівалент товщини оксиду (EOT)	1,2	-
Ширина ребра, нм	10	10
Висота ребра, нм	15	15
Товщина шару відпаленого оксиду, нм	20	15
Товщина кремнієвої підкладки, нм	30	-
Значення ефективної роботи виходу (EWF), eV	4,40	4,40

D-D – дифузійно-дрейфова модель, D-D QPB – дифузійно-дрейфова модель із врахуванням квантового потенціалу

3.2. Електричні характеристики

Дифузійно-дрейфова модель (D-D) із статистикою Фермі-Дірака найбільш вдало описує транспорт носіїв заряду для більшості напівпровідникових приладів. Однак її точність стає значно меншою в умовах SCEs. У цьому випадку квантові моделі стають більш прийнятними. В даній роботі було використано відповідні рівняння D-D із врахуванням квантового потенціалу Бома (QPB), які включені Silvaco TCAD (ATLAS) [13].

Для проектування пристроїв в рамках D-D та D-D QPB було використано відповідне легування домішками з малою концентрацією $1 \cdot 10^{19} \text{ см}^{-3}$ в об'ємі Fin-каналу та відповідною до типів провідності більш високою концентрацією $1 \cdot 10^{21} \text{ см}^{-3}$ в приконтактних областях витоку та стоку.

Порогова напруга була визначена для зміщення стоку 0,1 В, при цьому на затворі напруга змінювалася від 0 В до 1,0 В.

Результати моделювання показують наступні значення порогових напруг V_{Th} для FinFET's пристроїв з довжинами затвору 30 нм відповідно 0,180 В та 0,310 В в рамках моделей D-D та D-D QPB. Такі дані добре узгоджуються з відомими значеннями порогових напруг [1-10].

Також результати моделювання показують, що спостерігається близький один до одного підпороговий нахил (SS) та для n-FinFET's. Величини SS становлять 93,8 мВ/декаду та 68,7 мВ/декаду в рамках моделей D-D та D-D QPB. Останні дані мають добре узгодження з відомими величинами SS для SOI TG FinFET's [1-10].

Сила струму у вимкненому стані (I_{off}) була визначена за напруги стоку $V_{DS} = 1,0 \text{ В}$ і напруги затвору $V_{GS} = 0 \text{ В}$ для n-FinFET's. Для транзисторів I_{off} становила $6,85 \cdot 10^{-14} \text{ А}$ та $4,77 \cdot 10^{-12} \text{ А}$ в рамках моделей D-D та D-D QPB, що узгоджується з [1-10].

Сила струму в увімкненому стані (I_{on}) визначалась за напруги стоку $V_{DS} = 1,0 \text{ В}$ і напруги затвору $V_{GS} = 1,2 \text{ В}$. Для транзисторів з довжиною затвору 30 нм величина I_{on} становила $7,58 \cdot 10^{-9} \text{ А}$ та $9,45 \cdot 10^{-6} \text{ А}$ в рамках

моделей D-D та D-D QPB, яка є типовою таких для польових транзисторів [1-8].

На рис. 3.2 наведено передавальні ВАХ для представлених вище структур, які в логарифмічних координатах дозволяють визначати вказані вище електричні параметри. Можна бачити, що в рамках транспортної моделі D-D QPB було отримано більш високу величину $V_{Th}=0,310$ В (рис.3.3а), ніж для моделі D-D $V_{Th}=0,180$ В (рис.3.3б). Слід відмітити, що в рамках D-D фіксується зниження величини порогової напруги при подальшому зменшенні ширини каналу.

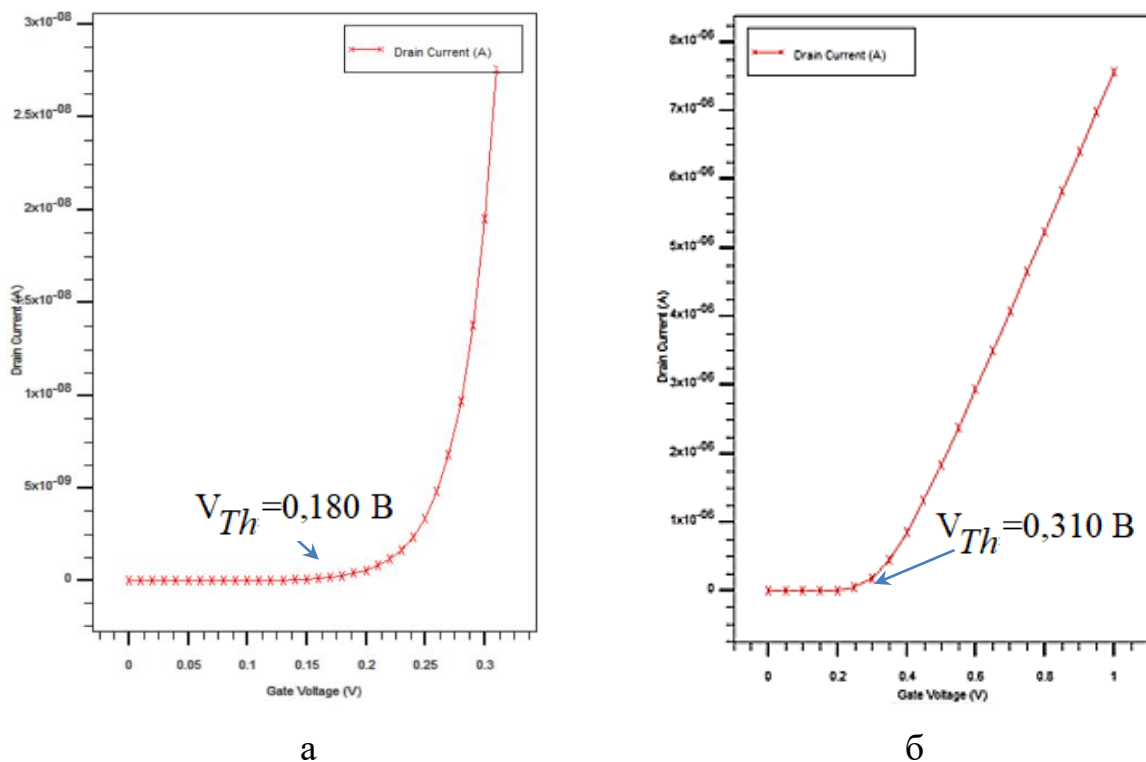


Рис.3.4. $I_{DS}-V_{GS}$ характеристики без урахування (а) та з урахуванням (б) квантових ефектів, отримані в Silvaco TCAD (TonyPlot)

Коефіцієнт відношення сил струмів I_{on}/I_{off} має важливе значення для цифрового проектування. Він визначає параметр швидкості та потужності окремого елемента чи схеми. Чим вище коефіцієнт, тим краща продуктивність елемента. Коефіцієнт було розраховано для напруги на стоці ($V_{DS} = 1,2$ В) та напруги на затворі від 0 В до 1,0 В. Коефіцієнт I_{on}/I_{off} складатиме $1,2 \cdot 10^5$ та $2,0 \cdot 10^6$ в рамках моделей D-D та D-D QPB. Результати моделювання дозволяють зробити висновок про високу ефективність спроектованих нами

транзисторів.

Поряд з цим для VLSI бажано мати більш низькі величини параметра DIBL. Цей параметр визначається як відношення різниці порогових напруг при фіксованих напругах на стоці до відповідної різниці стокових напруг. Перша - низька напруга стоку $V_{DS1} = 0,1$ В, друга - висока напруга стоку $V_{DS2} = 1,0$ В. Для транзисторів з довжиною затвору 30 нм величини параметрів DIBL відповідно становлять 452 мВ/В та 263 мВ/В в рамках моделей D-D та D-D QPB. Такі величини DIBL є більш високими порівняно з даними робіт [1-10], що можливо пов'язано з геометрією структур. Зменшення величини DIBL можна реалізувати за рахунок додаткового контакту областей витоку та стоку з окремою екрануючою площиною [18].

Оскільки ширина ребра у FinFET наближається до 5 нм, зміни ширини каналу можуть спричинити небажану мінливість та втрату рухливості. Один перспективний і футуристичний кандидат на транзистори – транзистор-Nanowire FET із затвором Gate-All-Around (GAA NWFET) – може обійти проблему [25-29]. Вважається найкращим CMOS-пристроєм з точки зору електростатики, Gate-All-Around – це пристрій, в якому затвор розміщений з усіх чотирьох сторін каналу. В основному це кремнієва нанопровід із затворами. У деяких випадках GAA NWFET може мати InGaAs або інші матеріали III-V в каналах.

ВИСНОВКИ

1. За допомогою Silvaco TCAD проведено моделювання електричних параметрів короткоканальних транзисторних структур SOI TG FinFET у рамках дифузійно-дрейфової транспортної моделі (D-D) із статистикою Фермі-Дірака.

2. Досліджено електричні параметрів транзисторних структур із товщиною Fin-каналу 10 нм та довжиною затвора 30 нм; показано, що при врахуванні квантового потенціалу Бома (BQP) для D-D спостерігається зменшення впливу короткоканальних ефектів, зокрема фіксується збільшення порогової напруги (V_{Th}), зменшення величин підпорогового розкиду (SS) та зниження бар'єру, що індукується стоком (DIBL).

3. Запропоновані транзисторні структури демонструють допустимі величини підпорогового розкиду (SS), зниження бар'єру, що індукується стоком (DIBL), сили струму витoku I_{off} та коефіцієнта I_{on}/I_{off} та ін., з цієї причини отримані результати можуть бути застосовані при вивченні сучасних технологій комп'ютерного моделювання наноструктурних елементів електроніки.

4. Взавши за основу технологію FinFET вдається подолати межу звичайної (планарної) транзисторної структури для досягнення підвищеної продуктивності та кращої енергоефективності; найбільш відомі які зараз використовуються: Snapdragon 845 (10-нм FinFET Samsung); Exynos 9820 (8-нм FinFET LPP (Low Power Plus) Samsung); AMD Ryzen 9 5950X (7-нм FinFET TSMC); наразі можна зазначити велику кількість сучасних процесорів вироблених саме за технологією FinFET, але їх мікроархітектури зміщуються в область 5 нм, 3 нм та 2 нм техпроцесів для нанодротових, наноплощинних та інших транзисторних структур.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Hu C. Modern semiconductor devices for integrated circuits. – Upper Saddle River, N.J. ; London : Pearson Education, 2010. – 351 p.
2. BSIM-CMG compact model for IC CAD: from FinFET to Gate-All-Around FET technology / A. Dasgupta, C. Hu // J. Microelectron. Manuf. –2020. – V. 3(4). – P. 20030402.
3. 3D investigation of 8-nm tapered n-FinFET model / Boukortt N., Patané S., Crupi G. // Silicon. – 2019. – V.11. – P.00253-1–00253-7.
4. BSIM compact model for quantum confinement in advanced nanosheet FETs” / [A. Dasgupta, S. S. Parihar, P. Kushwaha, H. Agarwal, M.-Y. Kao, S. Salahuddin, Y. S. Chauhan, C. Hu] // IEEE Transactions on Electron Devices. – 2020. – V. 67, No 2. – P. 730-737.
5. Soft error susceptibilities of 22 nm tri-gate devices / Seifert N., Gill B., Jahinuzzaman S.et al.// IEEE Trans. Nucl. Sci. – 2012. – V.59, No 6. – P. 2666-2673.
6. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / Boukortt N., Hadri B., Patané S.at al. //Silicon. – 2017. – V. 9. – P. 885-894.
7. Effects of high-k dielectrics with metal gate for electrical characteristics of SOI TRI-GATE FinFET transistor / F.Z. Rahou, A.G. Bouazza, B. Bouazza // J. Nano Electron. Phys. – 2016. – V. 8. – P. 04037-1 – 04037-4.
8. DFT based estimation of CNT parameters and simulation-study of GAA CNTFET for nano scale applications / B. Singh, P. B, D. Kumar // Mater. Res. Express. – 2020. – V.7. – P. 015916-1 – 015916-8.
9. Expanding role of predictive TCAD in advanced technology development / Wu J., Diaz C. H. // 2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD).- Glasgow: IEEE. – 2013. – P. 167-171.
10. TCAD-based methodology for reliability assessment of nanoscaled MOSFETs / Hussin R. et al. // 2015 11th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME).- Glasgow: IEEE. – 2015. – P. 270-273.

<https://doi.org/10.1007/s12633-019-00322-2>

11. Свистова Т.В. Основы микроэлектроники / Т.В. Свистова. - Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2017. – 148с.
12. Silvaco, DeckBuild User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018. – 241 p.
13. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.
14. Silvaco, ATHENA User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.
15. <https://silvaco.com/examples/tcad/section28/example8/index.html> – Silvaco, TCAD Examples, дата доступу: 24.05.2021 р.
16. Приладово-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / [І.П. Бурик, А.О. Головня, М.М. Іващенко] // Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.
17. Buryk I.P. Numerical simulation of FinFET transistors parameters/ [I.P. Buryk, A.O. Golovnia, M.M. Ivashchenko, L.V.Odnodvoretz] // J. Nano- and electronic Physics. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.
18. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // Appl. Sci. – 2019. – V. 9. – P.3163-3172.
19. Mechanical Stress Simulation of Thin Film Transistor on Flexible Substrate / Kong S., Lim H., Hoessinger A. et al. // 2018 International Flexible Electronics Technology Conference (IFETC).- Ottawa: IEEE. – 2018. – P. 1-4.
20. The use of TCAD in technology simulation for increasing the efficiency of semiconductor manufacturing / Lysenko I., Zykov D., Ishutkin S. et al. // AIP Conference Proceedings. – 2016.- V. 1772, No 1. – P. 60012.
21. Design and simulation of 1800V 40A 4H-SiC SBD using TCAD / Yuan M. et al. // 2018 15th China International Forum on Solid State Lighting: International

Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS).- Shenzhen: IEEE . – 2018. – P. 1-4.

22. TCAD analysis of transparent gate thin film transistor (TFT) for high performance applications / Ajay K. et al. // AIP Conference Proceedings. – 2019. – V. 2136, No 1. – P. 40003.

23. Threshold voltage and 2D potential modeling within short-channel junctionless DG MOSFETs in subthreshold region / Holtij T. et al. // Solid-state electronics. – 2013. – V. 90. – P. 107-115.

24. TCAD AC analysis of Gate Electrode Workfunction Engineering Silicon Nanowire MOSFET for High Frequency Applications / Neha G., Ajay K., Rishu C. // Advanced Manufacturing, Electronics and Microsystems: TechConnect Briefs.- 2015. – V. 4. – P. 181-184.

25. 2D and 3D TCAD simulation of III-V channel FETs at the end of scaling / Aguirre P., Rau M., Schenk A. // 2018 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS).- Granada: IEEE. – 2018. – P. 1-4.

26. A two-dimensional gate threshold voltage model for a heterojunction SOI-tunnel FET with oxide/source overlap / Chander S., Baishya S. // IEEE Electron Device Letters. – 2015. – V. 36, No 7. – P. 714-716.

27. TCAD Simulations of Nano-scale Functional Neuron MOSFETs with Splitted Gate Bias on Floating Gate / Kong H., Wang G., Sun L, // 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT).- Qingdao: IEEE. – 2018. – P. 1-3.

28. A TCAD approach to the physics-based modeling of frequency conversion and noise in semiconductor devices under large-signal forced operation / Bonani F. et al. // IEEE Transactions on Electron Devices. – 2001. – V.48, No 5. – P. 966-977.

29. A split-gate positive feedback device with an integrate-and-fire capability for a high-density low-power neuron circuit / Choi K.-B. et al. // Frontiers in neuroscience. – 2018. – V. 12. – 704 p.

ДОДАТОК А**СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ**