

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДОВО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ FET'S
ТРАНЗИСТОРІВ НА ОСНОВІ НАНОСТРІЧОК**

Студент гр. ЕІ-81_к

Р.Г. Сидоренко

Науковий керівник,
к.ф.-м.н., доцент

І.П. Бурик

Конотоп 2022

ЗМІСТ

ВСТУП	3
РОЗДІЛ 1. РОЗВИТОК ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРАНЗИСТОРІВ ІЗ КАНАЛАМИ У ВИГЛЯДІ 2D НАПІВПРОВІДНИКІВ	4
1.1. Тенденції масштабування польових транзисторів	4
1.2. Транзистори з каналами у вигляді 2D наноматеріалів	10
1.3. Особливості транспорту носіїв заряду	12
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	17
2.1. Методика моделювання в Silvaco TCAD	17
2.2. Розробка програмного коду.....	19
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	24
3.1. Структура та характеристики 2D транзистора	24
3.2. Перспективи та проблеми 2D напівпровідникових каналів.....	28
ВИСНОВКИ	33
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	34
ДОДАТОК А. СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ	38

РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є особливості транспорту носіїв заряду польових транзисторів з каналами у вигляді нанострічок.

Мета роботи полягає у дослідженні впливу масштабування на електричні параметри польових транзисторів з каналами у вигляді 2D напівпровідників.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд характеристик транзисторів із каналами у вигляді 2D напівпровідників. У другому розділі розглядається методика моделювання структур польового транзистора з каналом у вигляді MoS_2 за допомогою програмного середовища Silvaco TCAD та відповідний програмний код. У третьому розділі наведено результати дослідження робочих характеристик польового транзистора з каналом у вигляді MoS_2 , отримані результати свідчать про більш високу їх продуктивність, ніж приладів з каналами у вигляді вуглецевих нанотрубок.

Робота викладена на 38 сторінках, у тому числі включає 12 рисунків, 1 таблиця, список цитованої літератури із 36 джерел.

КЛЮЧОВІ СЛОВА: ПОЛЬОВИЙ ТРАНЗИСТОР, КАНАЛ, НАНОСТРІЧКА, ВОЛЬТ-АМПЕРНА ХАРАКТЕРИСТИКА, РУХЛИВІСТЬ

ВСТУП

Зараз не існує фундаментальних перешкод для обробки двовимірних транзисторів у масштабі пластин і промислових спроб їх виробництва. Успішний перехід від лабораторії до фабрики вимагає об'єднаних зусиль багатьох сторін:

- від хіміків і матеріалознавців, щоб синтезувати та оцінити ці атомарнотонкі матеріали з більш кількісними параметрами матеріалу, щоб надійно охарактеризувати їх якість у шкалі пластин;
- від фізиків розробити відповідні моделі пристроїв для опису інжекції та транспортування носіїв у 2D напівпровідниках;
- від інженерів-електроників, щоб оцінити та перевіряти пристрої з більш значущими показниками продуктивності та розробити та впровадити стратегії інтеграції з поточною кремнієвою електронікою, а також постійний обмін та співпрацю з усіма зацікавленими сторонами, включаючи науковців, постачальників матеріалів, напівпровідникові компанії, тощо.

Після того, як синтез, виготовлення, інтеграція та характеристики будуть повністю стандартизовані та виконані в масштабі пластин, аналіз великого обсягу виходу та оцінка надійності стануть критичними для промислового застосування. Після цього продовження досліджень та інженерна оптимізація дозволить покращити, подібно до того, які ми спостерігали в силіконовій технології. У зв'язку з цим не слід очікувати раптового застосування 2D транзисторів у мікроелектроніці; замість цього спочатку може з'явитися конкретна додаткова ніша, наприклад монолітні тривимірні інтегровані мікросхеми або гнучкі радіочастотні транзистори.

РОЗДІЛ 1

РОЗВИТОК ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ТРАНЗИСТОРІВ ІЗ КАНАЛАМИ У ВИГЛЯДІ 2D НАПІВПРОВІДНИКІВ

1.1. Тенденції масштабування польових транзисторів

Польові транзистори (FET) є основними елементами для сучасних процесорів комп'ютера. З 1960-х років кількість транзисторів у типовому мікропроцесорі значно зростає, ця тенденція відома як закон Мура. Зменшивши пристрій, можна об'єднати більше транзисторів в один чіп із значно покращеною продуктивністю та меншою вартістю. Постійна мініатюризація кремнієвої мікроелектроніки сприяла значному зростанню інтегральних схем протягом понад півстоліття. Сьогодні, коли кремнієві транзистори входять у вузол технології нижче 10 нм із зростаючими технічними проблемами, дослідження альтернативної геометрії пристроїв або нових матеріалів каналів стає все більш важливим для майбутніх процесорних чіпів. FET – це електронний перемикач, у якому провідність напівпровідникового каналу між електродами витоку (S - Source) та стоку (D - Drain) може вмикатися та вимикатися третім електродом затвором (G - Gate), електростатично з'єднаним через тонкий діелектричний шар. Таким чином, поведінка перемикачів типового тонкоплівкового FET диктується електростатикою в трививодному пристрої, як це регулюється одновимірним рівнянням Пуассона [1].

Зменшення розмірів транзистора здійснюють масштабуванням товщини його каналу. Як приклад було створено такі передові структури пристроїв як UTB SOI MOSFET та FinFET, які були запропоновані в 1996 р. як реакція на запит суб-25 нм норм техпроцесу. Прийняття цих пристроїв успішно розширило обмеження Мура до вузлів технології нижче 10 нм. Слід відміти, що найменування технологічних вузлів втратило своє історичне фізичне значення (фізична довжина затвору) і служить лише «маркетинговою назвою», що стосується конкретного покоління технології чіпів [1-5].

Поряд з загальновідомими планарними та FinFET транзисторами великий інтерес мають коаксіальні структури із затвором, що оточує канал з усіх сторін (GAA- Gate All-Around), приклад таких структур зображено на рис.1.1.

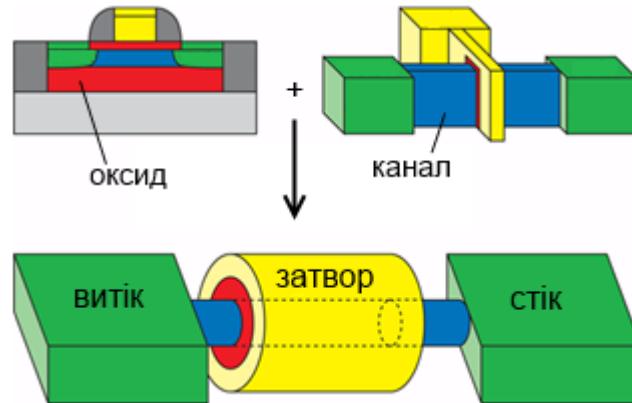


Рис.1.1. Створення коаксіальної структури GAA FET [3]

На їх основі вже побудовані та активно досліджуються горизонтальні та вертикальні структури на основі нанодротів (GAA Nanowire-FET), геометрії яких наведено на рис.1.2а,б. Поряд з цим застосування як каналів вуглецевих нанотрубок визначатимуть технологічні норми менше 2 нм (рис.1.1в).

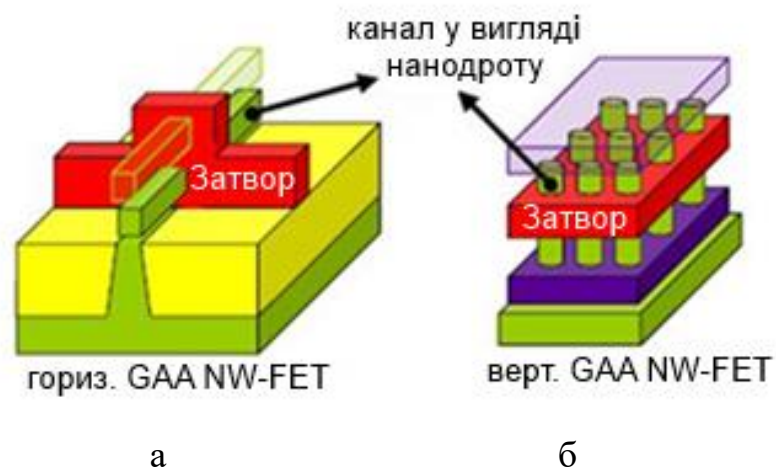


Рис.1.2. Горизонтальні (а) та вертикальні (а) транзисторні структури на основі нанодротів [3]

Слід відмітити, що окрім широко розповсюджених тривимірних структур FinFET (рис.1.3а) перспективними в цьому напрямі вважаються 2D FET структури (рис.1.3б), із застосування таких матеріалів як сульфід молібдену, сульфід вольфраму, максени (MXenes) та інші [4]. Це пов'язано з можливістю практичної реалізації для останніх балістичного транспорту носіїв заряду.

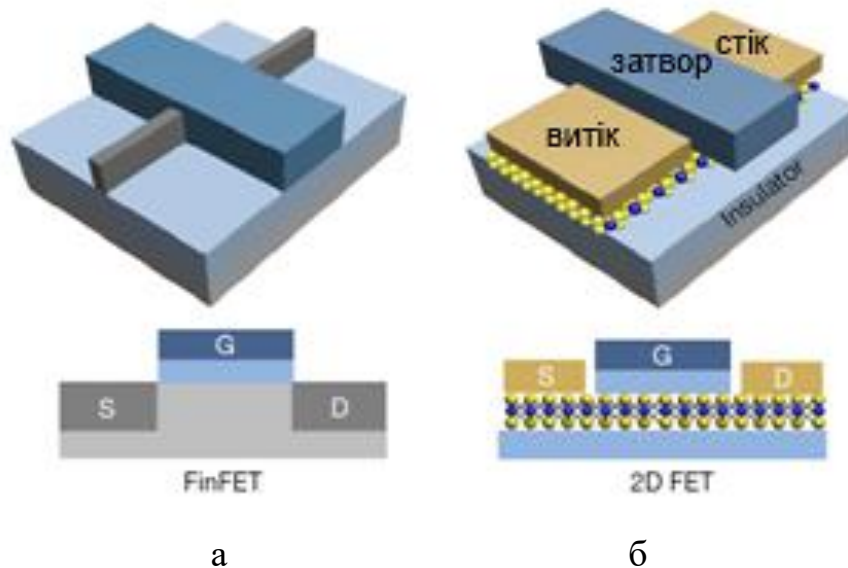


Рис.1.3. Схематичні зображення FinFET (а) та 2D транзисторної структури (б) [2]

2D-транзистори можуть забезпечити продовження масштабування транзисторів до вузлів суб-5 нм або нижче 3 нм, як показано червоною пунктирною лінією (рис.1.4).

Слід відмітити, що у об'ємних FET's зменшення коротканальних ефектів вимагає формування тонких переходів стік/витік-підкладка та збільшення концентрації домішки у підкладці, що спричиняє зменшення рухливості та зростання паразитних ємностей. Перевага SOI FET's полягає в тому, що масштабування приладу можна повністю керувати зміною товщини плівки.

При масштабуванні FET's сильно проявляються ефекти короткого каналу, short-channel effects (SCE's). Зокрема, зі зменшенням товщини каналу (довжини затвору) відбувається зниження порогової напруги V_t , зростання допорогового

розкиду (subthreshold swing, SS), та бар'єру, що індукується стоком (called drain induced barrier lowering, $DIBL$) та тощо.

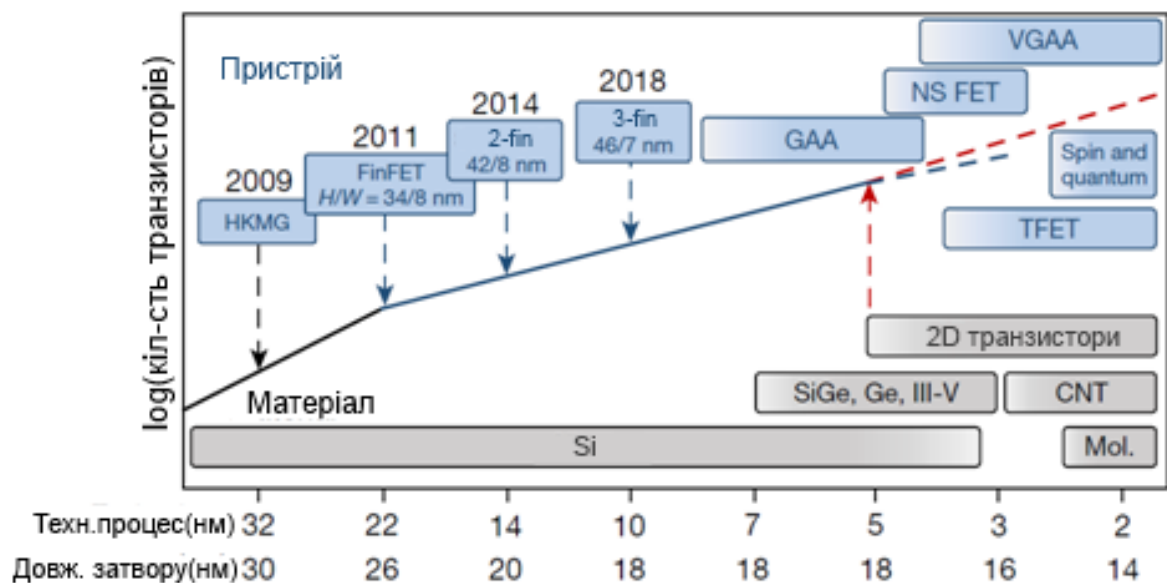


Рис.1.4. Тенденція масштабування транзистора в порівнянні з технологічним вузлом і довжиною каналу [2]. НКМГ - високо-к діелектричні та металеві затвори; NS FET – нанолістові FET; CNT – вуглецева нанотрубка; Mol. – молекули

$DIBL$ – ефект і вплив стоку на розподіл електричного поля під затвором присутні як в об'ємних, так і SOI FET's. Однак у останніх вони краще контролюються зменшенням товщини плівки. Головний короткоканальний ефект у полягає у проникненні електричного поля від стоку в прихований шар оксиду та підкладку. Проникаюче поле призводить до збільшення поверхневого потенціалу на межі плівки з прихованим шаром оксиду точно так, як діяло б зворотне зміщення на нижньому затворі - індуковане стоком віртуальне зміщення підкладки ($DIVSB$ – drain-induced virtual substrate biasing). Оскільки є електричний зв'язок між верхнім та нижнім поверхневими потенціалами, властивості верхнього каналу змінюються. Зокрема, гранична напруга зменшується при збільшенні потенціалу стоку як при $DIBL$, хоча $DIVSB$ – зовсім інший механізм.

Технологія SOI є природним кроком для переходу від чисто планарного принципу інтеграції до об'ємної (3D) інтеграції. Одна з головних цілей об'ємної інтеграції – придушення геометричних короткоканальних ефектів – реалізується у технологіях багатозатворних FET's. Особливістю таких структур є висока електростатична якість та високий рівень керованості зарядом у каналі. Ідеальним у цьому сенсі є транзистор з круговим затвором, він є найбільш складним технологічно. Транзистори з потрійним (П-подібним або Ω -подібним) затвором і так званій FinFET (від англ. Fin - риб'ячий плавник) цілком сумісні з існуючою технологією виготовлення і вже реалізовані в 32 і 22 нм технології Intel. Транзистор з горизонтальним подвійним затвором (DG) є найперспективнішим у сенсі компромісу між електростатичною якістю, а також ступенем інтеграції та складністю виготовлення. У ньому може реалізовуватися як режим роботи з двома каналами, а й режим об'ємної інверсії. У нього більше струм, підпороговий розкид близький до 60мВ/декаду, довжини каналу у DG транзисторів менші, ніж у однозатворних (SG –single gate) приладів [6].

Чисельне моделювання включає квантоворозмірні ефекти, тунелювання зона-зона і пряме тунелювання витік-стік, дає прийнятні характеристики навіть для DG транзисторів із довделювання, що жиною каналу 2...8 нм. При цьому рекомендоване відношення товщини плівки до довжини каналу для транзисторів DG становить 1/2, на противагу SG транзисторам (1/4). DG транзистор реалізується на основі традиційної планарної технології, проте існують значні труднощі із поєднанням верхнього та нижнього затворів.середині плівки, відчувають менше розсіювання. Тому рухливість та радіаційна стійкість покращуються, а низькочастотний шум зменшується. Короткоканальні ефекти (DIBL, DIVSB, прокол) скорочуються.

Вимоги (перераховані в порядку їхньої важливості), які пред'являються до «досконалого» SOI FET's:

1. Несприйнятливість до випадкових флуктуацій домішки (random dopant fluctuation, RDF).
2. Електростатична якість вища, ніж у планарних об'ємних FET's.

3. Відносна простота виготовлення.
4. Можливість динамічного регулювання порогової напруги.
5. Ефективність топологічного розміщення елементів така сама або краще, ніж у планарних об'ємних FET's.

Для задоволення першої вимоги концентрація домішки у каналі має бути низькою. Для виконання другої вимоги необхідні багатозатворні транзистори. Для реалізації третьої вимоги необхідно уникати суб-5нм товщини каналу або високого аспектового відношення топологічних елементів (наприклад, «плавників» із відношенням висоти до ширини більше 3). Щоб виконати четверту вимогу, необхідний нижній затвор (BG MOSFET) або безпосередній контакт до бази. Хоча п'ята вимога не є критичною, вона сприяє транзисторним структурам, які забезпечують більшу ширину каналу на крок металізації. З усіх транзисторів з тонкою базою тільки планарні MOSFET (з відповідним зміщенням нижнього затвора) можуть задовольнити всім цим вимогам. Практичне виготовлення BG MOSFET визначається вартістю SOI підкладок з дуже тонким (< 10нм) та прихованим однорідним шаром.

Використання TG bulk MOSFET дозволяє досягти вищої електростатичної якості, ніж у TG SOI MOSFET, тому що виключається проникнення електричного поля крізь прихований окис.

Таким чином, перевагами багатозатворних FET's є:

- зменшення геометричних короткоканальних ефектів;
- малий статичний струм витоку та динамічне споживання;
- високе відношення струмів у відкритому та закритому станах I_{ON} / I_{OFF} ;
- сумісність із існуючими технологіями виготовлення;
- потенційно дуже високий рівень інтеграції (менше 10 нм)

1.2. Транзистори з каналами у вигляді 2D наноматеріалів

Транзистори з каналами у вигляді 2D наноматеріалів, а не кремнієвими, потенційно можуть підвищити швидкість комп'ютерів та знизити їхнє

енергоспоживання більш ніж у тисячу разів. Але набір необхідних матеріалів, необхідних створення діючих ланцюгів, залишався неповним до нашого часу.

Група хіміків і фізиків з Каліфорнійського університету в Берклі створила дріт повністю зроблений з вуглецю. Це, у свою чергу, підготувало ґрунт для початку досліджень зі створення транзисторів на основі вуглецю, і зрештою – комп'ютерів [9-17].

Фелікс Фішер, професор хімії Каліфорнійського університету в Берклі, зазначив, що можливість виготовляти всі елементи інтегральної схеми з одного матеріалу зробить виробництво легшим. «Це був один із ключових моментів, якого не вистачало у загальній картині архітектури інтегральних схем, повністю заснованих на вуглеці».

Металеві дроти використовуються для з'єднання транзисторів у комп'ютерній мікросхемі – переносять електрику від пристрою до пристрою та з'єднують напівпровідникові елементи усередині блоку мікросхем.

Група Каліфорнійського університету в Берклі протягом кількох років працювала над тим, як зробити напівпровідники та ізолятори з графенових нанолент, які є вузькими одномірними смужками графена товщиною в атом. Структура цих нанолент повністю складається з атомів вуглецю, розташованих в гексагональній сингонії, що нагадує дротяну сітку.

У той час як інші матеріали на основі вуглецю, такі як листи двовимірного графену та вуглецеві нанотрубки можуть бути металоподібними, вони мають свої недоліки. Наприклад, перетворення аркуша двовимірного графену на смуги нанометрового розміру може перетворити їх на напівпровідники або навіть ізолятори. Вуглецеві нанотрубки, які є відмінними провідниками, не можуть бути отримані з такою ж точністю у великих кількостях, як нанострічки [9-17].

Нанострічки з металоподібного графену мають широку, частково заповнену електронну смугу, характерну для металів, і можна порівняти за провідністю з двовимірним графеном.

Інтегральні схеми на основі кремнію використовувалися в комп'ютерах протягом десятиліть, що регулярно збільшується швидкістю роботи та

продуктивністю відповідно до закону Мура, але вони вже досягають своєї межі швидкості наскільки швидко вони можуть перемикатися між «нулями» і «одинацями». Також стає дедалі важче знизити енергоспоживання; комп'ютери вже споживають значну частину світового виробництва енергії. За словами Фішера, комп'ютери на основі вуглецю потенційно можуть перемикатися набагато швидше, ніж кремнієві комп'ютери, і споживати лише частку від їх енергії.

Графен, що є чистий вуглець, був провідним претендентом на створення комп'ютерів наступного покоління на основі вуглецю. Однак вузькі смужки графена в першу чергу є напівпровідниками, і проблема полягала в тому, щоб змусити їх працювати як ізолятори і метали, щоб побудувати транзистори на основі вуглецю. Кілька років тому Фішер і Кроммі об'єдналися з вченим-теоретиком матеріалознавцем Стівеном Луї, професором фізики Каліфорнійського університету в Берклі, щоб відкрити нові способи з'єднання невеликих відрізків нанострічки із збереженням усіх властивостей.

Два роки тому команда продемонструвала, що, правильно поєднавши короткі сегменти нанострічки, електрони в кожному сегменті можуть бути розташовані так, щоб створити новий топологічний стан - особливу квантову хвильову функцію - що призводить до властивостей напівпровідника, що налаштовуються. У своїй роботі вони використовують аналогічну техніку для «зшивання» коротких сегментів нанолент, щоб створити провідний металопоподібний провід довжиною в десятки нанометрів і шириною лише в один нанометр.

Щоб досягти довжину затвора в 1 нм у 2016 р. дослідники використовували вуглецеві нанотрубки і 2D матеріал MoS_2 (дисульфід молібдену). Коли довжина затвора падає нижче 5 нм, електрони проникають через затвори в кремнієвих транзисторах, хоча останній є кращим напівпровідником, оскільки має менший опір ніж MoS_2 . Природна стійкість MoS_2 запобігає подібним витокам в найдрібніших масштабах [2-5].

Виходячи з цієї попередньої роботи, дослідники в останньому дослідженні також вибрали MoS_2 для свого матеріалу каналу та затвор на основі графену. Останній володіє різними цікавими властивостями, однією з яких є висока електропровідність. Ширина і довжина графенового листа більше, ніж у нанотрубки, але товщина становить один атом вуглецю.

Для базування транзистора спочатку було створено шар SiO_2 . Потім, використовуючи метод виробництва графену, який називається хімічним осадженням з пари, було нанесено графен поверх SiO_2 і шар AlO_x поверх графену. AlO_x та SiO_2 , що знаходяться у графені, діють як ізолятори, ефективно ізолюючи його електричні властивості від решти транзистора. Потім створювалась вертикальна сходинка (рис.1.5) атомарно тонкий затвор. Цю конструкцію називають «транзистором із боковою стінкою» [7].

На сходинку було нанесено шар HfO_2 і шар MoS_2 для формування каналу. Потім було створено два металеві електроди, один на верхній сходинці, а другий на нижній, як витік і стік.

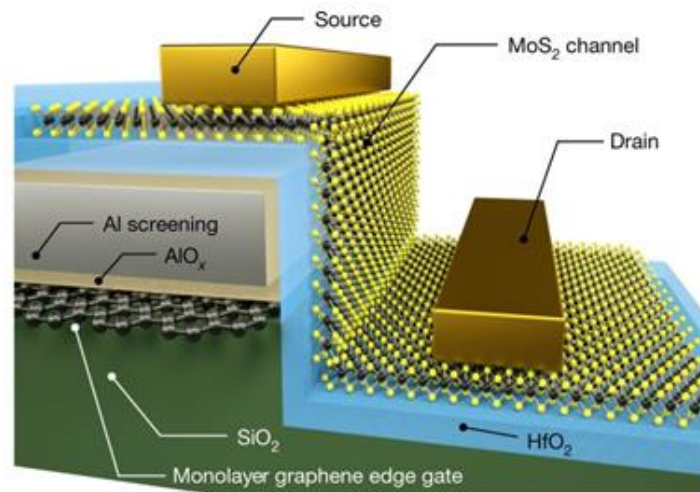


Рис.1.5. 2D «транзистор із боковою стінкою» з довжиною затвора менше одного нанометра [7]

Добре відомо, що в міру скорочення довжини каналу необхідно враховувати квантові властивості електронів. Квантово-механічні ефекти також відіграватимуть важливу роль у шкалі довжин хвиль де Бройля електронів.

Проста оцінка середньої довжини вільного пробігу носіїв в тепловому рівноважному зразку Si дає близько 10 нм, що не набагато менше, ніж фактична реалізована довжина каналу провідності при масовому виробництві практично реалізованих транзисторів. В даний час розроблені надійні та дуже надійні моделі транспорту квантових електронів у нанопроводах [18-22]. Чим менша довжина каналу провідності від середньої довжини пробігу носіїв, тим більше потрібно враховувати квантово-механічні властивості транспорту носіїв. Однак напівкласична модель працює дуже надійно, коли довжина каналу провідності перевищує 10 нм.

1.2 Особливості транспорту носіїв заряду

Розглянемо основи чисельного моделювання транспорту носіїв урахуванням квантових ефектів у каналах тривимірних структур польових транзисторів [11,24,25].

У рівнянні Пуассона електростатичний потенціал φ пов'язаний з просторовою густиною заряду ρ (ϵ – діелектрична проникність):

$$\operatorname{div}(\epsilon \nabla \varphi) = -\rho, \quad (1.1)$$

Вектором напруженості електричного поля \mathbf{E} визначається як:

$$\mathbf{E} = -\nabla \varphi. \quad (1.2)$$

Для електронів (n) та дірок (p) швидкості зміни концентрації носіїв заряду визначають за допомогою рівнянь неперервності (q , \mathbf{J}_n та \mathbf{J}_p , G_n та G_p , R_n та R_p – заряд електрона, вектор густини сили струму, коефіцієнти генерації, коефіцієнти рекомбінації):

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \mathbf{J}_n + G_n - R_n, \quad (1.3)$$

$$\frac{\partial p}{\partial t} = \frac{1}{q} \operatorname{div} \mathbf{J}_p + G_p - R_p. \quad (1.4)$$

Поточні рівняння дрейф-дифузійної (ДД) моделі (q – заряд електрона, D_n та D_p – коефіцієнт дифузії носіїв, n та p – концентрації носіїв, μ_n та μ_p – рухливість носіїв, ψ – хвильова функція, k – постійна Больцмана, T – температура Дебая, n_{ie} – ефективна внутрішня концентрація):

$$J_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (kT \nabla (\ln n_{ie})), \quad (1.5)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla \psi + \mu_p p (kT \nabla (\ln n_{ie})), \quad (1.6)$$

Слід відмітити, що коефіцієнти дифузії D визначають на основі відомих співвідношень Ейнштейна. Останні можуть бути отримані як в рамках статистики Больцмана, так і в рамках статистики Фермі-Дірака (ФД). Відомо, що електротранспорт нанооб'єктів моделюються як правило за статистикою ФД.

У рамках статистики Больцмана:

$$D = \frac{kT_L}{q} M, \quad (1.7)$$

де k , T_L – стала Больцмана, температура решітки

У рамках статистики ФД для електронів (F_α , ε_c , ε_{Fn} , ϕ_n та n_{ie} – інтеграл ФД порядку α , енергія зони провідності, квазі рівень Фермі, квазіпотенціал Фермі та ефективна концентрація власних носіїв):

$$D = \frac{\left(\frac{kT_L M_n}{q}\right) F_{1/2} \left\{ \frac{1}{kT_L} [e_{Fn} - e_c] \right\}}{F_{-1/2} \left\{ \frac{1}{kT_L} [e_{Fn} - e_c] \right\}} \quad (1.8)$$

$$e_{Fn} = -q\phi_n = -\frac{kT_L}{q} \ln\left(\frac{n}{n_{ie}}\right), \quad (1.9)$$

Для коректного моделювання електротранспорту носіїв заряду в каналах у рівняннях дрейф-дифузійної моделі транспорту необхідно враховувати т.зв. квантовий потенціал Бома (англ. Bohm Quantum Potential – BQP). Тоді формули

(1.9) та (1.10) відповідно отримують вигляд [11]:

$$J_n = qD_n \nabla n - qn\mu_n \nabla(\psi - Q) - \mu_n n (kT \nabla(\ln n_{ie})), \quad (1.11)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla(\psi - Q) + \mu_p p (kT \nabla(\ln n_{ie})), \quad (1.12)$$

У рівняннях (1.11) та (1.12) додатковий член Q представляє квантовий потенціал Бома, який визначається як [11]:

$$Q = -\frac{\hbar^2}{2} \frac{\gamma \nabla[M^{-1} \nabla(n^\alpha)]}{n^\beta}. \quad (1.13)$$

де \hbar – стала Планка, M – ефективна маса, n – концентрація носіїв, γ та α – параметри підгонки визначається умовою квантового обмеження та відповідно становили 1,4 та 0,3 [11].

Таким чином дрейф-дифузійної модель транспорту з врахуванням квантового потенціалу Бома дозволяє коректно змоделювати транспорт носіїв в каналах польових транзисторів.

Слід відмітити, що балістичні транзистори мають характерну схему енергетичних рівнів з контрольованим бар'єром. На ній присутня невелика область (вікно Фермі), яка має балістичну провідність. Сила струму в каналі таких транзисторів визначається згідно співвідношення Ландауера. Завдяки відсутності зворотного розсіювання (довжина вільного пробігу збільшується до лінійного розміру каналу), мають високі робочі температури. Також між металевим електродом та вуглецевою нанотрубкою формується бар'єр Шотткі. Це довгий час перешкоджало створенню балістичних транзисторів. Цю проблему вдалося вирішити завдяки використанню паладію як матеріалу електродів.

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика моделювання в Silvaco TCAD

Silvaco TCAD – це набір взаємопов'язаних програм [26-29]. Їх взаємозв'язок можна зрозуміти з блок-схеми, показаної на рисунку 2.1. DeckBuild [26] запускає та координує програми, створює та виконує всі пакетні файли, налаштовує програми тощо. Симулятор пристрою ATLAS [27] настільки ж важливий, як і інструменти візуалізації TonyPlot або TonyPlot3D. Стандартні технічні процеси також можна моделювати в ATHENA [28].

Слід зазначити, що структура бібліотеки моделей Silvaco TCAD дуже гнучка і одні й ті ж модулі можна використовувати у всіх її підпрограмах. Silvaco використовує власний інтерпретатор під назвою C-Interpreter, який значно скорочує час компіляції. Він був створений спеціально для отримання оптимізованого машинного коду на основі оригінального опису моделі.

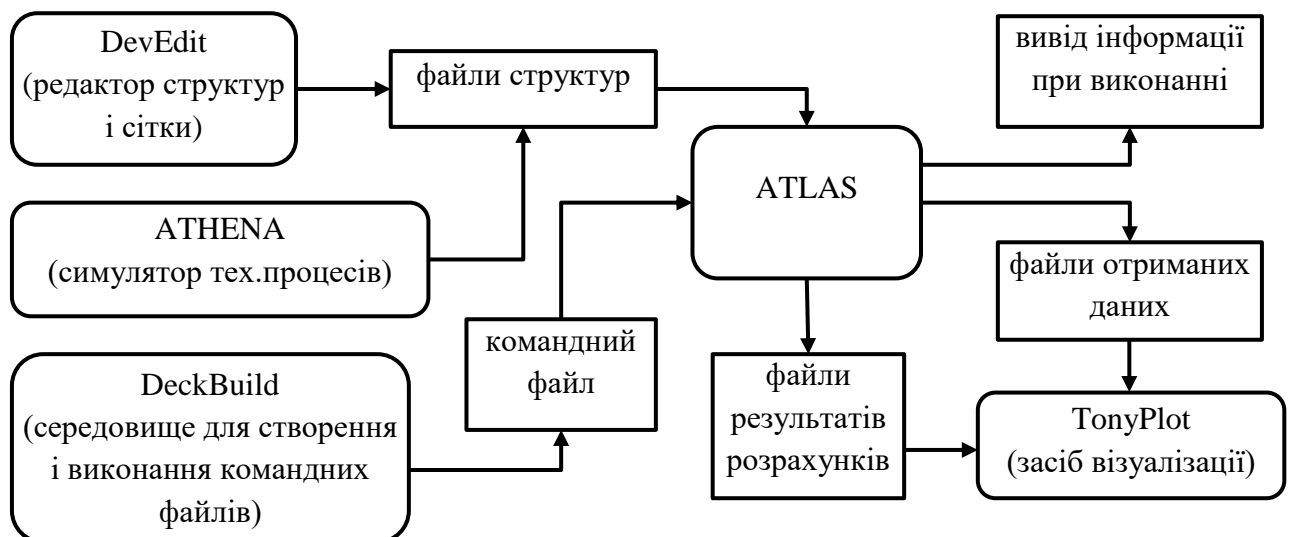


Рис. 2.1. Блок-схема засобів Silvaco TCAD [27]

На рис.2.2 наведено типову схему алгоритма проектування в Silvaco TCAD за допомогою додатку Atlas. Таким чином експериментальні дані з реальних приладів та пристроїв дозволяють провести подальше модельовання та дослідження відповідних структур та їх робочих параметрів.

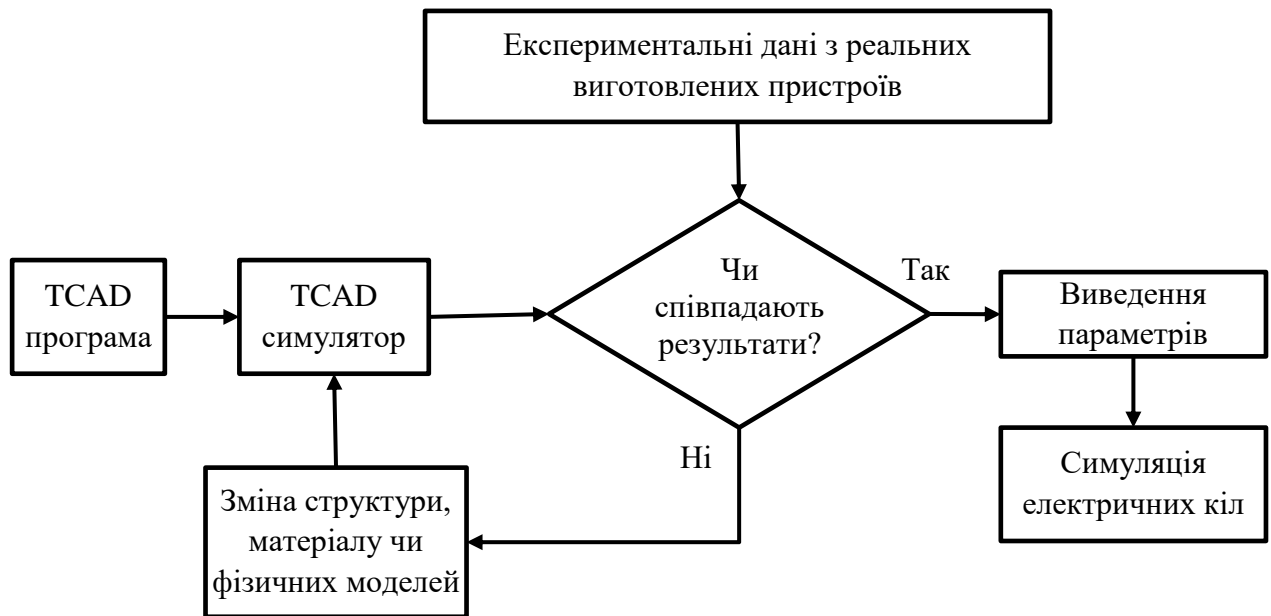


Рис. 2.2. Схема алгоритму проектування в TCAD [26]

Робочі характеристики транзисторних структур проектуються в тренажері ATLAS. Більшість моделей останнього використовує процедурний код (ASCII), який містить команди, необхідні для виконання, і файл геометрії, що визначає 2D або 3D структуру пристрою. У симуляторі ATLAS формуються такі дані: звіт про хід виконання програми, який інформує про етапи виконання коду та повідомлення про помилки та попередження під час моделювання (окрема область вікна, де відображаються вищенаведені дані, яка також зберігається у файлі тимчасового звіту); файл журналу, що містить усі значення напруги та струму на клеммах на основі аналізу пристрою (створеного за допомогою команд вирішення або вилучення, зазвичай з розширенням «.log» або «.dat», кожна з яких записана в коді ASCII у таблиці); файл рішення або файл структури ".str", який зберігає графічні дані, пов'язані зі значеннями змінних.

2.2. Розробка програмного коду

В даній частині роботи приведено програмний код DevEdit для побудови геометрії транзисторної структури із каналом у вигляді нанострічки MoS₂, зокрема командний файл для генерації структури NS FET (# - коментарії до програмного коду). Вхідні дані: канал MoS₂ (бібліотека user-def), ізоляція SiO₂, електроди Conductor (placeholder), X – ширина (дзерк.), Y - товщина, Z – довжина (дзерк.).

```

set chx=0.5*0.003      #ширина каналу
set chy=0.001         #товщина шару каналу
set gtx=0.5*0.005     #ширина затвору *і структури, має бути > chx
set gty=0.001        #товщина затвору
set gtz=0.5*0.005     #довжина покривання каналу затвором
set oxy=0.001        #товщина підзатворного шару оксиду
set dsz=0.002        #довжина покривання стоку-витоку *поверх каналу
set box=0.001        #підкладка, об'єм ролі не грає, тому мала товщина
set gt_ds=0.001     #зазор між затвором і електродами стоку-витоку, має бути > 0

```

Командний код симулятора ATLAS (тривимірні циліндричні координати):

```

go atlas
mesh three.d flip.y
# сітка X
x.m l=-$gtx spac=0.0007
x.m l=-$chx      spac=0.0003
# x.m l=0.000    spac=0.001
x.m l=$chx spac=0.0003
x.m l=$gtx spac=0.0007
# сітка Y
y.m l=-$box      spac=0.0005
y.m l=0.000      spac=0.0003
y.m l=$chy       spac=0.0001

```

```

y.m l=$chy+$oxy spac=0.0003
y.m l=$chy+$oxy+$gty spac=0.0005
# сітка Z
z.m l=-$dsz-$gt_ds-$gtz spac=0.0005
z.m l=-$gt_ds-$gtz spac=0.0005
z.m l=-$gtz spac=0.0003
z.m l=0.000 spac=0.0007
z.m l=$gtz spac=0.0003
z.m l=$gt_ds+$gtz spac=0.0005
z.m l=$dsz+$gt_ds+$gtz spac=0.0005

```

Задання областей транзисторної структури:

```

# основа
region name=box mat=oxide y.max=0
region name=filler mat=vacuum y.min=0
region name=gate mat=conductor x.min=-$gtx x.max=$gtx
y.min=$chy+$oxy y.max=$chy+$oxy+$gty z.min=-$gtz
z.max=$gtz

# канал
region name=oxide mat=oxide x.min=-$gtx x.max=$gtx y.min=0
y.max=$chy+$oxy z.min=-$gtz z.max=$gtz
region name=channel user.mat=user_mos2 x.min=-$chx x.max=$chx
y.min=0 y.max=$chy

# стік-витік
region name=drain mat=conductor x.min=-$chx x.max=$chx
y.min=$chy y.max=$chy+$oxy+$gty z.max=-$gt_ds-$gtz
region name=source mat=conductor x.min=-$chx x.max=$chx
y.min=$chy y.max=$chy+$oxy+$gty z.min=$gt_ds+$gtz

electrode name=gate reg=3
electrode name=drain reg=6
electrode name=source reg=7

```

```
#\' це перенос команди на декілька строк для зручності відображення
material material=user_mos2 Eg300=1.85 affinity=4.2 permittivity=2.9 \
mun=7.2e2 mup=6e2 Nc300=1e13 Nv300=1e13 taup0=7.2e2 taun0=6e2 \
user.group=semiconductor user.default=Silicon
# збереження даних
struct outf=str_mos2_0.str
quit
```

Командний файл для отримання ВАХ структури FET із каналом у вигляді нанострічки MoS₂ :

```
#напруги для низько- та високовольтної ВАХ
set VdsL=0.03
set VdsH=0.6
set VdsHV=1.2
#діапазон напруг затвору та крок для ВАХ
set Vg0=-1.2
set dVg=0.1
set Vg1=1.2
#діапазон напруг стоку та крок для ВАХ струму насичення
set Vds0=0
set dVds=0.1
set Vds1=1.2
#напруга затвору для струму насичення
set Vg=0.6
go atlas
mesh inf=str_mos2_0.str
```

Задання моделей та методів розрахунку:

```
# models srh ccsmob fldmob e0=40 evsatmode=1 hvsatmode=1 bbt.std fermi bgn
print numcarr=2 temperature=300
# method newton itlimit=80 trap atrap=0.5 maxtrap=8 autonr nrcriterion=0.1
tol.time=5e-3 dt.min=1e-25
```

```
models fermi bqp.n SRH ni.fermi bqp.ngamma=1.089 bqp.nalpha=0.5 evsatmod=1
fldmob print bqp.qdir=3 temp=300
```

```
method block maxtrap=10 autonr nblockit=100 bicgst dvlimit=0.5
```

Задання матеріалу електродів Pd EWF:

```
contact all workf=5.22
```

```
output band.temp con.band val.band band.par e.field
```

Отримання ВАХ FET:

```
# “низьковольтна” (для розрахунку параметрів) ВАХ
```

```
solve init
```

```
solve vdrain=$VdsL nocurrent
```

```
log outf=VdsL.log
```

```
solve name=gate vgate=$Vg0 vstep=$dVg vfinal=$Vg1
```

```
log off
```

```
# “високовольтна” ВАХ
```

```
solve init
```

```
solve vdrain=$VdsH nocurrent
```

```
log outf=VdsH.log
```

```
solve name=gate vgate=$Vg0 vstep=$dVg vfinal=$Vg1
```

```
log off
```

```
# “дуже високовольтна” ВАХ
```

```
solve init
```

```
solve vdrain=$VdsHV nocurrent
```

```
log outf=VdsHV.log
```

```
solve name=gate vgate=$Vg0 vstep=$dVg vfinal=$Vg1
```

```
log off
```

```
# ВАХ струму насичення
```

```
#n-канальні
```

```
solve init
```

```
solve vgate=$Vg nocurrent
```

```
log outf=Isat_n.log
```

```
solve name=drain vdrain=$Vds0 vstep=$dVds vfinal=$Vds1
log off
save outf=Isat_n.str master
# p-канальні
solve init
solve vgate=-$Vg nocurrent
log outf=Isat_p.log
solve name=drain vdrain=$Vds0 vstep=$dVds vfinal=$Vds1
log off
save outf=Isat_p.str master
quit
```

Результати моделювання транзисторних структур із каналом у вигляді нанострічки MoS_2 та їх електричних характеристик приведені у наступному розділі.

РОЗДІЛ 3 РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура та характеристики 2D транзистора

Зовнішній вигляд тривимірної моделі транзистора із каналом у вигляді нанострічки MoS_2 з товщиною каналу 1,0 нм та довжиною затвору 2,5 нм у вигляді плівки Pd приведено на рис. 3.1 (TonyPlot 3D).

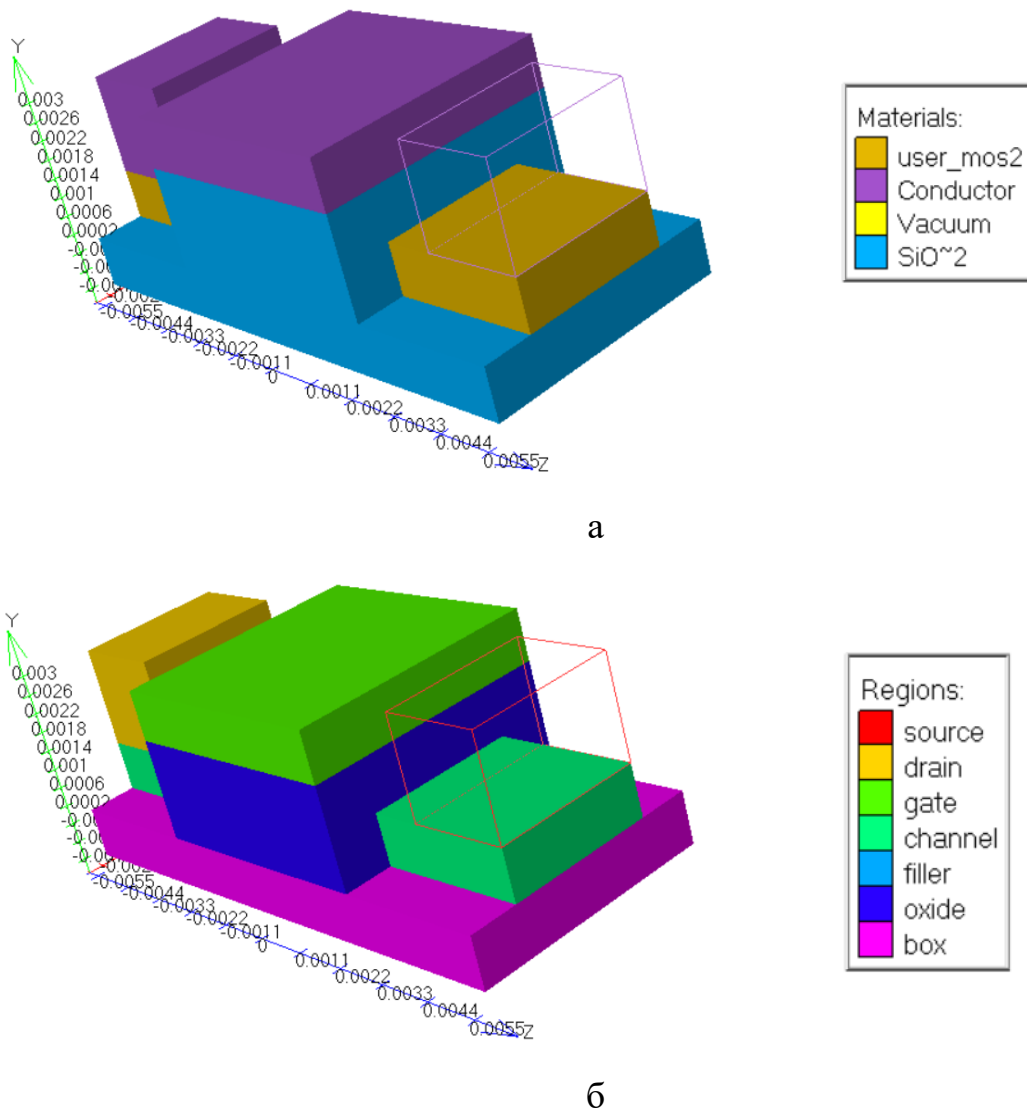


Рис. 3.1. Зображення структур польового транзистора із каналом у вигляді нанострічки MoS_2 у режимах відповідного відображення матеріалів (а) та областей (б). Масштабна сітка в мкм

Канал досліджуваного транзистора n-типу провідності формується між двома омичними контактами витоку і стоку у вигляді плівки Pd. Вихідні параметри транзисторної структури представлені в таблиці 3.1.

Таблиця 3.1

Параметри структур польового транзистора із каналом у вигляді нанострічки MoS₂

№	Параметри пристрою	Позначення	Величина
1.	Товщина каналу, нм	T	1,0
2.	Довжина каналу (загальна/підзатворна), нм	L	7,0/2,5
3.	Ширина затвору, нм	K_{ox}	2,5
4.	Товщина шару оксиду, нм	T_{ox}	1,0
5.	Товщина кремнієвої підкладки, нм	T_{sub}	1,0
6.	Значення ефективної роботи виходу (EWF), еВ	Φ_m	5,22
7.	Діелектрична проникність	ϵ	2,9
8.	Рухливість електронів, см ² /Вс	μ_n	720
9.	Рухливість дірок, см ² /Вс	μ_p	600
10.	Ширина забороненої зони, еВ	E_g	1,85
11.	Спорідненість електронів, еВ	E_{ea}	4,2

У провідному каналі n типу рухається потік електронів від витоку до стоку. У верхній частині виготовляється омичний контакт затвора. Аналогічний контакт може бути виготовлений між каналом та верхньою частиною підкладки, але при цьому виникає додаткова необхідність його ізоляції з обох боків. Як відомо у польовому транзисторі каналний струм носіїв керується електричним полем, що виникає при прикладанні електростатичної напруги між затвором і стоком. Отже існує потреба у відповідних моделях для опису інжекції та транспортування носіїв у 2D-напівпровідниках.

Дифузійно-дрейфова модель із статистикою Фермі-Дірака найбільш вдало описує транспорт електронів та дірок для більшості напівпровідникових

приладів. Проте також загально відомо, що її точність стає значно меншою для короткого каналу. У таких випадках необхідно враховувати квантові ефекти. Для цього в даній роботі було використано відповідні співвідношення дифузійно-дрейфова моделі із врахуванням квантового потенціалу Бома, які були розглянуті вище. Слід відмітити, для проектування пристроїв не використано відповідне кероване легування домішками в об'ємі 2D-напівпровідника, оскільки воно має низьку ефективність для таких каналів [2].

На рис. 3.2 наведено передавальні ВАХ для транзисторних структур із каналом у вигляді нанострічки MoS_2 .

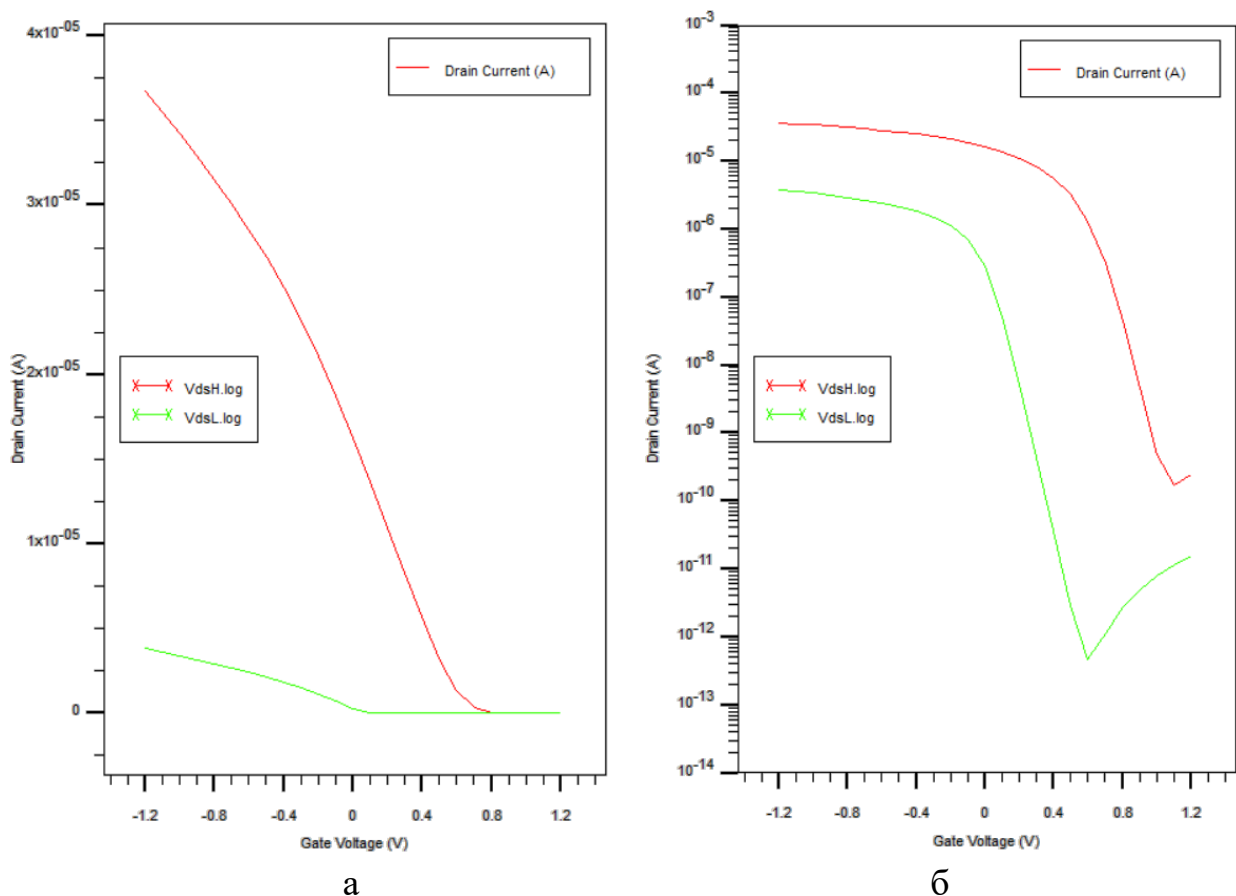


Рис.3.2. I_{DS} - V_{GS} характеристики (а) та відповідні логарифмічні залежності (б) (TonyPlot). Високий та низький рівні напруги на електродах витoku та стоку відповідно $V_{dsH}=0,60$ В та $V_{dsL}=0,03$ В

Порогова напруга була визначена для зміщення стоку 0,03 В та 0,60 В, при цьому на затворі напруга змінювалася від 0 В до 1,20 В. Отримані результати, зокрема в логарифмічних координатах дозволили визначити електричні

параметри: порогова напруга 0,4-0,5 В; допороговий розкид 110-120 мВ/декаду; сили струмів відповідно відкритої 10^{-4} - 10^{-5} А та закритої структури 10^{-10} - 10^{-12} А (який ще називають струмом втрат або витоку) та їх відношення 10^5 - 10^7 (коефіцієнт підсилення), зниження бар'єру, індуковане стоком 800-850 мВ/В.

Слід відмітити, що коефіцієнт відношення сил струмів становив величину більш високу порівняно з польових транзисторами із каналом у вигляді вуглецевої нанотрубки. Це дуже важливо для цифрового проектування, оскільки є визначальним параметром швидкості та потужності як окремого елемента так і схеми вцілому. Чим вище коефіцієнт, тим краща їх продуктивність. Отримані результати моделювання вказують на більш високу ефективність спроектованих структур польових транзисторів із каналом у вигляді нанострічки MoS_2 , ніж структур польових транзисторів із каналом вуглецевих нанотрубок [9-20].

Поряд з цим бажано було мати більш низькі величини параметра DIBL, що свідчить про значне проникнення електричного поля від стоку в прихований шар оксиду та підкладку. Цей параметр може визначатися як відношення різниці порогових напруг при фіксованих напругах на стоці до відповідної різниці стокових напруг. Такі величини DIBL можливо обумовлені геометричним фактором, а їх зменшення можна реалізувати додатковим контактом витоку та стоку з окремою екрануючою площиною.

Згідно моделі Шоклі при дослідженні 2D транзисторів рухливість носіїв FET зазвичай є визначається за нахилом залежності I_{ds} - V_{gs} і за допомогою рівняння [2]:

$$\mu_{FE} = \frac{L}{WCV_{ds}} \left(\frac{\partial I_{ds}}{\partial V_{gs}} \right), \quad (3.1)$$

де μ_{FE} , W , L , C , V_{gs} , V_{ds} , I_{ds} – рухливість носіїв FET, ширина каналу, довжина каналу, ємність затвора, напруга витік-стік, напруга затвор-стік, та струм витік-стік відповідно.

Таким чином при напрузі зміщення стоку 0,60 В рухливість носіїв FET становила величину 79,5 cm^2/Vs , яка добре узгоджується з відомими даними [2,4]

для польових транзисторів із каналом у вигляді нанострічки MoS_2 .

3.2. Перспективи та проблеми 2D напівпровідникових каналів

Для вирішення проблем, пов'язаних з масштабуванням в тривимірних (3D) об'ємних напівпровідниках [30-36], велике сімейство 2D напівпровідників привернуло останнім часом значний інтерес завдяки своїй атомарно тонкій товщині каналу (< 1 нм), де носії заряду утримуються в одноатомному каналі або каналі з кількома атомами. Зокрема, 2D-напівпровідники мають ряд переваг, зокрема незначну зміну рухливості зі зменшенням товщини. Тому, хоча багат шарові 2D напівпровідники можуть не показати конкурентну перевагу над 3D об'ємними напівпровідниками (такими як Si або GaAs), одно- або багат шарові 2D напівпровідники часто демонструють очевидні переваги в діапазоні суб-3нм товщин [2], що є суттєвим для продовження масштабування транзистора.

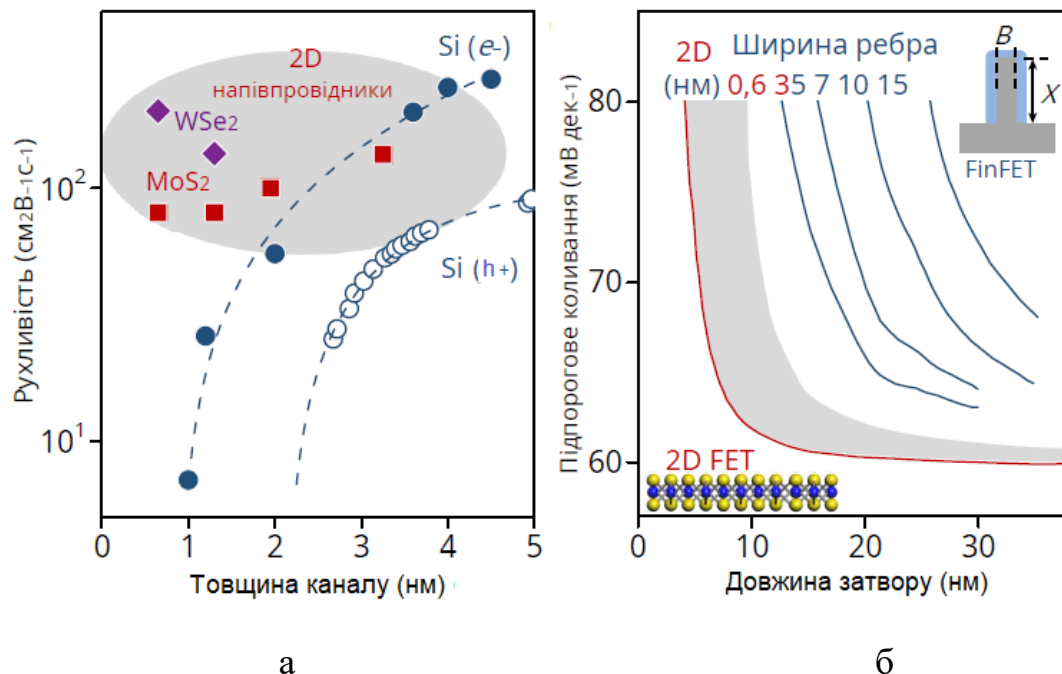


Рис.3.3. Зв'язок масштабування між рухливістю при кімнатній температурі та товщиною каналу для різних напівпровідників (а) та підпорогове коливання в залежності від довжини затвора для транзисторів з різною шириною ребра (сині лінії) або товщиною 2D каналу (червона лінія та сіра затінена область) (б) [2]

На рис. 3.1а ефективна рухливість кремнію швидко зменшується з товщиною в режимі нижче 5 нм, тоді як рухливість польового ефекту 2D напівпровідників мало залежить від товщини і значно вища в цьому режимі (сіра овальна область на рис. 3.1а). Сині символи представляють рухливості електронів (e^-), виміряну при кімнатній температурі та дірок (h^+), виміряну при 25 К; червоні та фіолетові символи позначають MoS_2 і WSe_2 вимірюється при кімнатній температурі.

На рис. 3.1б 2D-транзистори демонструють набагато менше підпорогове коливання, що важливо для постійного масштабування довжини затвора до режиму нижче 10 нм. X та B позначають висоту та ширину ребер у FinFET відповідно. Зберігаючи високу електронну провідність на кінцевому рівні обмеження (<1 нм) може дозволити використовувати транзистори з довжиною затвора менше 10 нм, зберігаючи при цьому досить невеликі підпороги коливання та низький струм витоку, який важко досягти за допомогою кремнієвої електроніки, навіть якщо використовується передова конструкція FinFET. Таким чином, застосування атомічно тонких 2D напівпровідників могло б забезпечити шлях до вузлів із 5 нм технологією [2-5].

Протягом останніх двох десятиліть двовимірні (2D) матеріали широко досліджувалися через їх виняткові властивості. Виникнення 2D матеріалів почалося з відкриттям графену. З моменту відкриття графену в 2004 році 2D матеріали продемонстрували величезний прогрес у дослідженнях графену та графеноподібних наноматеріалів, таких як фосфорен, силіцен, антимонен, графітовий вуглець і гексагональний нітрид бору ($h-BN$) (gC_3N_4). Таким чином, отримана бібліотека 2D-матеріалів є величезною і демонструє широкий спектр властивостей, починаючи від ізоляторів до найкращих провідників і від найм'якших до найміцніших. Зведені дані сімейств 2D матеріалів у вигляді діаграми приведені на рис.3.4.

Усі 2D матеріали мають листоподібну структуру з товщиною одного або кількох атомних шарів (рис.3.5). На відміну від цього, бічні розміри можуть бути в мікрометровому масштабі або навіть більшими.

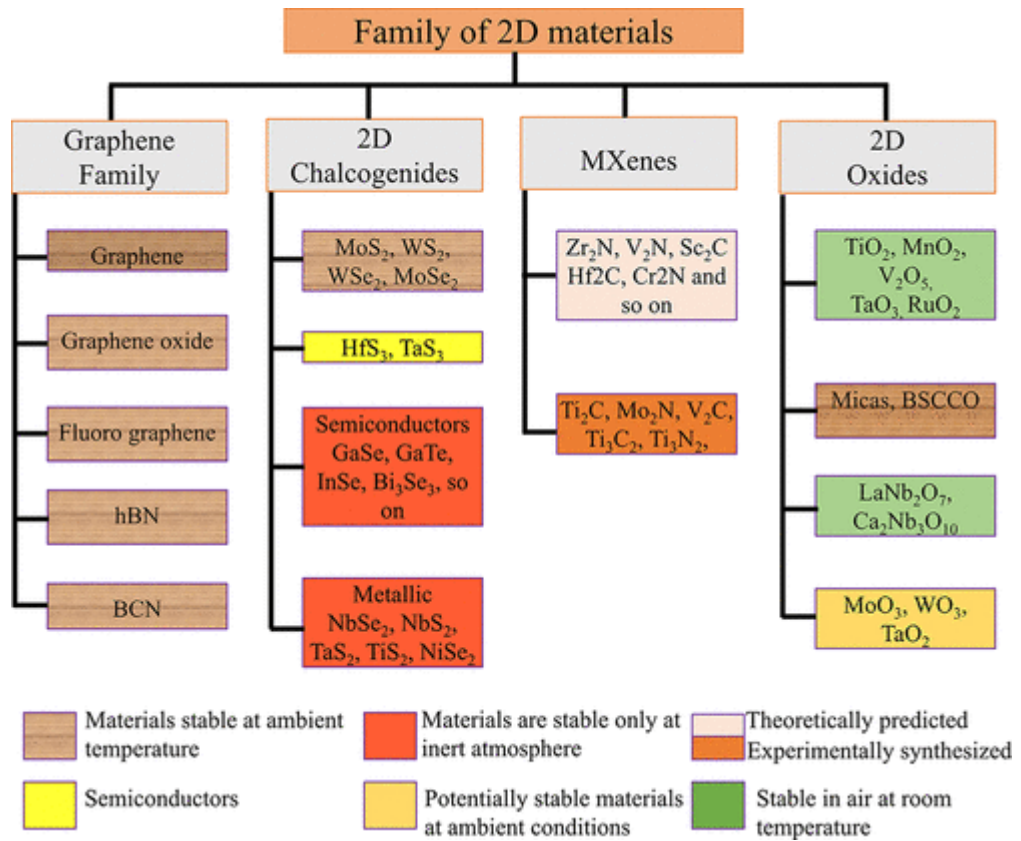


Рис.3.4. Діаграма, що показує бібліотеку 2D матеріалів [4]. BSCCO – це оксид вісмуту, стронцію, кальцію і міді, а BCN або боркарбонітрид – це суміш бору, вуглецю та азоту.

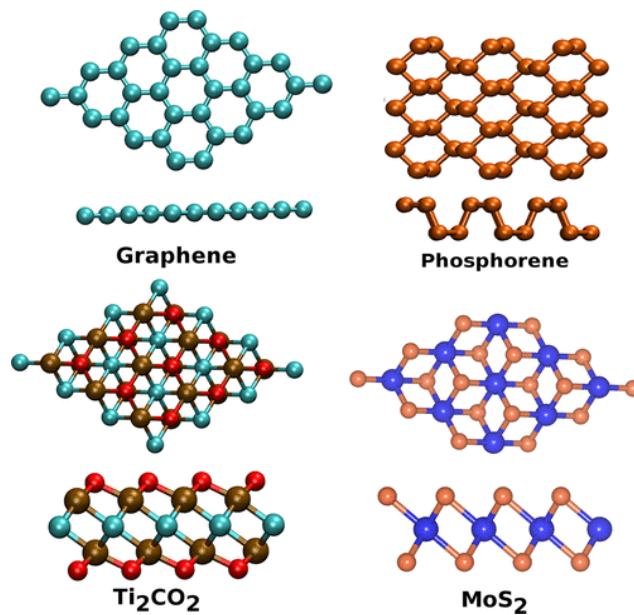


Рис.3.5. Кристалічна структура типових 2D матеріалів [4]

Через притаманну атомну товщину та листоподібну структуру електронні, оптоелектронні, фізичні та хімічні властивості 2D матеріалів надзвичайно привабливі та викликали величезний дослідницький інтерес [2-5]. Через їхню атомну товщину транспорт носіїв (електрон/дірка), фононів і фотонів сильно обмежений площиною, що потім призводить до незвичайних змін електронних, теплових та оптичних властивостей. Однак їх застосування сильно обмежено або через низьку власну рухливість несучої, або через зниження мобільності через вплив підкладки при використанні в FET. Хоча кілька електронних застосувань графену були досліджені через його надзвичайно високу мобільність носіїв, але його практично нульова заборонена зона призводить до низького співвідношення струму включення/вимкнення, суттєво обмежило його практичне застосування для електронних пристроїв.

Для покращення мобільності двовимірних матеріалів застосовувалися різні методи, такі як легування, інженерія деформацій, створення гетероструктур або багатошарових систем, але жоден з матеріалів не досяг значень мобільності, порівнянних з приладовим кремнієм. Наприклад, експериментально виміряна рухливість носіїв одношарового MoS_2 набагато менша, ніж прогнозована теоретично ($410 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) [4], внаслідок розсіювання на фононах ґратки, викликане міжфазними фононами, зарядженими домішками та високою κ діелектричного середовища. Розсіювання носіїв заряду може відбуватися на фононах ґратки через деформаційний потенціал. Розсіювання фононів залежить від температури і, таким чином, збільшується при підвищенні температури. На основі перших принципів розрахунків розсіювання акустичних/поляричних фононів та екранування моношару MoS_2 , повідомляється, що їх мобільність може бути досягати $17410 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ [4]; однак ці розрахунки не врахували ефект екранування вільних носіїв та діелектричної невідповідності.

Розсіювання фононів стає домінуючим через наявність високодіелектричного матеріалу, що призводить до зниження рухливості при кімнатній температурі. У сполуках MoS_2 дипольний момент, що виникає між катіоном та аніоном, був зумовлений полярною природою хімічного зв'язку.

Електричне поле, створене збуренням дипольного моменту полярних фононів, взаємодіє з носіями заряду, що призводить до низької рухливості носія. Цей процес відомий як полярне оптичне розсіювання фононів або взаємодія Фроліха. Носії заряду можуть збуджувати фонони, якщо мода полярних коливань підтримується шаром діелектрика в FET. Такі фонони мають віддалений інтерфейс або поверхневі оптичні фонони. У розсіянні через поверхневі оптичні фонони при кімнатній температурі переважає високодіелектричне середовище в порівнянні з низькою κ діелектричного шару. Крім того, крім кулоновського та фононного розсіяння, структурні дефекти також відіграють важливу роль у зменшенні рухливості носіїв. Наприклад, джерелом може виступати іонна вакансія сильного розсіювання в неякісному зразку.

Отже повністю охопити або навіть правильно оцінити потенціал 2D-напівпровідників для транзисторів досить складно. Зокрема, з обмеженим фізичним простором для включення зовнішніх легуючих речовин в атомарно тонкі 2D решітки, електронні властивості 2D транзисторів часто визначаються їхніми внутрішніми дефектами, поверхневими адсорбатами або порушеннями міжфазної поверхні [2]. На їх властивості негативно впливають надмірний контактний опір, значний гістерезис та великі відхилення між приладами. Таким чином, методи вимірювання та аналізу, які зазвичай використовуються для вимірювання Si транзисторів (які засновані на ідеалізованих пристроях з керованим легуванням, омичним контактом, незначним гістерезисом, малою паразитною ємністю і струмом витоку, лінійною кривою передачі в оновленому стані та високою однорідністю пристрою), можуть бути готовими до трансляції [2]. Просто екстраполюючи ці добре встановлені принципи у 2D-транзистори іноді можуть призвести до значних невизначеностей або навіть до помилкових висновків. Тому, щоб сприяти ефективному просуванню в цій галузі, необхідно створити належну оцінку забезпечення дійсності параметрів приладів. Це обумовить розуміння справжнього потенціалу та проблем кожного матеріалу, структури приладу або технологічного процесу виготовлення.

ВИСНОВКИ

1. За допомогою Silvaco TCAD проведено дослідження електричних параметрів короткоканальних транзисторних структур у рамках дифузійно-дрейфової транспортної моделі із врахуванням квантового потенціалу Бома.

2. Досліджено робочі характеристики транзисторних структур із каналом у вигляді нанострічки MoS_2 із товщиною каналу 1,0 нм та довжиною затвора 2,5 нм; для зміщення стоку 0,03 В та 0,60 В було визначено наступні електричні параметри: порогова напруга 0,4-0,5 В; допороговий розкид 110-120 мВ/декаду; коефіцієнт підсилення 10^5 - 10^7 при струмі відкритої структури 10^{-4} - 10^{-5} А та струмі витоку 10^{-10} - 10^{-12} А; зниження бар'єру, індуковане стоком 800-850 мВ/В.

3. В рамках моделі Шоклі було визначено рухливість носіїв для польових транзисторів із каналом у вигляді MoS_2 ; при напрузі зміщення стоку 0,60 В рухливість носіїв у каналі становила величину 79,5 cm^2/Vs , яка добре узгоджується з відомими даними; відносно малі значення рухливості носіїв для 2D напівпровідників вважаються прийнятними та потребують подальших досліджень.

4. Запропонована структура польового транзистора із каналом у вигляді MoS_2 розкриває проблемні аспекти дослідження та застосування нанострічок у електронному приладобудуванні, отримані результати демонструють допустимі величини електричних параметрів та можуть бути застосовані при вивченні сучасних технологій комп'ютерного моделювання приладових структур наноелектроніки.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Hu C. Modern semiconductor devices for integrated circuits / C. Hu. – Upper Saddle River, N.J. ; London : Pearson Education, 2010. – 351 p.
2. Promises and prospects of two-dimensional transistors / Y. Liu, X. Duan, H.J. Shin et al. // Nature. – 2021. – V. 591. – P. 43–53.
3. Vertical nanowire and nanosheet FETs: device features, novel schemes for improved process control and enhanced mobility, potential for faster & more energy efficient circuits / A. Veloso, G. Eneman, T. Huynh-Bao et al. // 2019 IEEE International Electron Devices Meeting (IEDM), 7-11 Dec. 2019. – San Francisco: IEEE, 2019. – P. 11.1.1 – 11.1.4.
4. Recent Advances in the Carrier Mobility of Two-Dimensional Materials: A Theoretical Perspective / S.H.Mir, V.K.Yadav, J. K.Singh // ACS Omega. – 2020. – V. 5. – P. 14203–14211
5. Computational methods for 2D materials modeling / A Carvalho, P.E.Trevisanutto, S. Taioli et al. // Rep. Prog. Phys. –2021. – V.84. – P. 106501 (21pp).
6. Soft error susceptibilities of 22 nm tri-gate devices / N. Seifert, B. Gill, S. Jahinuzzaman et al. // IEEE Trans. Nucl. Sci. – 2012. – V.59, No 6. – P. 2666-2673.
7. Vertical MoS₂ transistors with sub-1-nm gate lengths / F. Wu, H. Tian, Y. Shen et al. // Nature. – 2022. – V. 603. – P. 259–264.
8. Low Voltage Operating 2D MoS₂ Ferroelectric Memory Transistor with Hf_{1-x}Zr_xO₂ Gate Structure / Zhang, S., Liu, Y., Zhou, J. et al. // Nanoscale Res Lett. – 2020. – V. 15. – P. 157 (9 pp).
9. Can carbon nanotube transistors be scaled down to the sub-5 nm gate length? / L. Xu, J. Yang, C. Qiu et al. // ACS Appl. Mater. Interfaces. – 2021. – V. 13. – P. 31957 – 31967.

10. Проценко І. Ю. Наноматеріали і нанотехнології в електроніці : підручник / І. Ю. Проценко, Н. І. Шумакова. – Суми : Сумський державний університет, 2017. – 151 с.
11. DFT based estimation of CNT parameters and simulation-study of GAA CNTFET for nano scale applications / B. Singh, P. B, D. Kumar // Mater. Res. Express. – 2020. – V.7. – P. 015916-1 – 015916-8.
12. Double-wall carbon nanotube field-effect transistors: Ambipolar transport characteristics / Shimada et al. // Appl. Phys. Lett. – 2004. – V. 84, No 13. – P. 2412-2414.
13. Investigation of carbon nanotube FET with coaxial geometry/ P. Vimala, L. Krishna L., K. Maheshwari et al. //J. Nano- Electron. Phys. – 2020. – V. 12, No 5. – P. 05027-1 – P. 05027-5.
14. Asymmetric gating for reducing leakage current in carbon nanotube field-effect transistors / T. Srimani, G. Hills, X. Zhao et al. // Appl. Phys. Lett. – 2019. – V. 115. – P. 063107-1 – 063107-5.
15. Design and analysis of electrostatic doped tunnel CNTFET for various process parameters variation / S.Bala, M. Khosla // Superlattice. Microst. – 2018. – V. 124. – P. 160-167.
16. The effect of carbon nanotube chirality on the electrical conductivity of polymer nanocomposites considering tunneling resistance / J.Doh, S.-I.Park, Q.Yang et al. // Nanotechnology. – 2019. – V. 30. – P. 465701-1 – 465701-16.
17. Development of anti-reflecting surfaces based on Si micropyramids and wet-chemically etched Si nanowire arrays / A.A. Druzhinin, V.Y. Yerokhov, S.I. Nichkalo et al. // Functional Materials. — 2018. — T. 25, № 4. — С. 675-680.
18. Unified compact model for Gate All Around FETs- nanosheets, nanowires, multi bridge channel MOSFETs / P. Kushwaha, J. Duarte, Y.-K. Lin et al. // Informatics, Electronics and Microsystems: TechConnect Briefs 2018.- Kanpur: department of EE, Indian Institute of Technology Kanpur. – 2018. – P. 249-252.

19. Buryk I.P. Numerical simulation of FinFET transistors parameters/ I.P Buryk, A.O. Golovnia, M.M. Ivashchenko et al. // J. Nano- Electron. Phys. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.
20. Electrical and Temperature Characteristics of Transistors with a Channel in the Form of a Carbon Nanotube/ I.P. Buryk, I.M. Martynenko, L.V.Odnodvoretz et al.// J. Nano- Electron. Phys. – 2022. – V.14, No 1. – P. 01024-1 – 01024-5.
21. Numerical simulation of field-effect transistor with a channel in the form of a nanowire / I.P. Buryk, A.O. Holovnia, I.M. Martynenko, O.P.Tkach // J. Nano- Electron. Phys. – 2021. – V.13, No 4. – P. 04030-1 – 04030-5.
22. Numerical simulation of field-effect transistor GAA SiNWFET parameters based on nanowires / I.P. Buryk, M.M. Ivashchenko, A.O. Holovnia et al. // J. Nano- Electron. Phys. – 2020. – V. 12, No 6. – P. 06012-1 – P. 06012-4.
23. Investigation of Nanostructure Phase Composition and Field Emission Properties in the Ge/Si (100) System / S.A. Nepijko, A.A. Sapozhnik, A.G. Naumovets et al. // J. Nano- Electron. Phys. – 2016. – V.8, No 4(2). – P. 04067-1 –04067-4.
24. Datta S. Lessons from Nanoelectronics: A New Perspective on Transport – Part B: Quantum Transport / S. Datta – Singapore: World Scientific, 2018 – 260 p.
25. Lundstrom M. Fundamentals of Nanotransistors / M. Lundstrom – Singapore: World Scientific, 2018. – 342 p.
26. DeckBuild User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018. – 241 p.
27. ATLAS user's manual device simulation software / Silvaco. – Santa Clara: Silvaco International, 2018 – 1776 p.
28. ATHENA User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018 – 444 p.
29. Приладова-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / І.П. Бурик, А.О. Головня, М.М. Іващенко // Матеріали Х Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.

30. Origins and characteristics of the threshold voltage variability of quasiballistic single-walled carbon nanotube field-effect transistors // Q. Cao, S. Han, A. V. Penumatcha, et al./ ACS Nano. – 2015. – V. 9, № 2. – P. 1936 – 1945.
31. Effects of work-function variation on performance of junctionless and inversion-mode dual-metal gate nanowire transistors / L. Dai, W. Li, M.Lin // JSTS. – 2020. – V. 20, № 4. – P. 349-356.
32. Impact of work-function variation on analog figures-of-merits for high-k/metal-gate junctionless FinFET and gate-all-around nanowire MOSFET / W.-F. Li, L. Dai // Microelectron. J. – 2019. – V. 84. – P. 54-58.
33. Wu Y.C. 3D TCAD simulation for CMOS nanoelectronic devices / Y.C. Wu, Y.R. Jhan. – Singapore: Springer Nature Singapore Pte Ltd, 2018. – 337 p.
34. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // Appl. Sci. – 2019. – V. 9. – P.3163-3172.
35. Dual metal gate FinFET integration by Ta/Mo diffusion technology for Vt reduction and multi-Vt CMOS application / Matsukawa T., Endo K., Liu Y. // Sol. State Electron. – 2009. – V. 53. – P. 701-705.
36. Metal gate work function modulation mechanisms for 20-14 nm CMOS low thermal budget integration / B. Saidi // Materials Science. Universite Toulouse III – Paul Sabatier, 2014. –158 p.

СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ



МІНІСТЕРСТВО ОСВІТИ І НАУКИ КРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра

**ПРИЛАДОВО-ТЕХНОЛОГІЧНЕ МОДЕЛЮВАННЯ
FET'S ТРАНЗИСТОРІВ НА ОСНОВІ НАНОСТРІЧОК**

Студент гр. ЕІ-81.

Р.Г. Сидоренко

Науковий керівник,
к. ф.-м. н, доцент

І.П. Бурик

Конотоп 2022

Об'єктом дослідження кваліфікаційної роботи є особливості транспорту носіїв заряду польових транзисторів з каналами у вигляді нанострічок.

Мета роботи полягає у дослідженні впливу масштабування на електричні параметри польових транзисторів з каналами у вигляді 2D напівпровідників.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд характеристик транзисторів із каналами у вигляді 2D напівпровідників. У другому розділі розглядається методика моделювання структур польового транзистора з каналом у вигляді MoS₂ за допомогою програмного середовища Silvaco TCAD та відповідний програмний код. У третьому розділі наведено результати дослідження робочих характеристик польового транзистора з каналом у вигляді MoS₂, отримані результати свідчать про більш високу їх продуктивність, ніж приладів з каналами у вигляді вуглецевих нанотрубок.

Після того, як синтез, виготовлення, інтеграція та характеристики будуть повністю стандартизовані та виконані в масштабі пластин, аналіз великого обсягу виходу та оцінка надійності стануть критичними для промислового застосування. Після цього продовження досліджень та інженерна оптимізація дозволить покращити, подібно до того, які ми спостерігали в силіконової технології. У зв'язку з цим не слід очікувати раптового застосування 2D транзисторів у мікроелектроніці; замість цього спочатку може з'явитися конкретна додаткова ніша, наприклад монолітні тривимірні інтегровані мікросхеми або гнучкі радіочастотні транзистори

РОЗДІЛ 1. РОЗВИТОК ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ
ТРАНЗИСТОРІВ ІЗ КАНАЛАМИ У ВИГЛЯДІ 2D
НАШПРОВІДНИКІВ

1.1. Тенденції масштабування польових транзисторів

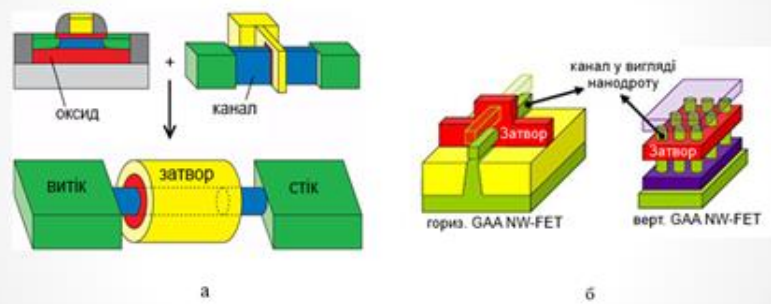


Рис.1.1. Створення коаксіальної структури GAA FET (а) та горизонтальні та вертикальні транзисторні структури на основі нанодротів (б)

1.2. Транзистори з каналами у вигляді 2D наноматеріалів

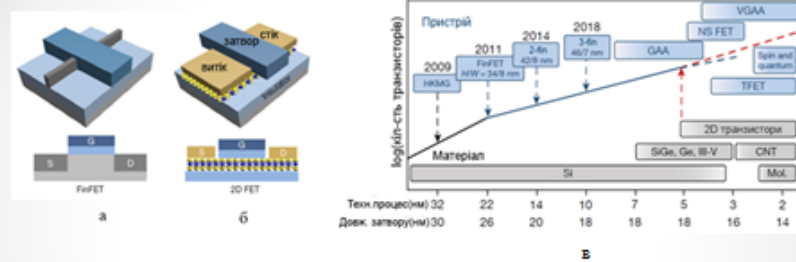


Рис.1.2. Схематичні зображення FinFET (а) та двовимірної транзисторної структури (б), тенденція масштабування транзистора в порівнянні з технологічним вузлом і довжиною каналу (в). НКМГ - високо-к діелектричні та металеві затвори; NS FET – нанолістові FET; CNT – вуглецева нанотрубка; Mol. – молекули

2.1. Методика моделювання в Silvaco TCAD

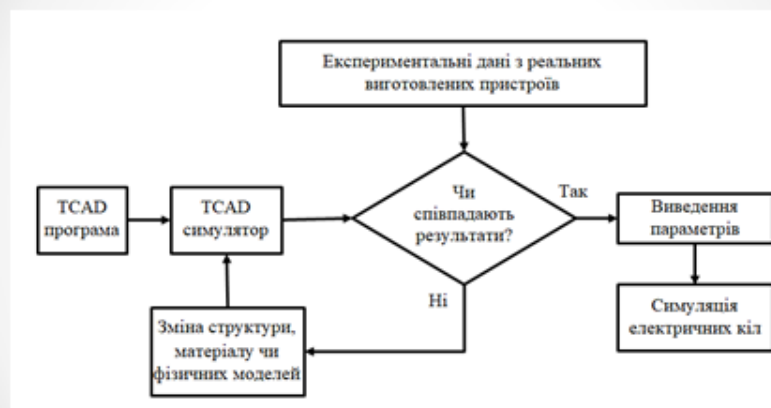


Рис. 2.1. Схема алгоритму проектування в TCAD

2.2. Моделювання електричних параметрів

Таблиця 2.1

Параметри структур польового транзистора із каналом у вигляді нанострічки MoS₂

№	Параметри пристрою	Позначення	Величина
1.	Товщина каналу, нм	T	1,0
2.	Довжина каналу (загальна/підзатворна), нм	L	7,0/2,5
3.	Ширина затвору, нм	K_{ox}	2,5
4.	Товщина шару оксиду, нм	T_{ox}	1,0
5.	Товщина кремнієвої підкладки, нм	T_{sub}	1,0
6.	Значення ефективної роботи виходу (EWF), eВ	Φ_m	5,22
7.	Діелектрична проникність	ϵ	2,9
8.	Рухливість електронів, см ² /Вс	μ_n	720
9.	Рухливість дірок, см ² /Вс	μ_p	600
10.	Ширина забороненої зони, eВ	E_g	1,85
11.	Спорідненість електронів, eВ	E_{ea}	4,2

3.1. Структура та характеристики 2D транзистора

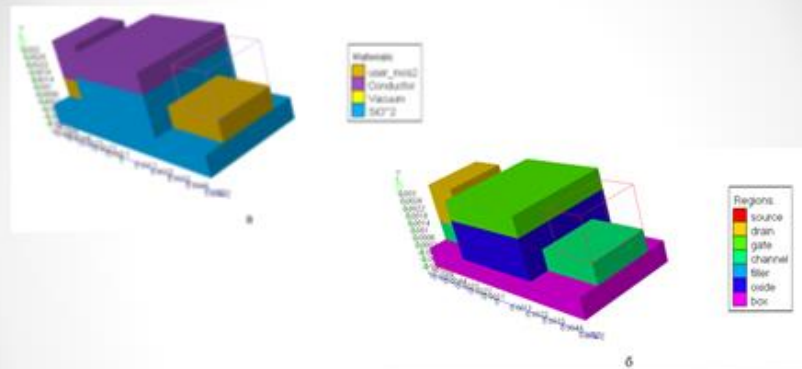


Рис.3.1. Зображення структур польового транзистора із каналом у вигляді нанострічки MoS₂ у режимах відповідного відображення матеріалів (а) та областей (б). Масштабна сітка в мкм

3.2. Перспективи та проблеми 2D напівпровідникових каналів

8

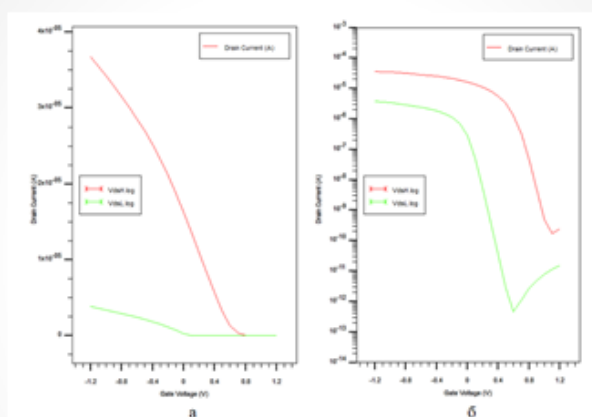


Рис.3.2. I_{ds} - V_{gs} характеристики (а) та відповідні логарифмічні залежності (б) (TopuPlot). Високий та низький рівні напруги на електродах витоку та стоку відповідно $V_{dsH}=0,60$ В та $V_{dsL}=0,03$ В

1. За допомогою Silvaco TCAD проведено дослідження електричних параметрів короткоканальних транзисторних структур у рамках дифузійно-дрейфової транспортної моделі із врахуванням квантового потенціалу Бомі.
2. Досліджено робочі характеристики транзисторних структур із каналом у вигляді нанострічки MoS₂ із товщиною каналу 1,0 нм та довжиною затвора 2,5 нм; для зміщення стоку 0,03 В та 0,60 В було визначено наступні електричні параметри: порогова напруга 0,4-0,5 В; допороговий розкид 110-120 мВ/декаду; коефіцієнт підсилення 0,1-10 млн. при струмі відкритої структури 10-100 мкА та струмі витoku -0,01 -1,00 пА; зниження бар'єру, індуковане стоком 800-850 мВ/В.
3. В рамках моделі Шоклі було визначено рухливість носіїв для польових транзисторів із каналом у вигляді MoS₂; при напрузі зміщення стоку 0,60 В рухливість носіїв у каналі становила величину 79,5 см²/Вс, яка добре узгоджується з відомими даними; відносно малі значення рухливості носіїв для 2D напівпровідників вважаються прийнятними та потребують подальших досліджень.
4. Запропонована структура польового транзистора із каналом у вигляді MoS₂ розкриває проблемні аспекти дослідження та застосування нанострічок у електронному приладобудуванні, отримані результати демонструють допустимі величини електричних параметрів та можуть бути застосовані при вивченні сучасних технологій комп'ютерного моделювання приладових структур наноелектроніки.