

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра
**КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ БАЗОВИХ КОМПОНЕНТІВ
НАПІВПРОВІДНИКОВОЇ ТЕХНОЛОГІЇ: ДІОДІВ ТА МОН
ТРАНЗИСТОРІВ**

Студент гр. ЕІ-81_к

О.І. Ворона

Науковий керівник,
к.ф.-м.н., доцент

І.П. Бурик

Конотоп 2022

РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є фізичні основи принципу дії, структурні та робочі характеристики напівпровідникових діодів та МОН транзисторів.

Мета роботи полягає у вивченні фізичних моделей напівпровідникових діодів та МОН транзисторів, алгоритмів їх комп'ютерного моделювання, аналізу отриманих експериментальних результатів.

При виконанні роботи для розробки та створення структур напівпровідникових діодів та МОН транзисторів використовувалися методи комп'ютерного приладно-технологічного моделювання у програмному середовищі Silvaco TCAD.

У результаті проведених досліджень було виконано ряд моделювань структур напівпровідникових діодів та МОН транзисторів, набуто навичок роботи з транспортними моделями, зроблено висновки про особливості застосування таких елементів в сучасній мікроелектроніці.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд сучасних систем програмного моделювання та їх можливостей. У другому розділі описано методи розробки, опису фізичної моделі діодів та МОН транзисторів, алгоритм створення віртуальної моделі в програмному середовищі та отримання результатів у зручному для сприйняття вигляді. У третьому розділі було спроектовано віртуальні моделі описаних діодних та транзисторних структур, проаналізовано та порівняно результати моделювання з реальними характеристиками.

Робота викладена на 36 сторінках, у тому числі включає 16 рисунків, список цитованої літератури із 35 джерел.

КЛЮЧОВІ СЛОВА: НАПІВПРОВІДНИКОВИЙ ДІОД, МОН ТРАНЗИСТОР, ВОЛЬТ-АМПЕРНІ ХАРАКТЕРИСТИКИ, КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ

ЗМІСТ

	С.
ВСТУП	4
РОЗДІЛ 1. ТЕХНОЛОГІЇ ВИГОТОВЛЕННЯ ІНТЕГРАЛЬНИХ ДІОДІВ ТА ТРАНЗИСТОРІВ	5
1.1. Планарні структури МОН-транзисторів	5
1.2. Двомірні та тримірні потужні МОН-транзистори.....	8
1.3. Інтегральні діоди.....	14
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	17
2.1. Методика моделювання характеристик в редакторі Atlas	17
2.2. Створення приладових структур у редакторі Athena.....	19
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	23
3.1. Структура та електричні параметри МОН-транзистора	23
3.2. Моделювання пробою для 1D діода	29
ВИСНОВКИ	32
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	33
ДОДАТОК А. СЛАЙДИ ПРЕЗЕНТАЦІЇ РОБОТИ	36

ВСТУП

Із збільшенням ступеня інтеграції великих інтегральних мікросхем особливо актуальним стає удосконалення технології формування польових транзисторів метал-оксид-напівпровідник (МОП), зокрема при використанні інструментів приладно-технологічного моделювання.

Проектування – складний і важко формалізований процес, який об'єднує такі важливі процедури, як синтез структури, вибір параметрів елементів, аналіз і ухвалення рішень. Особливо важлива початкова стадія проектування, коли вибираються ефективний фізичний принцип дії, раціональне технічне рішення і визначаються оптимальні значення параметрів.

Останнім часом, особливо у зв'язку з широким впровадженням в інженерну практику персональних комп'ютерів, починають використовуватися інтегровані пакети програм. Функціональні пакети програм (ФПП) – це комплекс програмних засобів, орієнтованих на виконання певної функції, більш менш безвідносно до конкретного наочного змісту (обробка текстів – текстові редактори, обробка таблиць, графіки).

Інтегровані пакети програм (ІПП) – це поєднання різних пакетів програм в єдиній технологічній системі. Інтеграція може бути реалізована з'єднанням основних функціональних пакетів в цілісну монолітну систему, представлену єдиним програмним модулем, або шляхом створення набору допоміжних засобів інтерфейсного характеру для забезпечення взаємодії пакетів, представлених незалежними модулями.

РОЗДІЛ 1

ТЕХНОЛОГІЇ ВИГОТОВЛЕННЯ ІНТЕГРАЛЬНИХ ДЮДІВ ТА ТРАНЗИСТОРІВ

1.1. Планарні структури МОН-транзисторів

Біполярні транзистори в ІС більше витісняються транзисторами типу МОН. Це пояснюється важливими перевагами МОН транзисторів, зокрема їх високим входним опором та простотою пристрою.

МОН -транзистори мають суттєві переваги перед біполярними по конструкції (розміри та займана ними площа відносно невелика, відсутня необхідність їх ізоляції) та електрофізичних параметрів (низький рівень шумів, стійкість до перевантажень струму, висока входний опір та перешкодостійкість, мала потужність розсіювання, низька вартість). МОН-транзистор може бути основним та єдиним елементом МОН-мікросхем [1-12].

Він може виконувати функції активних приладів (ключовий транзистор в інверторах, підсилювальний транзистор), так і пасивних елементів (навантажувальний транзистор в інверторі, конденсатор у елементі пам'яті). Тому при проектуванні МОН-мікросхем можна обходитися лише одним елементом - МОН-транзистором, конструктивні розміри якого та схема включення завіситимуть від виконуваної функції. Це обставина дає суттєвий вигаш у мірі інтеграції [13-25].

Особливо виготовляються МОН-транзистори з індукованим каналом. Для них у кристалі р-типу треба лише створити методом дифузії області n+ витоку та стоку (рис.1.1а). На переходах між цими областями та підкладкою підтримується зворотна напруга, і таким чином здійснюється ізоляція транзисторів від кристала та один від друга. Аналогічна ізоляція каналу від кристала. Дещо складніше виготовлення на підкладці р-типу МОП-транзистор з каналом р-типу, так як для подібного транзистора необхідно спочатку зробити «кишеню» n-типу (рис. 1.1 б) [2].

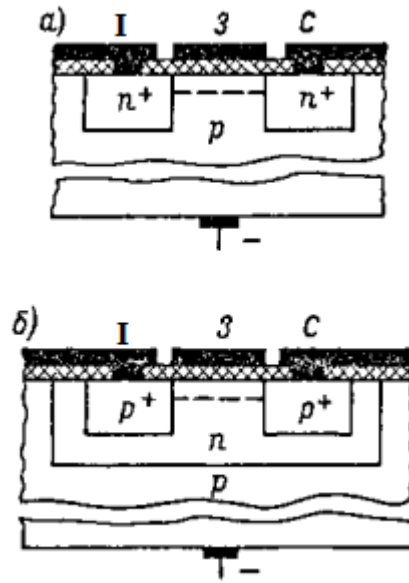


Рис. 1.1. МОН-транзистор напівпровідникової ІС з індукованим каналом п-типу (а) та р-типу (б)[3]

У деяких ІС застосовують пари МОН транзисторів з каналами п- і р-типу. Такі пари називають комплементарними транзисторами. "Комплементарний" означає "доповнюючий". Комплементарні транзистори застосовуються у ключових (цифрових) схемах і відрізняються дуже малим споживанням струму та високою швидкістю. Зустрічаються також ІС, у яких одному загальному кристалі виготовлені біполярні та МОН-транзистори [26-35].

У таких структурах застосовуються транзистори з індукованими каналами. Відмінною особливістю комплементарних структур є протилежна полярність живлячих та керуючих напруг (рис.1.2).

Така комбінація транзисторів дозволяє поєднувати високу швидкість та гранично мале споживання енергії від джерела живлення. Один із транзисторів в залежності від типу підкладки створюють у ізолюючій кишени. Створюються також охоронні області, що дозволяють усунути виток струму та паразитні зв'язки між МОН -транзисторами [4].

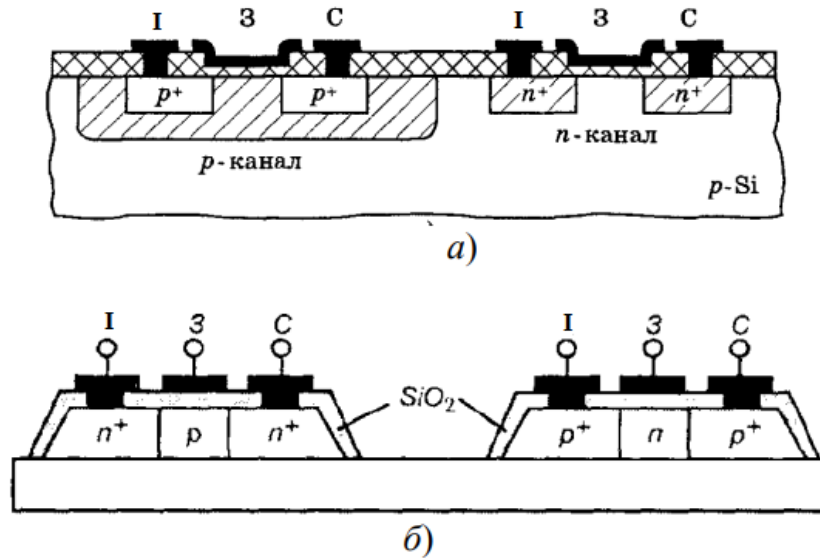


Рис. 1.2. Комплементарні транзисторні структури, виготовлені у кристалі напівпровідника (а) та на діелектриці (б) [3]

За надійністю та популярністю перевага віддається КМОН-транзисторам, реалізованим на діелектричній підкладці, наприклад, на сапфірі. Це дозволяє отримувати транзистори без струмів витoku, з відсутністю паразитних ємнісних зв'язків між областями транзистора та підкладки. Така технологія дозволяє підвищити швидкодію транзисторів, створити на їх основі радіаційностійкі інтегральні схеми.

Розглянуті вище структури мають планарну конструкцію, струм носіїв у яких переноситься у горизонтальному напрямку. Транзистори типу V-МОН відносяться до типу транзисторів з вертикальним струмопереносом – від розташованого в підкладці витoku до верхнього стоку.

Цей тип транзисторів виготовляється шляхом селективного травлення у вихідній структурі кремнію V-подібних канавок (рис. 1.3).[5]

V- МОН -структура є дуже компактною. Истокова область грає роль шини землі і вимагає додаткової площі кристала для заземлення. Провідний канал утворюється в р-шар і його довжина визначається мікронними розмірами, а ширина всім периметром V-подібного заглиблення.

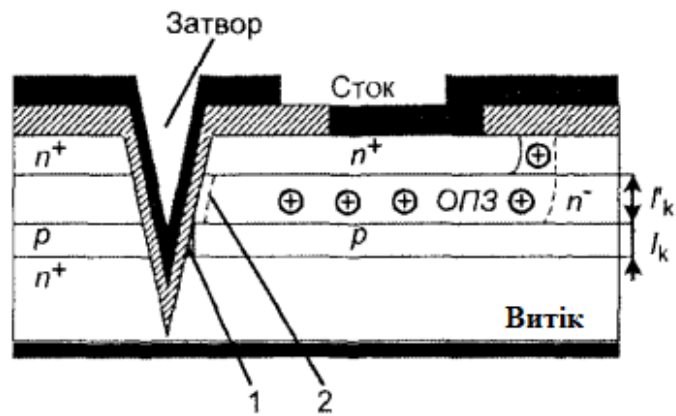


Рис. 1.3. Структура V-МОН-транзистора; 1 - область каналу; 2 - область дрейфу електронів[3]

Велика ширина каналу дозволяє отримати транзистори, з великим струмом та великим посиленням. Область об'ємного просторового заряду (ОПЗ) дозволяє збільшити пробивну напругу транзистора та знизити значення паразитної ємності "затвор-стік". Тривимірність V- МОН -транзисторів є великим плюсом при створенні об'ємних інтегральних схем із високою щільністю упаковки на кристалі.

1.2 Двомірні та тримірні потужні МОН-транзистори

Конструкції потужних транзисторів можна умовно розбити на два основних класи: двомірні та тримірні.

В двомірних приладах стік і витік розміщують в горизонтальному напрямі. Такі приладні структури є аналогічними стандартним МОН-транзисторам з високорезистивною областю стоку, що є необхідним для роботи у високовольтному режимі.

В тримірних структурах протяжна область стоку, яку називають дрейфовою, розміщується вже вертикально і електрод стоку розміщують на тильній стороні Si-підкладки. Тривимірна структура дозволяє краще

використати поверхню кремнію для розміщення елементів, оскільки тут залишені два електроди стоку та витоку.

Розглянемо особливості горизонтальних і вертикальних МОН-структур. До двомірних віднесемо горизонтальний МОН-транзистор із зміщеним затвором та подвійною дифузією. МОН-транзистор із зміщеним затвором, що поданий на рис. 1.4, представляє собою прилад із зменшеною паразитною ємністю оберненого зв'язку стік-затвор. Тут електрод затвора зміщений, тобто він не повністю покриває область між р-витоком і р⁺-стоком. Наявність деякої протяжної р-області дозволяє збідненому шару при високих напругах на стоці розширяться не на всю цю область каналу і тим самим виключає явище змикання. При від'ємних напругах на затворі р-область не інвертується і це приводить до додаткового послідовного опору області стоку, який необхідно мінімізувати, щоб виключити деякі втрати потужності.[6]

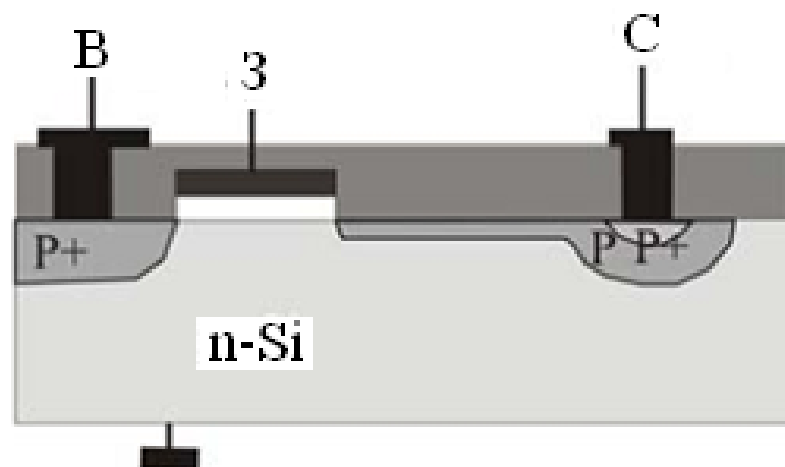


Рис. 1.4. Структура МОН-транзистора з р-каналом із іонно-імплантованим протяжним стоком р-типу [3]

Це досягається виготовленням каналу з великою шириною W і відповідно з великою площею. За допомогою такого конструкторсько-технологічного виконання можна виготовляти р- і n-каналні МОН-транзистори з пробивною напругою до 250В та величиною струму 12А. Така

комплементарна пара транзисторів, які працюють за двотактною схемою підсилення, може розвивати потужність до 300Вт на частоті 100кГц.

Більш привабливою є структура горизонтального МОН-транзистора з подвійною дифузією, так званого Д-МОН-транзистора. Метод виготовлення таких приладів включає в себе подвійну дифузію домішок через одне і те ж вікно в оксиді з різними коефіцієнтами дифузії. Короткі канали, довжина яких підтримується з високою точністю, отримують шляхом дифузії (імплантації) відповідних домішок р-і n-типів для утворення каналу р-типу та n-стоку під одним і тим же шаром оксиду (рис. 1.5). [7]

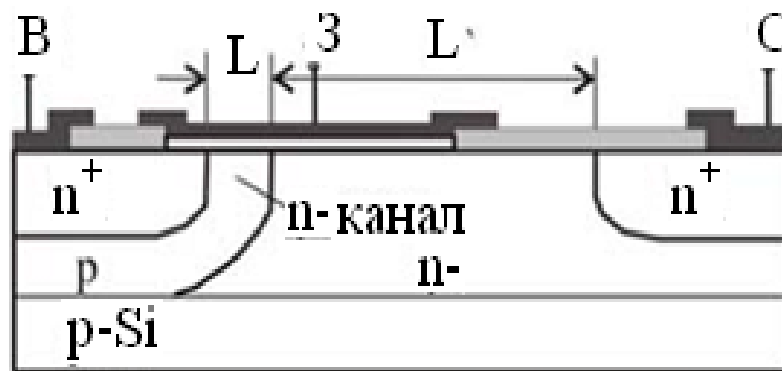


Рис. 1.5. Горизонтальний Д-МОН-транзистор з n-каналом, отриманий подвійною дифузією і n-областю дрейфу стоку [3]

Дуже мала довжина каналу L необхідна не тільки для покращення частотних характеристик, але і для отримання високої крутизни і коефіцієнта підсилення транзистора. Із збільшенням співвідношення W/L (ширина/довжина каналу) зростає величина струму, який може пропустити така структура. Збільшення робочої напруги такого Д-МОН-транзистора здійснюють за допомогою додаткової слабологованої n-області в стоці з польовою областю над нею. При високих напругах збіднена область в стоці поширюється недалеко в канал і зосереджена в такзваній дрейфовій області.

Тут довжина каналу Д-МОН-транзистора незалежить від напруги пробою стокової області. Ця технологія дозволяє формувати Д-МОН-транзистори із робочою напругою до 150-200В, струмом до 3,5 – 5 А, а опір провідного каналу становить 2,5 – 3 Ом. [8]

Більш ефективними звичайно є тримірні МОН-структури. Як уже згадувалось вище, тримірні МОН-транзистори з вертикальним розміщенням стоків дозволяють отримати дуже щільну упаковку структур на Si-пластині. Вертикальне розміщення стоків може бути легко реалізоване в транзисторах із зміщеним затвором в приладах із подвійною дифузією (Д-МОН). Структура такого МОН-транзистора із зміщеним затвором та вертикальним стоком була вперше описана Оші в такій МОН-транзистор виготовлений на епітаксійному n-Si із сильнолегованими n^+ -полікристалічними затворами.

Дворівнева алюмінієва металізація АК-1 наноситься на поверхню і використовується для контактів до областей витоків. Для ізоляції двох шарів металізації використовують шар фосфоросилікатного скла (ФСС). Витік і стік (рис. 1.6) виконані у вигляді окремих комірок (шахматної дошки).

Сам МОН-транзистор мав площу $5 \times 5 \text{ мм}^2$ і його напруга пробою складала 120 В при струмі стоку 20А, опір провідного каналу складав 0,5 Ом при $I_C = 10\text{А}$. Для зниження порогової напруги до рівня $U_T = \pm 1 \pm 0,2\text{В}$ затвор виконано із легованого фосфором полікристалічного кремнію. Заміна затворного електроду із n^+ -полі-Si на дисиліцид титану (TiSi_2) понижує порогову напругу вже до $U_T = \pm 0,5 \pm 0,05\text{В}$.

Міжшарова ізоляція у вигляді фосфоросилікатного скла (ФСС) із вмістом $P = 12\%$ забезпечує високу планаризацію поверхні. Конформність такої локальної оплавленої ізоляції складає $>90\%$. Легування p^+ -області стоку і витоку здійснюють фосфором і миш'яком. Дворівнева металізація виконана магнетронним розпиленням легованої кремнієм алюмінієвої мішені із сплаву АК-1. [9]

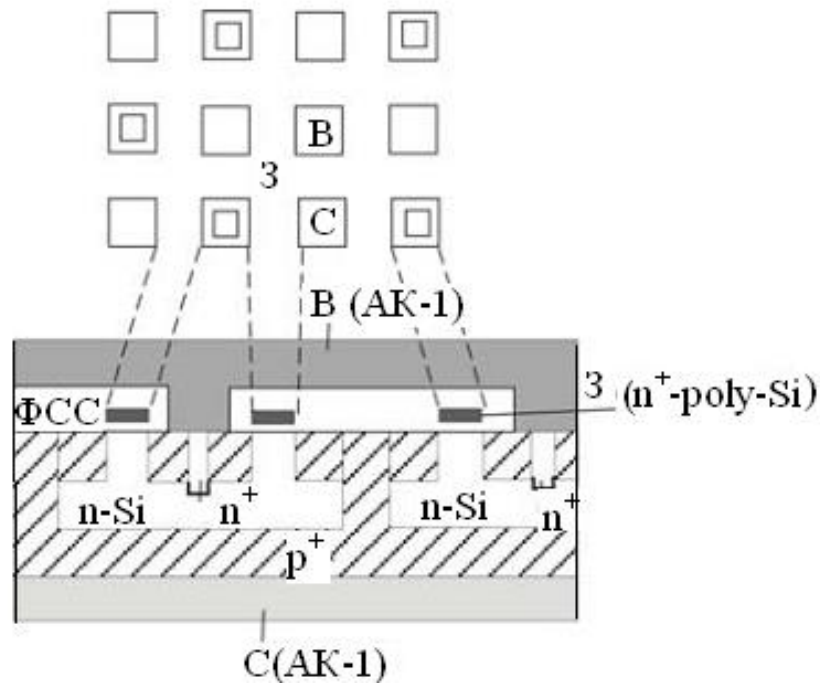


Рис. 1.6. МОН-транзистор із розгалуженим затвором та вертикальним стоком [3]

На рис. 1.7 зображена вже інша структура МОН-транзистора – з подвійною дифузією, в якій стік орієнтований у вертикальному напрямі, а електроди стоку і затвору розміщені вздовж горизонтальної осі. Вона виконана в шарі на n^+ -Si-підкладці. Лінії струму стоку відповідають малій напрузі стоку, але високій величині струму. Затвор тут виконаний із n^+ -poly-Si використовується тут в ролі першого шару комутації. Другим шаром комутації служить алюмінієва металізація із сплаву АК-1. [10]

В даній структурі p^+ -області відіграють подвійну роль:

- вони шунтують n^+ - p^- перехід між витоком і об'ємом;
- зменшують вплив паразитних транзисторів n^+ - p^- - n^- - n^- транзисторів.

Крім того, p^+ - n^+ -переходи виконують роль стабілітронів і пробиваються раніше n^- - p^- переходів стоку, тобто дифузійна p^+ -область покращує характеристики вторинного пробою. Такі транзистори мають напругу критого стоку 400-450В і здатні пропускати струм стоку $I_C=15A$ і можуть розсіювати потужність $>75W$, а опір стоку в провідному стані

складає $<1\text{Ом}$. Напругу пробою стока можна збільшити до $600 - 800\text{В}$, збільшуючи питомий опір n-епішару до величини $20 - 25\text{Ом}\cdot\text{см}$. [11]

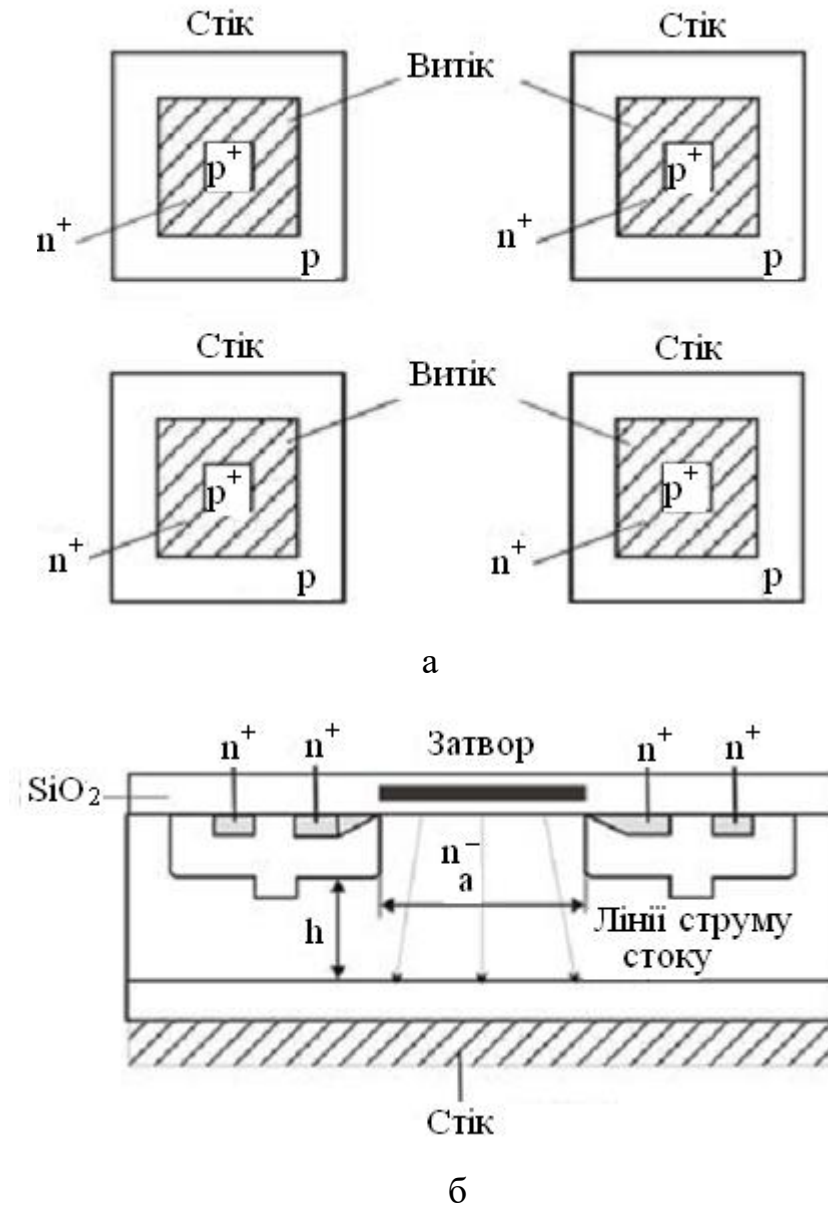


Рис.1.7. Д-МОН-транзистор з комірною структурою [3]: а – топологія зверху; б – поперечний переріз

Для збільшення щільності пакування розроблені МОН-транзистори вертикального типу з V або U-подібною канавками, які показані на рис.1.8. Тут електрод стоку знаходиться внизу, а витік і затвор – вверху. Щоб витравити V-канавку, використовують властивість анізотропності Si при травленні в різних кристалографічних площинах. При орієнтації поверхні

кристала в напрямі $\langle 100 \rangle$ анізотропія травлення приводить до того, що утворюються канавки V-форми в напрямі $\langle 110 \rangle$. При цьому стінки канавок складають кут $54,74^\circ$ з горизонтальним напрямом.

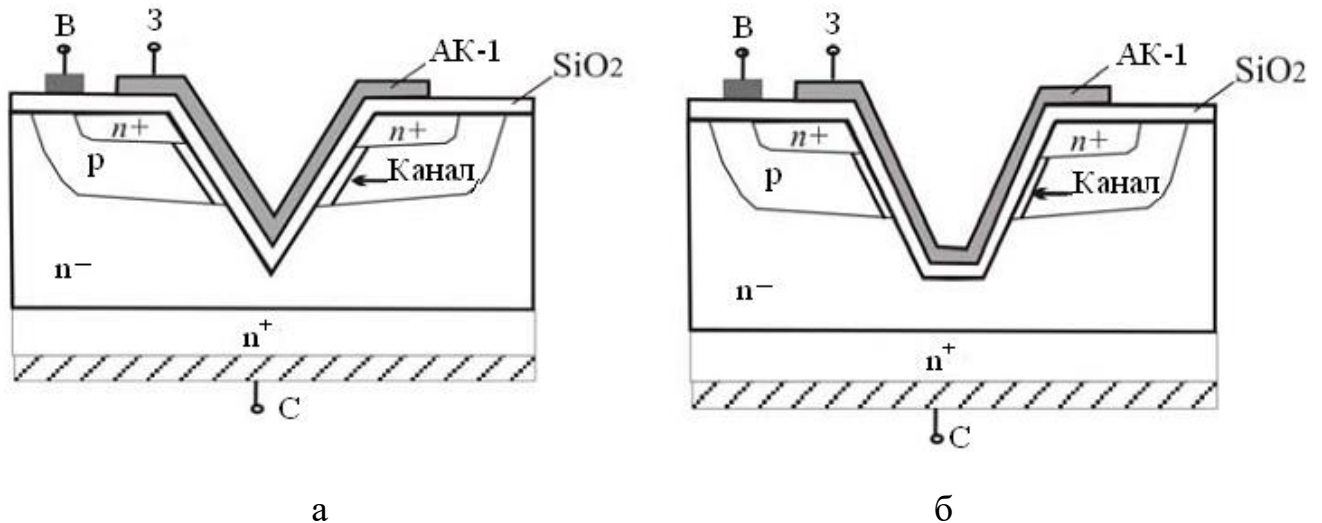


Рис. 1.8. Вертикальний D-МОН-транзистор [1]: а – з V-подібною канавкою; б – U-подібною канавкою

Якщо процес анізотропного травлення припинити раніше того моменту, коли дві стінки сходяться в одній точці, то канавка буде усіченою, тобто U-подібною. Такий D-МОН-транзистор формується подвійною дифузією через одне вікно домішками протилежного типу провідності, наприклад, B^+ , As^+ з довжиною каналу субмікронних розмірів ($< 1 \mu m$). Пробивна напруга стокового переходу визначається ємністю n -епішару і може досягати 400 – 450В та опором провідного каналу до величин 0,05 – 0,5Ом. Заміна електрода затвору з АК-1 на сильно легований n^+ -полікремній або силіцид дозволяє знизити порогову напругу з 2,4В до 0,4 – 0,5В.[12]

1.3. Інтегральні діоди

Інтегральні МОН-транзисторні діоди формуються також на базі p - n -переходів транзисторів з індукційним каналом у підкладках різного типу електропровідності (рис. 1.9).[13]

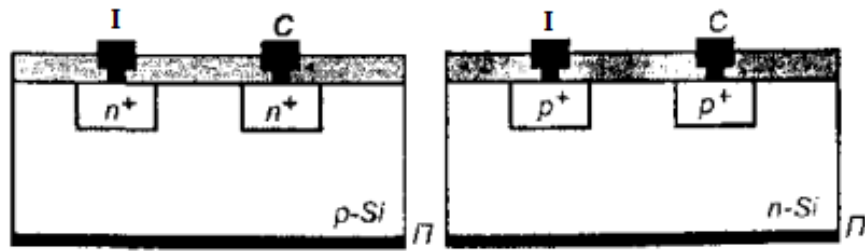


Рис. 1.9. Інтегральні МОН-транзисторні діоди на базі витік-підкладка, стік-підкладка[3]

У багатьох ІС перевага надається діодам з бар'єром Шотткі, що мають менші розміри та більшу швидкодію, ніж інтегральні діоди на основі р-п-переходів. Діоди Шотткі являють собою контакт металу з кремнієм, легованим донорною домішкою (менше 10^{17} см⁻³). На рисунку 1.10 наведено конструктивні рішення планарних діодів Шотткі.[14]

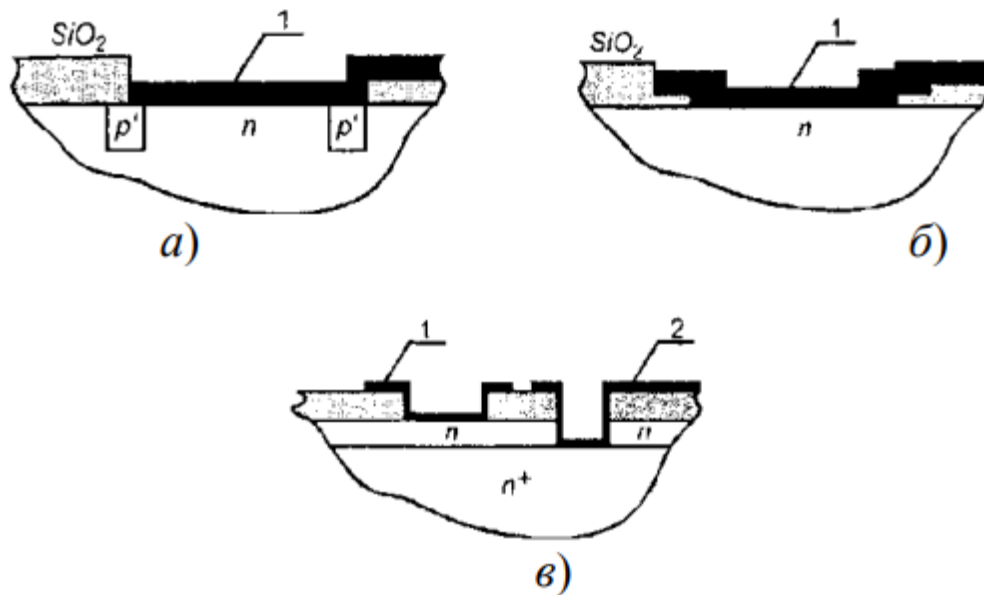


Рис.1.10. Конструктивні рішення планарних діодів Шотткі [3]: 1 – метал, що утворює бар'єр Шоттки; 2 - метал, утворює омичний контакт

- конструкція з охоронним кільцем з р +області кремнію дозволяє виключити сильні електричні поля на краях (а);

- діод Шотткі з розширеним електродом дозволяє уникнути пробую (б);
- конструкція з випрямляючими та омичними контактами (в).[15]

Висота бар'єру залежить від металу. Так як для міжелементних з'єднань зазвичай використовується алюміній, то його доцільно застосовувати для формування діодів Шотткі, як це робиться в інтегральних транзисторах з діодом Шотткі. Зазначені діоди мають висоту потенційного бар'єру приблизно 0,7, але відтворюваність їх параметрів низька. Перетин діода Шотткі показаний на рисунку 1.11 представляє наступні елементи: 1 - метал, що утворює з n - напівпровідником бар'єр Шотткі; 2 - метал, що забезпечує омичний контакт з n + - областю. Контакти 1 та 2 є висновками діода Шотткі. Для якісних діодів Шотткі замість алюмінію використовують сплав платини та нікелю Ni_xPt_{1-x}, що утворює з кремнієм силіцидний шар.[16]

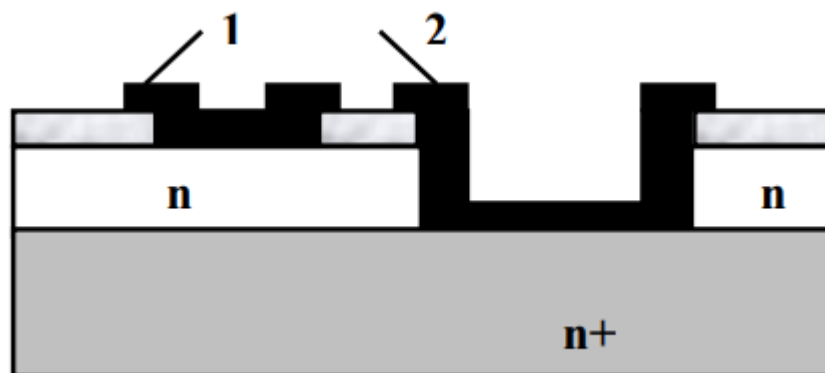


Рис. 1.11. Діоди з бар'єром Шотткі [3]: 1 - метал, що утворює бар'єр Шотткі; 2 - метал, що утворює омичний контакт

Змінюючи значення x , можна отримати висоту бар'єрів від 0,64 еВ при $x = 0$ (або 100% Ni) до 0,84 еВ при $x = 100\%$ (або 100% Pt). Діоди зі значно меншою висотою бар'єру (від 0,53 до 0,59) отримують при використанні сплаву танталу і вольфраму.[17]

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика моделювання характеристик в редакторі Atlas

Моделювання МОН-транзисторів у програмному пакеті Atlas від Silvaco TCAD може бути засноване на стандартному процесі LDD (слаболегований стік). Технологічні операції наводяться у спрощеному вигляді. При розрахунках використовуються моделі, прийняті в САПР за замовчуванням. Полікремнієвий затвор сформований простим травлюванням областей заданої геометрії. Якщо перед цією операцією вивести графік структури на екран, моделювання буде представлено у вигляді одновимірної структури, на якій можна відобразити розподіл параметрів структури по товщині. Після операції травлення структура відобразиться у вигляді двовимірної структури.

У цьому завданні масштаб сітки, використовуваної під час розрахунку, дуже щільний. Але при цьому команда `init... spac.mult=3` зменшує густоту осередків сітки по осях X та Y у 3 рази. Зазвичай при моделюванні МОН структури параметра `spac.mult=1`.

При використанні автоматичного переходу між розрахунковими пакетами в редакторі коду DeckBuild моделювання характеристик структури буде передано до пакету моделювання приладів Atlas автоматично. Така автоматична перекидання проекту дозволяє проводити глобальну оптимізацію розрахунків параметрів та характеристик структури із побудованої моделі.

Команда `extract` наприкінці файлу дозволяє розраховувати товщину шару оксиду в заданій точці. За цим розрахунком можна проводити калібрування процесу при моделюванні. Розрахунок зберігається у файлі `results.final`, розташованому в робочій директорії. Крім того, результати екстракції розрахування параметрів відображаються в лог-листі під час моделювання.[17]

Наприкінці коду моделювання структури задаються електроди. Наноситься металізація, в якій витравлюються зайві області. Командою `electrode`

визначаються області металізації та полікремнію, які будуть використані при розрахунку в Atlas.

Для моделювання характеристик приладу в Atlas перш за все відбувається визначення використовуваних моделей і параметрів матеріалів Команда `contact` дозволяє встановити роботу виходу з електрода затвора, а команда `interface` визначає постійну величину заряду на межі кремній – оксид кремнію. При простому моделюванні МОН транзистора моделі інверсійної області Ломбарді (CVT, залежність рухливості від поперечного та поздовжнього полів, концентрації легуючої домішки та температури) та Шокклі-Ріда-Холла (SRH) беруться як базові для розрахунку. Для більш точного моделювання характеристик структури моделювання необхідно додавати ефект короткого каналу і моделювання енергетичного балансу структури. Команда `solve init` використовується для моделювання при термічному рівноважному стані. При наступних розрахунках напруги, що прикладаються, зміщуються. При зміні напруг, що прикладаються, перші точки зсуву рекомендується брати невеликими. Після прорахунку системи при двох ненульових значеннях напруги програма прогнозує подальше зміщення напруг, що прикладаються щодо цих прорахованих точок. З використанням такої методики прогнозування моделі можна проводити розрахунки при більш високих напругах. Якщо при заданих оператором початкових наближеннях усунення напруги редактор Atlas не може почати розрахунок з необхідною точністю, може бути використана команда `method trap`, яка зменшує користувальницький крок напруги вдвічі. За замовчуванням ця опція активна.

Корисною особливістю даної моделі є те, що тут одночасно будується ВАХ, з якої вилучаються параметри.

Команди `solve` в кодї задають величини напруги на затворі при напрузі на стоку, що дорівнює 0.1 В. Ці рішення будуються до 3 В з інтервалом 0.25 В. Усі характеристики та результати моделювання зберігаються у файл `***.log` за допомогою команди `log`.

Команди `extract` в кінці коду дозволяють виміряти граничну напругу та інші SPICE параметри структури. Результати екстракції виводяться в лог програми безпосередньо під час моделювання та зберігаються у файлі `results.final` для подальшого аналізу. Використовуваний під час екстракції синтаксис команди вільно збирається з операторів (наприклад, максимального значення - `max`) та результатів моделювання (наприклад, струм стоку – `i."drain"`). Параметр `name` використовує лише ті імена, які були присвоєні користувачем. Імена, зарезервовані програмою, у разі не використовуються. Таким чином, у першому прикладі екстракції зчитуються: екстракція величини під назвою `nvt`, яка визначається як перетин з віссю X максимального нахилу залежності напруги на стоку від струму стоку, з якого відняли половину напруги на стоку. Цей метод є одним із варіантів розрахунку порогової напруги.

Друга екстракція визначає коефіцієнт посилення β .

Він розраховується як значення найсильнішого нахилу залежності $I_d(V_{gs})$, ділене на напругу стоку.

В останній екстракції визначається зменшення рухливості носіїв заряду (SPICE параметр β рівня). В останньому прикладі синтаксисі беруться посилання на пораховані раніше (або задані раніше) величини. Тут це `"nvt"` та `"nbeta"[20]`.

2.2. Створення приладових структур у редакторі Athena

Розглянемо моделювання сімейства вихідних характеристик класичного МОН-транзистора. З моделі структури визначаються максимальний струм стоку та насичення. Основні етапи моделювання:

- створення структури МОН транзистора у редакторі Athena;
- вилучення параметрів структури (наприклад, товщини окислу);
- побудова сімейства вихідних характеристик транзистора при фіксованій напрузі на затворі;

- визначення максимального струму стоку та насичення із кривих.

Залежності струму стоку від напруги стік-витік будуються при різних напругах на затворі. У першій частині розрахунку задаються початкові наближення для цих трьох кривих. Для кожного з трьох напруг на затворі спочатку використовується рішення при $V_{ds} = 0$ (результати зберігаються у проміжний файл).

Далі кожен із трьох проміжних рішень передається до редактора Atlas. Відкривається лог-файл і задаються параметри зміни напруги сток-витік. При підвантаженні логфайлу значення напруги в ньому змінюються на значення з Atlasa.

Екстракція в кінці моделювання дозволяє визначити максимальний струм стоку та насичення. Насичення вважається із сімейства вихідних кривих, як мінімальна зміна по кривій.

Синтаксис коду [21]:

```

go atlas
mesh three.d
x.mesh l=0 spacing=0.1
x.mesh l=1.5 spacing=0.1
y.mesh l=0.0 spacing=0.02
y.mesh l=1.0 spacing=0.1
z.mesh l=0.0 spacing=0.1
z.mesh l=1.5 spacing=0.1
region num=1 silicon
electrode num=1 name=anode x.min=0.5 x.max=1.0 z.min=0.5 z.max=1.0
electrode num=2 name=cathode bottom
doping reg=1 uniform n.type conc=5e15
doping reg=1 gauss n.type conc=1e18 peak=1.0 char=0.2
doping reg=1 gauss p.type conc=5e19 peak=0.0 junct=0.2 \
    x.left=0.5 x.right=1.0 z.left=0.5 z.right=1.0
log outfile=diodeex06.log

```

```

solve init
method carrier=2
solve vanode=0.05 vstep=0.05 vfinal=1 name=anode
tonyplot diodeex06.log -set diodeex06_0.set
save outfile=diodeex06.str
tonyplot3d diodeex06.str -set diodeex06_1.se
quit

```

На рис.2.1 приведено структуру МОН транзистора у редакторі Athena.

Для цього прикладу використовується більш розширена послідовність операторів рішення. Необхідні три криві Id/Vds для різних напруг на затворі. Перша частина послідовності вирішення встановлює початкову точку трьох кривих (рис.2.2). Для кожного з трьох напруг затвора моделюється рішення з $V_{ds}=0,0$, а результати зберігаються у файлі рішення.

Потім кожен із цих трьох файлів рішень по черзі завантажується в Atlas. Відкривається файл журналу та встановлюється рампа Vds. Коли файл завантажується, напруги в Atlas скидаються до значень у файлі.

Наприкінці моделювання екстракт використовується для вимірювання пікового струму та нахилу насичення. Судячи з форми кривих Id/Vds, нахил насичення є мінімальним значенням градієнта вздовж кривої. Нарешті, три криві Id/Vds накладаються на TonyPlot.

Щоб завантажити та запустити цей приклад, натисніть кнопку Завантажити в DeckBuild > Приклади. Це скопіює вхідний файл і будь-які допоміжні файли у ваш поточний робочий каталог [21].

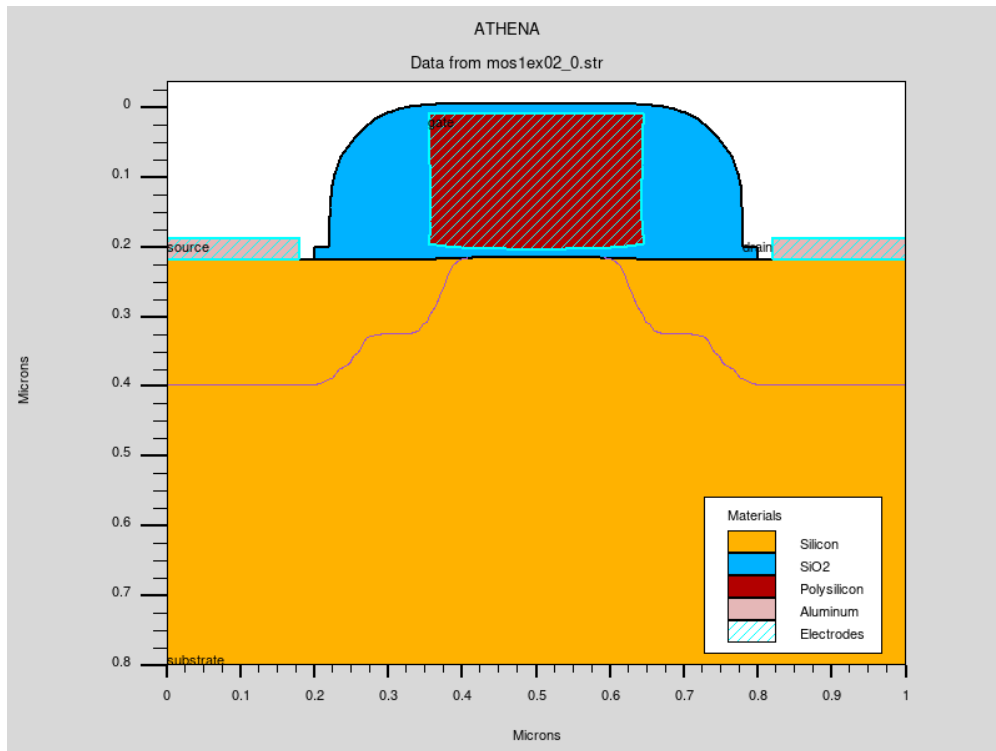


Рис. 2.1. 2D структура МОН транзистора

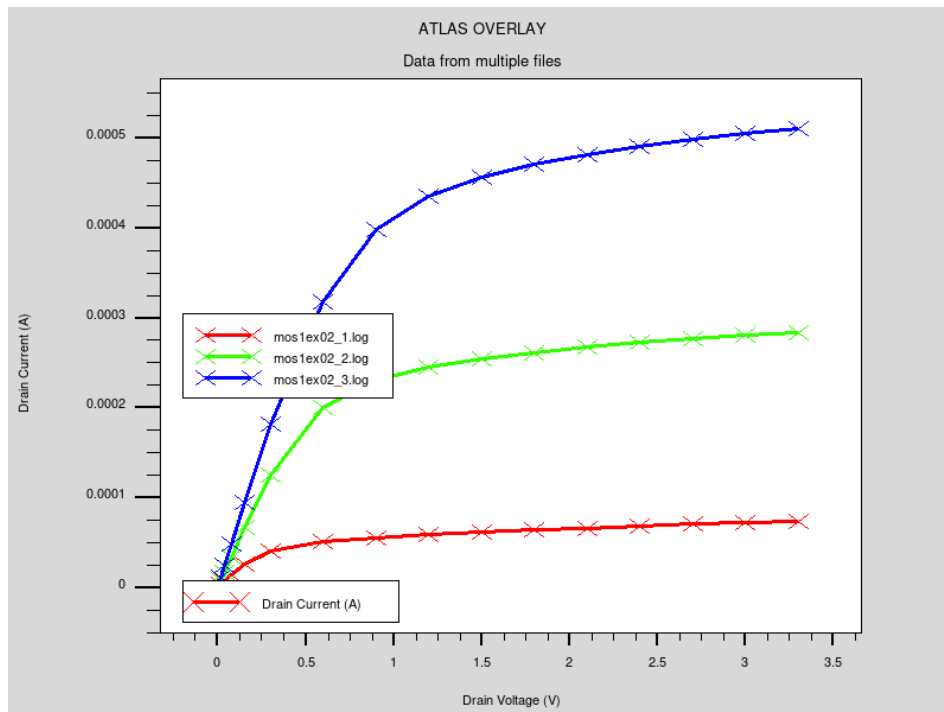


Рис. 2.2. Сімейство вихідних ВАХ МОН транзистора

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура та електричні параметри МОН-транзистора

Як приклад використання базових функцій редакторів Athena та Atlas оптимальним варіантом дослідження є побудова кривої передавальної характеристики МОН транзистора. При моделюванні приладу також представлені програмний розрахунок порогової напруги та визначення деяких SPICE параметрів структури. З коду можна визначити [20]:

- послідовність технологічних операцій для моделювання МОПтранзистора в редакторі Athena,
- команди екстракції параметрів структури її моделі (наприклад, товщини оксиду),
- технологію передачі інформації про модельовану структуру з редактора Athena в Atlas,
- принцип побудови передавальної характеристики при напрузі сток-витік $V_{ds} = 0.01 \text{ В}$,
- команди екстракції даних з характеристики (порогова напруга V_t , лінійний коефіцієнт посилення (β) та Зменшення рухливості носіїв заряду (θ))

Синтаксис коду [21]:

```

go athena
line x loc=0.0 spac=0.1
line x loc=0.2 spac=0.006
line x loc=0.4 spac=0.006
line x loc=0.6 spac=0.01
line y loc=0.0 spac=0.002
line y loc=0.2 spac=0.005
line y loc=0.5 spac=0.05
line y loc=0.8 spac=0.15

```

```

hcl=3
x.val=0.05
depo poly thick=0.2 divisions=10
etch poly left p1.x=0.35
etch oxide dry thick=0.120
implant arsenic dose=5.0e15 energy=50 pearson
diffuse time=1 temp=900 nitro press=1.0
deposit alumin thick=0.03 divisions=2
etch alumin right p1.x=0.18
extract name="nxj" xj silicon mat.occno=1 x.val=0.1
junc.occno=1
extract name="n++ sheet rho" sheet.res material="Silicon"
mat.occno=1 x.val=0.05 region.occno=1
mat.occno=1 x.val=0.3 region.occno=1
bias.step=0.2 bias.stop=2 x.val=0.45
extract done name="sheet cond v bias"
x.val=0.49
electrode name=gate x=0.5 y=0.1
electrode name=source x=0.1
electrode name=drain x=1.1
electrode name=substrate backside
go atlas
models cvt srh print
contact name=gate n.poly
interface qf=3e10
solve init
quit

```

Базовий приклад інтерфейсу MOS Athena до Atlas, що моделює криву I_d/V_{gs} та витягує порогову напругу та інші параметри SPICE. У цьому прикладі

не використовуються розширені функції, щоб продемонструвати просту функціональність. Цей приклад демонструє:

- моделювання процесу МОН-транзистора в Athena;
- вилучення параметрів процесу (наприклад, товщина оксиду);
- автоінтерфейс між Athena і Atlas;
- генерація кривої $A_{\text{imple}} I_d/V_{\text{gs}}$ з $V_{\text{ds}}=0,1$ В;
- вилучення параметрів для V_t , лінійного посилення (бета) і зниження мобільності (тета).

Моделювання процесу в SSuprem 4 слідує стандартному процесу LDD MOS. Етапи процесу спрощені, а моделі за замовчуванням використовуються для швидкого виконання. Полікремнієвий затвор утворений простим геометричним травленням. До цього моменту моделювання було по суті одновимірним і, отже, виконувалося в 1D-режимі Athena. Після політравлення структура перетворюється на 2D. Зображено на рисунку 3.1 [22]

Сітка, використана в цьому прикладі, визначена досить чітко. Однак оператор `init ... spac.mult=3` розслабляє сітку в напрямках X і Y в три рази. Більш типову сітку для MOS-симуляції можна отримати, встановивши `spac.mult=1`.

Використовуючи автоматичний інтерфейс DeckBuild, структура моделювання процесу буде автоматично передана в Atlas. Таким чином, цей автоматичний інтерфейс дозволяє здійснювати глобальну оптимізацію від моделювання процесу до моделювання пристрою та вилучення параметрів моделі SPICE.

Опис екстракту в кінці файлу використовується для обчислення товщини оксиду в цій точці. Повернене тут значення може використовуватися як ціль оптимізації для калібрування. Зверніться до Інтерактивних інструментів посібника Virtual Wafer Fab для отримання інструкцій щодо використання оптимізатора. Це значення буде додано до файлу в поточному робочому каталозі під назвою `results.final`. При використанні інструментів автоматизації VWF значення витягу реєструються на робочому аркуші для моделювання

RSM. Настійно рекомендується значне використання операторів екстракту, особливо в точках, де проводяться вбудовані вимірювання Fab.

Електроди визначаються в кінці моделювання процесу. Метал наплавлений і візерунковий. Потім параметри електродів використовуються для визначення металевих областей плюс полікремній як електродів для використання в Atlas.

В Atlas першим завданням є визначення моделей і параметрів матеріалу для моделювання. Оператор контакту використовується для визначення робочої функції електродів затвора, тоді як оператор інтерфейсу визначає фіксований заряд на межі розділу кремній/оксид. Для простого моделювання МОП параметри CVT і SRH визначають рекомендовані моделі. CVT встановлює модель мобільності загального призначення, включаючи залежність концентрації, температури, паралельного поля та поперечного поля. Для більш повного моделювання MOS короткої довжини каналу можна використовувати моделювання енергетичного балансу.

Твердження `solve init` використовується для розв'язання випадку теплової рівноваги. Після цього напругу можна збільшити. Рекомендується спочатку використовувати невеликі кроки під час збільшення напруги. Після отримання двох відмінних від нуля зміщень програма використовує проекцію як початкові припущення для подальших точок зміщення. Метод проекції дозволяє робити більші кроки напруги. Пастка методу синтаксису дозволяє Atlas скоротити визначені користувачем кроки напруги вдвічі, якщо збіжність не досягнута. Це дуже рекомендований параметр, який увімкнено за замовчуванням.

Унікальною особливістю цього прикладу є моделювання даних IV та використаний синтаксис вилучення. Модель, інтерфейс та оператори контактів у Atlas також такі, як у попередньому прикладі.[23]

Послідовність операторів розв'язування встановлюється таким чином, щоб наростити зміщення затвора з напругою стоку 0,1 В. Розчини отримують з інтервалами від 0,25 В до 3,0 В. Усі характеристики терміналу зберігаються у файлі `mos1ex02_1.log`, як зазначено в операторі журналу.

Операції екстракту в кінці файлу використовуються для вимірювання порогової напруги та інших параметрів SPICE. Результати інструкцій екстракту друкуються у вихідних даних під час виконання, зберігаються у файлі під назвою `results.final` і за бажанням використовуються в оптимізаторі або інструментах автоматизації VWF. Синтаксис, що використовується в цих операторах, вільно складається з таких операторів, як максимальне значення (`max`) і результатів моделювання, таких як струм стоку (`i."drain"`). Параметр `name` визначає лише визначену користувачем мітку. Підпрограми не жорстко закодовані для цих імен. Таким чином, перший оператор вилучення звучить так: витягніть значення, яке називається `nvt`, знайдене, взявши відрізок `x` максимального нахилу до кривої залежності напруги стоку від струму стоку та віднявши половину напруги стоку. Це лише одне з можливих визначення порогової напруги. Поточні методи пошуку також можливі і описані в прикладі DIBL далі в цьому розділі. У посібнику з інтерактивних інструментів VWF міститься детальна інформація про синтаксис витягу.

Другий витяг вимірює прибуток (або бета). Це визначається як значення найкрутішого нахилу до кривої I_d/V_{gs} , поділене на напругу стоку. Остаточне вилучення призначено для параметра зниження мобільності рівня 3 SPICE (або `Theta`). Цей синтаксис показує використання синтаксису: `"nvt"` і `"nbeta"`. Це сповіщає DeckBuild замінити раніше отримані значення порога та бета-версії на ці місця рівняння.[24]

Щоб завантажити та запустити цей приклад, натисніть кнопку Завантажити в DeckBuild > Приклади. Це скопіює вхідний файл і будь-які допоміжні файли у ваш поточний робочий каталог. Натисніть кнопку «Виконати» у DeckBuild, щоб виконати приклад.

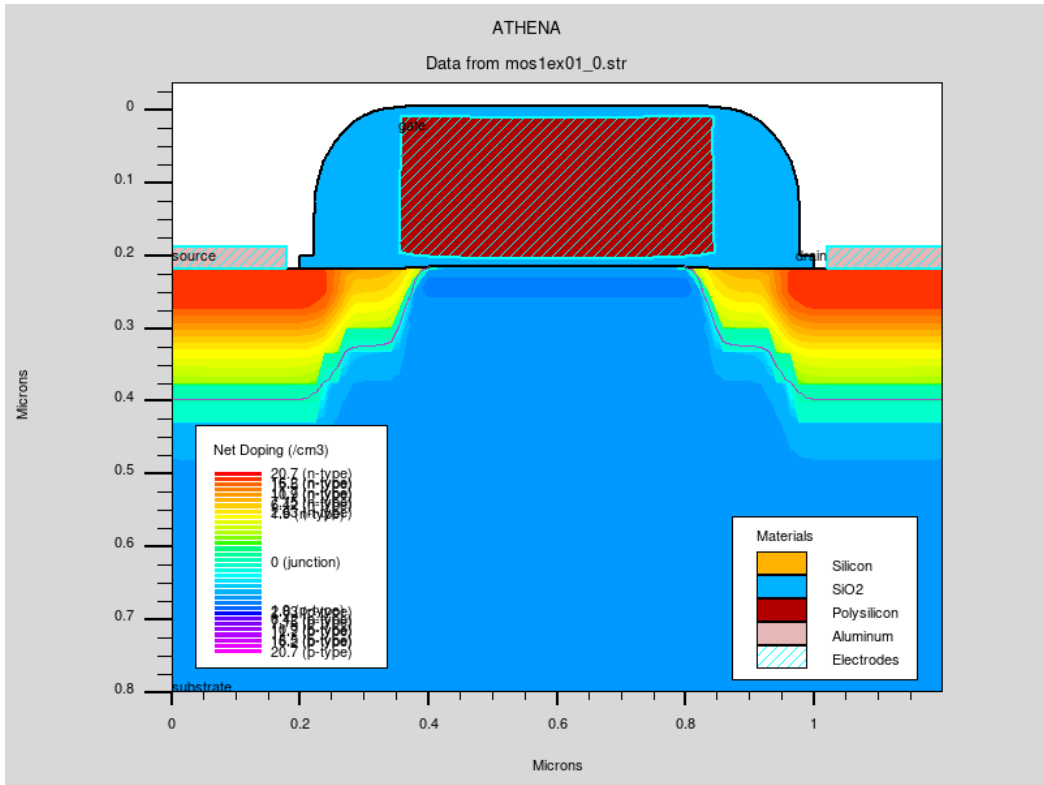


Рис.3.1. Концентраційний розподіл домішок в МОН транзисторі

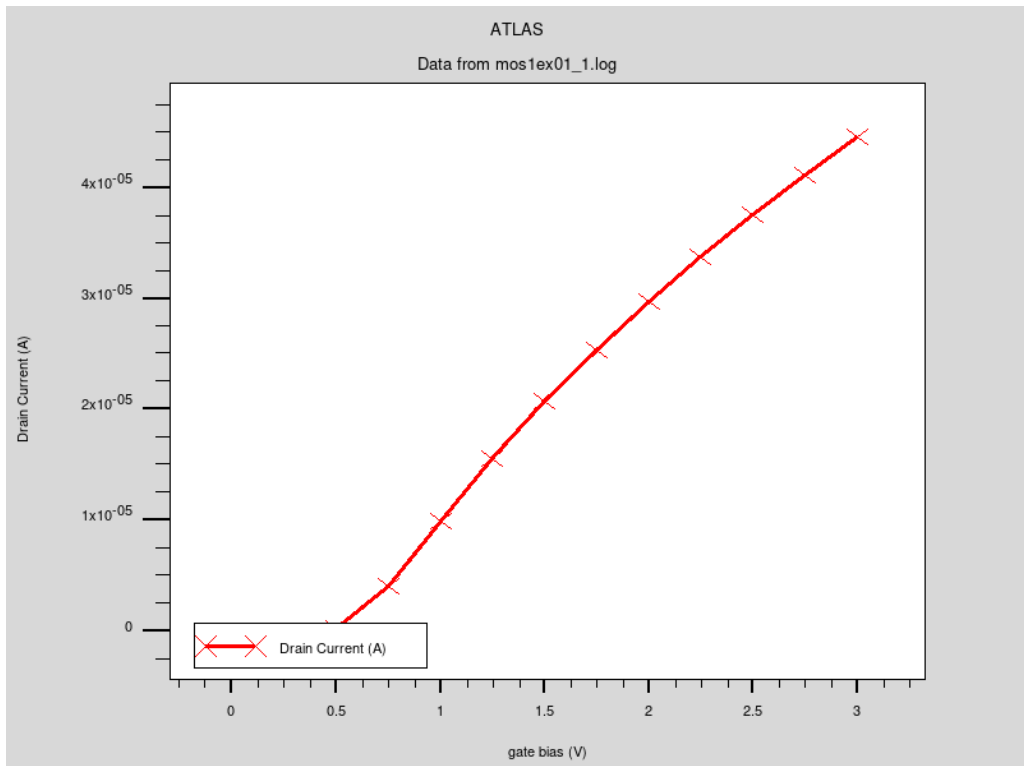


Рис.3.2. Передавальна ВАХ МОН-транзистора

3.2. Моделювання пробою для 1D діода

Розглянемо моделювання пробою для 1D діода за допомогою автоматичного алгоритму трасування кривої [23]. Спочатку за допомогою синтаксису Atlas було здійснено формування 1D діодної структури. Вподальшому було проведено налаштування моделей для моделювання пробою та параметрів трасування кривих. Також було реалізовано автоматичне моделювання кривої зворотного зміщення. Програмний код моделювання кривої трасування діода має наступний синтаксис:

```
go atlas
mesh
x.m l=0.0 spac=1.0
x.m l=1.0 spac=1.0
y.m l=0 spac=1.0
y.m l=5.0 spac=0.005
y.m l=15 spac=2
region num=1 silicon
electrode top name=emitter
electrode bottom name=base
doping uniform conc=5e17 p.type
doping uniform n.type conc=1.e20 x.l=0. x.r=1 y.t=0.0 y.b=5.0
save outf=diodeex03_0.str
#tonyplot diodeex03_0.str -set diodeex03_0.set
models srh conmob bgn auger fldmob
impact crowell
solve init
solve
solve vemitter=0.1
method newton climitt=1.e-4
curvetrace end.val=1e-4 contr.name=emitter curr.cont mincur=1e-13 \
```

```

nextst.ratio=1.2
log outf=diodeex03.log
solve curvetrace
tonyplot diodeex03.log -set diodeex03.set
quit

```

У першій частині вхідного файлу вказується структура пристрою, включаючи сітку, розташування електродів та розподіл легування.

Потім оператор `models` використовується для вибору набору фізичних моделей для цього моделювання. У цьому випадку це моделі рекомбінації SRH і AUGER, модель рухливості, що залежить від концентрації та поля, звуження забороненої зони та рішення двох носіїв. Показник впливу використовується для активації моделі ударної іонізації Кроуелла-Се. Оператор методу використовується для активації зв'язаного алгоритму Ньютонна.

Оператор `curvetrace` використовується для ініціалізації параметрів для алгоритму трасування кривої. Параметр `contr.name` вказує ім'я електрода, для якого буде застосований метод лінії навантаження. У цьому прикладі це випромінювач. Параметр `curr.cont` означає, що значення струму буде відслідковуватися, і моделювання буде зупинено, коли струм перевищить значення, зазначене параметром `end.val` (у цьому випадку $1.e-3$ А/мікрон).

Параметр `minsig` визначає мінімальне значення струму, після якого буде фактично застосований метод лінії навантаження. Перед цим використовуються стандартні граничні умови напруги. Параметр `nextst.ratio` визначає максимальний коефіцієнт для збільшення кроку напруги на плоских ділянках IV кривої від точок повороту.

На рис.3.2 приведено змодельовану криву трасування діода в режимі пробою. Із наведеного графіку можна бачити, при напрузі 5 В фіксується пробій діодної структури. Напряга пробою – це параметр діода, який визначає найбільшу зворотну напругу, яку можна застосувати, не викликаючи експоненціального збільшення струму витоку в діоді. Перевищення напруги пробою діода, як таке, не є руйнівним; хоча, перевищення її поточної

потужності буде. Як приклад, стабілітрони – це, по суті, просто сильно леговані нормальні діоди, які використовують напругу пробою діода для регулювання рівнів напруги [32-35].

Випрямні діоди (напівпровідникові або трубкові/клапанні) можуть мати кілька номіналів напруги, наприклад, пікову інверсну напругу на діоді та максимальну середньоквадратичну вхідну напругу на схему випрямляча (яка буде набагато меншою).

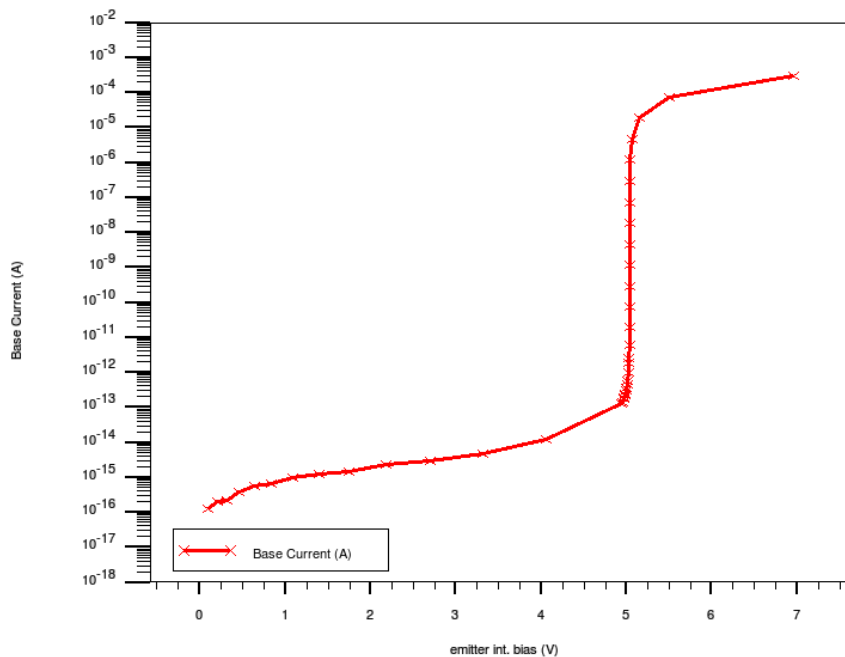


Рис.3.3. ВАХ діода в режимі пробою

Оператор `solve curvetrace` використовується для активації алгоритму трасування кривої. Результати моделювання потім відображаються за допомогою `TonyPlot`. Напруга стоку має бути зображена як `drain int.bias` з меню `TonyPlot`, оскільки значення зміщення стоку включає вплив змінного навантаження, що використовується в алгоритмі кривої трасування.

Багато транзисторів малої потужності повинні мати струми пробою, обмежені набагато нижчими значеннями, щоб уникнути надмірного нагрівання. Щоб уникнути пошкодження пристрою та обмежити вплив надмірного струму витoku на навколишнє ланцюг, часто вказуються максимальні номінали приладів.

ВИСНОВКИ

Моделювання відіграє важливу роль у розробці нових структур напівпровідникових приладів та прогнозуванні їх роботи в різних умовах.

Розглянуто методику моделювання МОН-транзисторів та діодів в Atlas від Silvaco TCAD. Етапи процесу спрощені, а моделі за замовчуванням використовуються для швидкого виконання. Полікремнієвий затвор утворений простим геометричним травленням. До цього моменту моделювання було по суті одновимірним і, отже, виконувалося в 1D-режимі Athena. Після політравлення структура перетворюється на 2D. Вивчено наступні основні елементи моделювання:

- команди екстракції параметрів структури її моделі (наприклад, товщини оксиду);
- технологію передавання інформації про змодельовану структуру з редактора Athena в Atlas;
- принцип побудови передавальних та вихідних ВАХ.

Розглянуто методику моделювання сімейства передавальних ВАХ класичного МОН-транзистора та ВАХ діода в режимі пробою. У першому випадку з моделей структур визначалися максимальний струм стоку та насичення. Основні етапи моделювання:

- створення структури МОН-транзистора або діода у редакторі Athena;
- вилучення параметрів структури;
- побудова сімейства вихідних характеристик транзистора при різних напругах на затворі або ВАХ діода;
- визначення електричних параметрів із отриманих характеристик.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Новосядлий С. П. Формування кремнієвих епітаксійних структур для суміщених Ві-К-МОН і D-МОН технологій ВІС / С. П. Новосядлий // Металофізика і новітні технології. – 2002. – №24. – С. 353-365.
2. <https://silvaso.com/> — головний сайт програми, дата доступу: 12.03.2022.
3. Свистова Т.В. Основи мікроелектроніки/Свистова Т.В. - Воронеж: ФДБОУ ВО, 2017. - 147с.
4. Новосядлий С. П. Фізико-технологічні основи субмікронної технології ВІС : навч. посібник / С. П. Новосядлий. – Івано-Франківськ : Сімик, 2003. – 350с.
5. <https://org2.knuba.edu.ua/mod/book/tool/print/index.php?id=25993&chapterid=217> – МОН транзистори, дата доступу: 20.05.2022 р.
6. <http://vozom.org.ua/index.php/polovitrantzistory?showall=1&limitstart=> - Польові транзистори, дата доступу: 20.05.2022 р.
7. https://www.isp.kiev.ua/images/Page_Image/Desertation-Rada-N1/Dissertation/Rudenko/Dissertation_Rudenko_TO_2017.pdf - Двомірні та тримірні потужні МОН-транзистори, дата доступу: 20.05.2022 р.
8. Прищепя М. М. Мікроелектроніка : навч. посібник / М. М. Прищепя, В. П. Погребняк – К. : Вища школа, 2004. – 431с.
9. https://studme.org/83114/tovarovedenie/integralnye_diody - Інтегральні діоди, дата доступу: 20.05.2022 р.
10. <https://org2.knuba.edu.ua/mod/book/view.php?id=25993> – Інтегральні діоди, дата доступу: 20.05.2022 р.
11. https://stud.com.ua/83114/tovaroznavstvo/integralni_diodi - Інтегральні діоди, дата доступу: 20.05.2022 р.
12. Находкін М. Г. Фізичні основи мікро- та наноелектроніки : навч. посібник / М. Г. Находкін, Д. І. Шека. – К. : КНУ ім. Т.Г. Шевченка, 2005. –

431с.

13. Васильєва Л. Д. Напівпровідникові прилади : навч. посібник / Васильєва Л.Д., Медведенко Б.І., Якименко Ю.І. – К. : Політехніка, 2003. – 388с.

14. Драгунов В. П. Основы нанoeлектроники : учеб. пособие / В. П. Драгунов, И. Г. Неизвестный, В. А. Гридчин. – М. : Логос, 2006. – 496с.

15. Бормонтов Е. Н. Физика и метрология МДП-структур : учеб. пособие / Е. Н. Бормонтов. – Воронеж : Воронеж. ун-т, 1997. - 184с.

16. <https://www.comsol.ru/comsol-multiphysics/> — головний сайт програми, дата доступу: 14.05.2022

17. Petrosyants K. O. Electro-Thermal Modeling of Trench-Isolated SiGe HBTs Using TCAD, in: 31th Semiconductor Thermal Measurement, Modeling and Management Symposium. San Jose: IEEE, 2015, 174p.

18. Clara CA: Silvaco International, 2018. – 241 p.

19. <https://silvaco.co.kr/examples> – Silvaco, TCAD Examples, дата доступу: 20.05.2022 p.

20. Silvaco, ATHENA User's Manual Device Simulation Software, Santa Clara CA: Silvaco International, 2018 – 444 p.

21. Silvaco, ATLAS user's manual device simulation software, Santa Clara CA: Silvaco International, 2018 – 1776 p.

22. Денисенко В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике / В.В. Денисенко. – М.: ФИЗМАТЛИТ, 2010. – 408 с.

23. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев, Е.Ю. Плотникова. Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.

24. Готра З.Ю. Технологія електронної техніки: навч. посібник: у 2 т. /З.Ю.Готра. – Львів: Вид-во Національного університету «Львівська політехніка», 2010. – Т.1. – 888 с.

25. Закалик Л. І. Основи мікроелектроніки: навч. посібник. / Л.І. Закалик, Р.А. Ткачук.– Тернопіль: ТДТУ ім. І. Пулюя, 1998. –352 с.
26. Парфенов О. Д. Технология микросхем / О. Д. Парфенов. – Москва : Высш. шк., 1986. – 320 с.
27. Березин А. С. Технология и конструирование интегральных микросхем / А. С. Березин, О. Р. Мочалкина. – Москва : Радио и связь, 1992. – 320 с.
28. Опанасюк Н. М. Технологічні основи електроніки (практикуми) : навч. посіб. / Н. М. Опанасюк, Л. В. Олександрів, А. О. Степаненко. – Суми : СумДУ, 2013. – 105 с.
29. Павлов С. М. Основи мікроелектроніки : навч. посіб. / С. М. Павлов. – Вінниця : ВНТУ, 2010. – 224 с.
30. Михайлін В. М. Технологічні основи електроніки: консп. лекцій / В. М. Михайлін. – Запоріжжя : ЗДІА, 2005. – 104 с.
31. Светцов В.И. Физическая электроника и электронные приборы / Светцов В.И., Холодков И.В. — Иваново: Академия, 2008. — 494с.
32. Ефимов И. Е. Микроэлектроника. Физические и технологические основы, надежность / И. Е. Ефимов, И. Я. Козырь, Ю. И. Горбунов. – М. : Высш. шк., 1986. – 464 с.
33. Ефимов И. Е. Основы микроэлектроники / И. Е. Ефимов, И. Я. Козырь. – М.: Высш. шк., 1983. – 384 с.
34. Черняев В. Н. Технология производства интегральных микросхем и микропроцессоров / В. Н. Черняев. – М.: Радио и связь, 1987. – 464 с.
35. Степаненко И. П. Основы микроэлектроники / И. П. Степаненко. – М.: Сов. радио, 1980. – 424 с.

СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ

✳ МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

**Кваліфікаційна робота бакалавра
КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ БАЗОВИХ
КОМПОНЕНТІВ НАПІВПРОВІДНИКОВОЇ ТЕХНОЛОГІЇ:
ДІОДІВ ТА МОН ТРАНЗИСТОРІВ**

Студент гр. ЕІ-81_к

О.І. Ворона

Науковий керівник,
к.ф.-м.н., доцент

І.П. Бурик

Конотоп 2022

Актуальність роботи

- * Актуальністю кваліфікаційної роботи бакалавра є широке використання МОН транзисторів в різних напрямках електроніки.
- * Об'єктом дослідження даної роботи є фізичні основи принципу дії, структурні та робочі характеристики напівпровідникових діодів та МОН транзисторів.
- * Метою роботи є полягає у вивченні фізичних моделей напівпровідникових діодів та МОН транзисторів, алгоритмів їх комп'ютерного моделювання, аналізу отриманих експериментальних результатів.

МОП - транзистори

Біполярні транзистори в ІС більше витісняються транзисторами типу МОП. Це пояснюється важливими перевагами МОП транзисторів, зокрема їх високим входним опором та простотою пристрою. МОП -транзистори мають суттєві переваги перед біполярними по конструкції. МОП - транзистор може бути основним та єдиним елементом МОП - мікросхем.

Інтегральні діоди

Інтегральні МОН-транзисторні діоди формуються також на базі р-п-переходів транзисторів з індукційним каналом у підкладках різного типу електропровідності

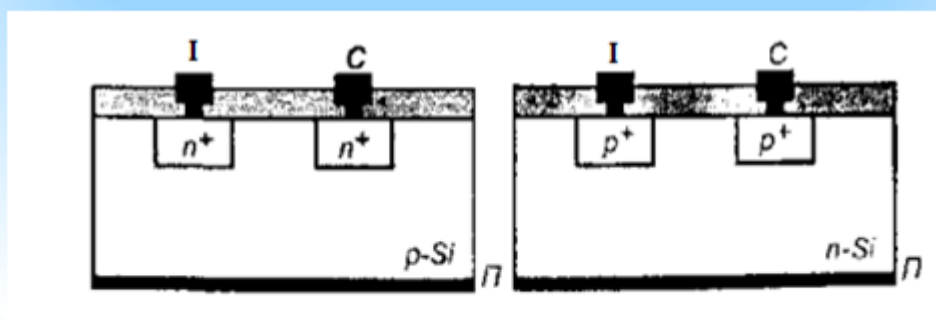


Рисунок 1 - Інтегральні МОН - транзисторні діоди

* МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

Методика моделювання перехідних характеристик

Моделювання процесу у програмному комплексі Ssuprem 4 засноване на стандартному процесі LDD МОН транзистора.

При розрахунках використовуються моделі, прийняті в САПР. Полікремнієвий затвор сформований простим травлюванням областей заданої геометрії. Якщо перед цією операцією вивести графік структури на екран, моделювання буде представлено у вигляді одомірної структури, на якій можна відобразити розподіл параметрів структури по товщина. Після операції травлення структура відобразатиметься у вигляді двовимірної структури.

* МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

*Методика моделювання вихідних характеристик

- * У кодї прикладу показано моделювання сімейства вихідних характеристик класичного МОН транзистора. З моделі структури визначаються максимальний струм стоку та насичення. Основні етапи моделювання:
- * - створення структури МОН транзистора у редакторі Athena,
- * - вилучення параметрів структури, побудова сімейства вихідних характеристик транзистора при напругі на затворі
- * - визначення максимального струму стоку та насичення із кривих.

* **Методика моделювання залежності струму стоку від напруги**

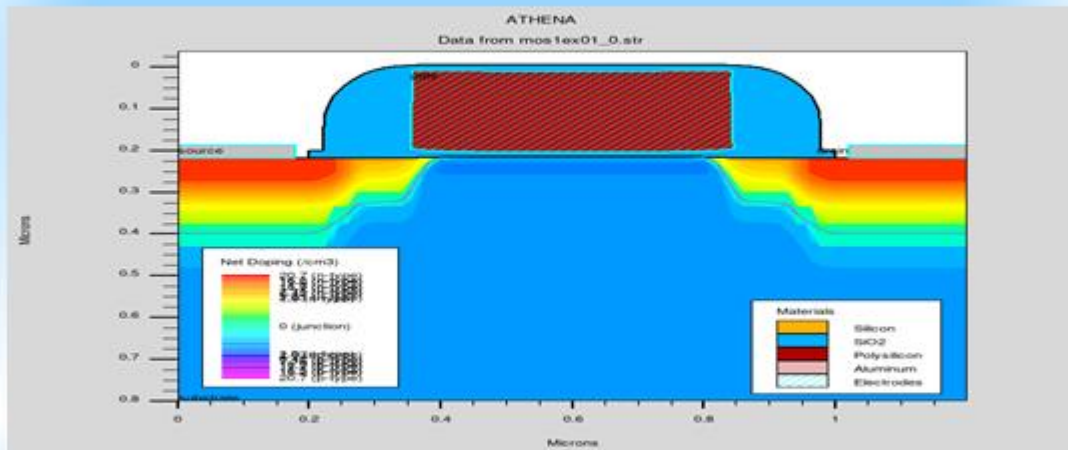


Рисунок 2 - залежність струму стоку від напруги затвор - витік

* Методика вилучення I_d/V_{gs} та порогової напруги

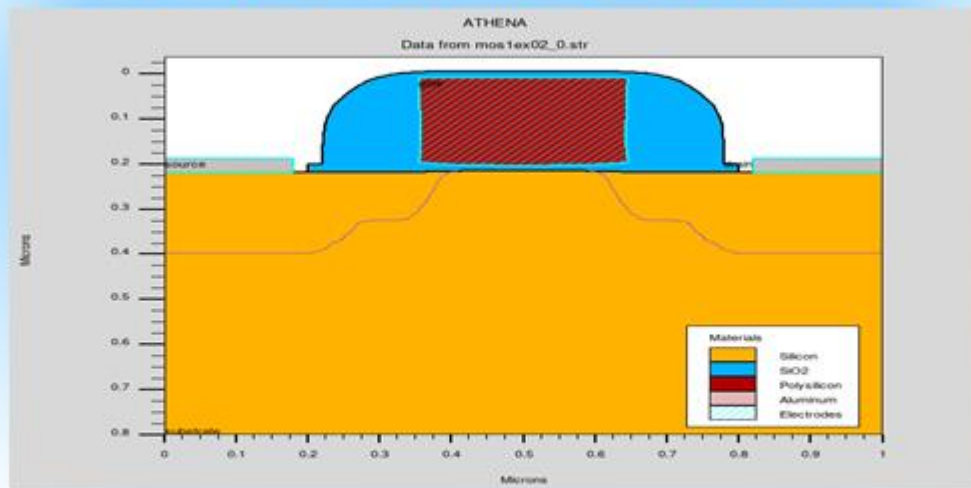


Рисунок 3 - Моделювання сімейства вихідних характеристик МОН транзистора

Висновок

* Моделювання відіграє важливу роль у розробці нових структур напівпровідникових приладів та прогнозуванні їх роботи в різних робочих умовах.

В першій методиці ми спостерігаємо моделювання процесу в SSuprem 4 слідує стандартному процесу LDD MOS.

В другій методиці ми можемо побачити моделювання сімейства вихідних характеристик класичного МОН транзистора.

Все це стає можливим завдяки програмному середовищу Silvaco TCAD.