

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра
**ЧИСЛОВЕ МОДЕЛЮВАННЯ ВПЛИВУ ТЕМПЕРАТУРИ НА
ПАРАМЕТРИ FINFET'S**

Студент гр. ЕІ₃-81_к

Пастушенко М.В.

Науковий керівник,
к.ф.-м.н., доцент

Бурик І.П.

Конотоп 2022

ЗМІСТ

ВСТУП	4
РОЗДІЛ 1. ХАРАКТЕРИСТИК ПОЛЬОВИХ ТРАНЗИСТОРІВ З ТРИВИМІРНОЮ СТРУКТУРОЮ	5
1.1. Польовий транзистор метал-оксид-напівпровідник	5
1.2. Транзисторні структури FinFET.....	9
1.3. Транспортні моделі носіїв заряду.....	13
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	16
2.1. Методика проектування в Silvaco TCAD	16
2.2. Порядок створення геометрії приладу.....	18
2.3. Моделювання електричних параметрів	21
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	24
3.1. Структура польового транзистора із Fin-каналом.....	24
3.2. Температурні залежності робочих характеристик.....	25
ВИСНОВКИ	30
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	31
ДОДАТОК А. ПРЕЗЕНТАЦІЯ ДО РОБОТИ	35

РЕФЕРАТ

Об'єктом дослідження кваліфікаційної роботи є транспорт носіїв заряду в структурах FinFET з кремнієвим каналом.

Мета роботи полягає у дослідженні впливу температури на продуктивність FinFET з кремнієвим каналом.

У результаті проведених досліджень у програмному середовищі Silvaco TCAD було виконано моделювання структури FinFET, набуто навичок роботи з транспортними моделями, зроблено висновки про особливості робочих характеристик сучасних польових транзисторів.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд розвитку технологій виготовлення польових транзистрів. У другому розділі розглядається методика моделювання структури FinFET з кремнієвим каналом та її робочих характеристик за допомогою програмного пакету Silvaco TCAD. У третьому розділі були спроектовані тривимірні структури та досліджені на вплив температури на їх продуктивність, отримані результати свідчать про високу термічну стійкість електричних параметрів FinFET з кремнієвим каналом.

Робота викладена на 35 сторінках, у тому числі включає 8 рисунків, 1 таблицю, список цитованої літератури із 41 джерела, 1 додаток.

КЛЮЧОВІ СЛОВА: ТРАНЗИСТОР, FINFET, КРЕМНІЄВИЙ КАНАЛ, ЕЛЕКТРИЧНІ ПАРАМЕТРИ, ТЕМПЕРАТУРНИЙ КОЕФІЦІЄНТ

ВСТУП

Відомо, що технологічний прогрес у передових пристроях для технологій комплементарних напівпровідників із оксидом металу (КМОН) наближається до деяких фізичних обмежень, таких як оптична літографія, товщина діелектрика затвора, короткий канал тощо. Крім того, оскільки технологічні норми продовжували скорочуватися до 20-нанометрів, стало неможливо досягти подібного масштабування для деяких параметрів приладу, зокрема напруги живлення, яка є домінуючим фактором при визначенні динамічної потужності. Отже, були визначені нові області досліджень, щоб покращити характеристики транзистора [1-5].

Зазвичай кожному напівпровідниковому елементу схеми відповідає локальна область напівпровідникового матеріалу, властивості та характеристики якої забезпечують виконання функцій дискретних елементів (транзисторів, діодів, резисторів, конденсаторів та ін.). Кожна локальна область, яка виконує функції конкретного елемента, потребує ізоляції з інших елементів. З'єднання між елементами згідно з електричною схемою зазвичай виконуються за допомогою напилених на поверхню металевих провідників або високолегованих напівпровідникових перемичок. Такий кристал поміщається у герметизований корпус і має систему виводів для практичного застосування мікросхеми. Таким чином, напівпровідникова ІМС є закінченою конструкцією. Тип конструкції напівпровідникових ІМС визначається: напівпровідниковим матеріалом; технологічними методами створення локальних областей та формування в них елементів; методами ізоляції елементів у кристалі; типом і структурою використовуваних транзисторів [6-13]

РОЗДІЛ 1

ОСОБЛИВОСТІ ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ПОЛЬОВИХ ТРАНЗИСТОРІВ

1.1. Польовий транзистор метал-оксид-напівпровідник

Технологія напівпровідникових ІМС розвивалася на основі планарної технології (планарна технологія від англійського planar - плоский) виготовлення транзисторів, яка ввібрала в себе весь попередній досвід виробництва напівпровідникових приладів.

Основними технологічними процесами виготовлення напівпровідникових ІМС називають ті, за допомогою яких створюються локальні області у напівпровідниковому матеріалі та формуються переходи, структури та елементи схеми. До них відносяться: локальна дифузія легуючих домішок у кремній, іонне легування та епітаксійне нарощування монокристалічних шарів кремнію на кремнієву пластину, що має протилежний тип електропровідності. У зв'язку з цим, всі напівпровідникові ІМС за технологічними ознаками поділяються на дві групи: ІМС, що виготовляються із застосуванням тільки процесів дифузії, та ІМС, при виготовленні яких поєднуються процеси епітаксійного нарощування, дифузії та іонного застосування домішок. Технологію виготовлення мікросхем першої групи називають планарно-дифузійною, а другої групи – планарно-епітаксіальною [6-13].

Більшість напівпровідникових ІМС виготовляють на основі монокристалічного Si, хоча окремих випадках використовують Ge. Це пояснюється тим, що Si у порівнянні з Ge має низку фізичних та технологічних переваг, важливих для створення елементів ІМС. Наявність великої ширини забороненої зони Si дозволяє створювати ІМС, що працюють у широкому діапазоні температур, з малими струмами витоку та за відносно великої робочої напруги. З технологічної точки зору на поверхні Si легко отримати шар діоксиду (SiO_2) заданої товщини, що грає важливу роль у процесі формування

елементів ІМС, їх ізоляції та захисту від зовнішніх впливів.

У МОН-транзисторах струмом керують шляхом застосування електричного поля, перпендикулярного як до поверхні напівпровідника, так і до напрямку струму. Явище, що дозволяє таке керування, називається польовим ефектом, звідки й термін польовий транзистор. На рис. 1.1 приведено структуру n- (або p-) каналного польового транзистора МОН. У випадку n-МОН транзистора на p-підкладці є дві області з високим рівнем n-легування, які називаються виток і сток. Для p-МОН транзистора підкладка легована n-домішкою, тоді як виток і сток леговані p-домішкою. Тонкий шар оксиду (SiO_2 і HfO_2), який забезпечує електричну ізоляцію, осаджується на поверхні підкладки між витком і стоком (S-Source/D-Draine). На цьому ізоляційному шарі формується затвор (G-Gate).

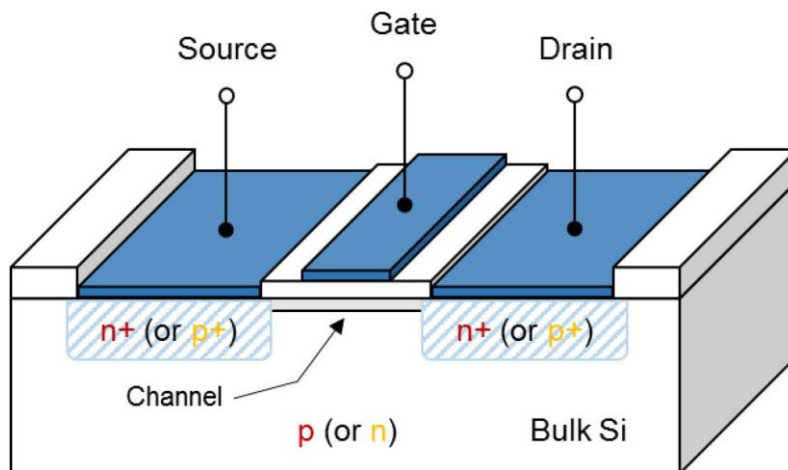


Рис. 1.1. Принципова схема n- (або p-) каналного МОН транзистора [14]

У МОН транзисторах електричний перехід n/p або p/n є важливим. Вони являють собою основний резервуар носіїв зарядів (електронів або дірок) і розділені каналом. Таким чином, канал є потенційним бар'єром, яким керує затвор. Коли нульове зміщення застосовано до затвора, транзистор еквівалентний двом діодам включених зустрічно один до одного, а струм дорівнює нулю. Однак, коли напруга досить велика (порогова напруга), в каналі створюється шар інверсії електронів, що дозволяє носіям заряду текти, а потім

між джерелом і стоком створюється струм. Загалом, стік поляризований, тоді як витік та підкладка з'єднані із землею. У випадку n-МОН транзистора носіями в інверсійному шарі є електрони, тоді як у p-МОН транзисторі носіями є дірки.

Щоб сформуванати комплементарний інвертор МОН (КМОН), основний будівельний блок логіки КМОН, потрібні як n-МОН, так і p-МОН транзистори, з'єднані разом в одну схему.

Як відомо, лінійні розміри КМОН-пристроїв з планарними транзисторами зменшувалися на 30% приблизно кожні два роки. З появою транзисторів з металевим затвором і високою діелектричної проникністю подзатворного діелектрика та інших, ця закономірність перестала виконуватися і ускладнилася. Після того як Intel представила транзистори Tri-gate 22 нм [15], розвиток виробничих технологій став набагато ширшим. Для 65-нм техпроцесу впроваджена іонна імплантація Ge і C в витік і стік. Ge роздуває кінці транзистора, стискаючи його канал, що збільшує швидкість дірок (основних носіїв заряду в p-каналних транзисторах). Вуглець, навпаки, стискає витік і стік, що розтягує n-канал, збільшуючи рухливість електронів.

Першими обмеженнями при масштабуванні, очевидно, є фізичні обмеження. Дійсно, жорсткою межею, очевидно, є розмір атома чи молекули, оскільки пристрої не можуть бути меншими за розмір одного атома чи молекули. Крім того, деякі шкідливі чинники можуть бути додані при зменшенні розмірів пристроїв, включаючи зменшення товщини діелектрика затвора та довжини каналу. По-перше, досить тонкий діелектрик затвора може призвести до квантово-механічного тунелювання, експоненціально збільшуючи струм витіку затвора, знижуючи надійність і погіршуючи рухливість каналу [16-20]. По-друге, розробка каналів призначена для контролю порогової напруги (наприклад, короткий канал дозволяє здійснювати швидшу операцію перемикавання, оскільки несучі проходять меншу відстань від витіку до стоку) і запобігання проникненню. Однак для занадто коротких каналів можуть бути виявлені шкідливі проблеми. Наприклад, короткі канали дозволяють основним несучим перетікати від джерела до стоку, навіть якщо транзистор вимкнено, що

призводить до зниження бар'єру, викликаного стоком (DIBL) і, як наслідок, збільшенню струмів витoku. Оскільки технологія КМОН обмежена, має існувати оптимальна мініатюризація пристрою з максимальною продуктивністю обробки. Іншими словами, нижче певного розміру і при фіксованій потужності загальні характеристики пристрою погіршуються. Це пояснюється компромісом між перевагами масштабування (зменшення ємності та збільшення продуктивності при фіксованій потужності) і збільшенням струму витoku через квантово-механічне тунелювання, як тільки розміри досить зменшуються.

Зміна матеріалів для технології КМОН просувається повільно, але все більше стає очевидним, що коригування матеріалів, що безпосередньо впливає на властивості пристроїв, може подолати багато проблем, що виникають у мікросхемах. Дійсно, з 1980 по 1995 роки з'являлися істотно нові матеріали приблизно раз на два-три покоління [6-8]. Дотепер потрібні значні зусилля для впровадження нових матеріалів, і багато дослідників вивчають можливість, наприклад, запровадити напівпровідникові матеріали III-V в КМОН-пристроях. Вивчається багато інших матеріалів, але великі нові зміни в матеріалах є дуже важкими і дорогими.

Зменшення товщини оксиду з 2 нм до 1,5 нм викликає струм витoku на два порядки [18], що неприпустимо для пристроїв. Альтернативою для подолання цих проблем було впровадження нових діелектричних матеріалів, які могли б створити хороший інтерфейс із Si, порівнянний із Si/SiO₂. Це стосується матеріалів з високою діелектричною проникністю (High-K) (наприклад, діоксид гафнію HfO₂), що дозволяє зменшити товщину діелектрика затвора, зберігаючи при цьому ті ж характеристики ємності затвора. Починаючи з вузла 28 нм, у затвор був введений інший матеріал, щоб мати можливість модулювати порогову напругу. Дійсно, для затвора, виготовленого з стека SiO₂/HfO₂/полікристалічного кремнію, рівень Фермі блокується в середині затвора Si, щоб уникнути падіння порогової напруги транзистора. Потім між матеріалом High-K і полікристалічним Si було введено метал. Як правило, цим металом може бути нітрид титану (TiN). Ця технологія high-k/metal gate (HKMG)

була фундаментальним зрушенням у Si-КМОН, оскільки це був відносно чистий оксид SiO₂ затвора.

Ще одне важливе питання, яке було предметом довгих дискусій, стосується рухливості дірок і електронів. Найбільш перспективним та ефективним методом є введення фізичної деформації всередині кремнієвої решітки. Для цього до кремнію додають шар з постійною решітки, відмінною від Si. Невідповідність ґрат між обома матеріалами створює деформацію, яка розширить або розтягне кремній. Це дозволяє діркам і електронам текти більш вільно, таким чином зменшуючи опір пристрою та інші властивості, які впливають на рухливість електрона/дірки. SiGe є ідеальним матеріалом, який об'єднує всі вимоги, необхідні для покращення більшості характеристик пристрою.

1.2. Транзисторні структури FinFET

Технологія КМОН заснована на виготовленні топології на підкладці за допомогою масок і літографії. Як наслідок, літографія є ключовою технологією, щоб продовжити гонку за масштабуванням транзисторів, і таким же чином може перешкоджати майбутньому масштабуванню пристроїв. Справді, передбачалося, що просторова роздільна здатність, менша за довжину хвилі, що використовується для літографічного процесу, вимагає компромісу між складними, дорогими масками та можливими обмеженнями дизайну [21]. Більше того, вартість інструменту для літографії, включно з тим, що необхідний для виготовлення масок і досліджень, спрямованих на зменшення мінімальної довжини хвилі (в екстремальний ультрафіолетовий спектр: довжини хвилі 13 нм), досягає настільки екстремально підвищеної величини, що це починає обмежувати рентабельність збільшення масштабування. Слід зазначити, придбання інструментів для літографії є однією з найбільших інвестицій у мікроелектронічну промисловість. Підсумовуючи, виробнича толерантність, а отже, економічність, можуть диктувати припинення масштабування кремнієвих пристроїв до того, як будуть досягнуті фундаментальні межі.

Підвищення продуктивності КМОН-транзисторів полягає в основному в заміні матеріалів новими з кращими характеристиками, а також в розробці нових структур та архітектур на їх основі. Зокрема, використання «повністю виснажених» каналів дозволяє мати гарний електростатичний контроль транзисторів і мінімізує короткоканальні ефекти. Таким чином, заряди-носії проходять крізь дуже тонкий шар в діапазоні кількох нм. Це було отримано шляхом розробці двох різних технологій для транзистора Tri-gate від Intel або транзистора FD-SOI від STMicroelectronics. Ці структури були реалізовані шляхом додаванням кількох кроків епітаксії, головним чином в канал SiGe для контролю порогової напруги та деформації (збільшення рухливості у каналі), і в леговані-SiGe в області виток та стоку (S/D) (леговання бором SiGe і легування фосфором $Si_{1-y}C_y$ для контролю опору та деформації). Причому ці епітаксії повинні бути вибірковими, щоб вирощувати шари тільки на певних ділянках. Вибірковість в епітаксії SiGe та Si – добре відомий процес, який вивчений протягом багатьох років [21-24]. Крім того, всі ці епітаксійні шари досліджуються в різних областях: хімічні властивості (межа розчинності); механічні властивості (наявність екстремальних деформацій від 1 до 3 ГПа); морфологічні властивості (дуже дрібні візерунки з розмірами кілька нм і дуже тонкі плівки в кілька нм).

Крім того, співвідношення товщини та ширини є дуже важливим, що призводить до нових міркувань, таких як 3D-аспекти епітаксійних об'єктів. Також слід враховувати ефекти огранювання та анізотропії враховуючи, що промислові процеси дуже складні. Нарешті, епітаксіальні шари вони ще більше піддаються впливу та чутливі до будь-яких змін процесу, таких як температура або тиск. У зв'язку з цим, щоб зберегти прийнятну морфологію, необхідно дотримуватися обережності. Останні тенденції можна підсумувати за трьома первинними властивостями: розміром, деформацією та хімічними властивостями

Незважаючи на те, що всі згадані розробки НКМГ та методів деформації для покращення продуктивності пристрою, продовження масштабування транзистора призводить до багатьох інших погіршень, оскільки мінімальний

розмір планарних транзисторів впав нижче 90 нм. Справді, відстань між переходами витоку і стоку тепер настільки близька, що затвору важко підтримувати електростатичний контроль над каналом, що призводить до погіршення ефектів короткого каналу, включаючи зниження порогової напруги, зниження бар'єру, викликаного стоком, погіршення рухливості заряду та зміна порогової напруги. Зниження порогової напруги - це коли порогова напруга пристрою зменшується через те, що області виснаження витоку і стоку вторгаються в канал, дозволяючи струму легше перетікати від витоку до стоку. Це призводить до збільшення труднощів повного вимкнення транзистора, збільшуючи його струм витоку і, отже, споживання енергії. DIBL утворюється, коли джерело і сток знаходяться досить близько, щоб вони стали електростатично пов'язаними, збільшуючи струм витоку. Підсумовуючи іншими словами, неприпустимо високі струми витоку з'являються, коли пристрій знаходиться у вимкненому стані. І навпаки, щоб підтримувати низьку специфікацію струму у вимкненому стані, пристрій не може досягти високого струму приводу при зміщенні у включеному стані. Щоб підтримувати безперервне покращення продуктивності, звичайна планарна структура МОН-транзистора, побудованого на об'ємній підкладці Si, більше не підходить, і необхідно розглянути нові архітектури, що забезпечують кращу електростатичну цілісність і зменшення короткоканальних ефектів.

Вдосконалені транзисторні структури, такі як МОН-транзистори з ультратонким каналом (UTB-SOI – ultrathin-body silicon-on-insulator) FET (рис.1.2а), є дуже перспективними для розширення масштабування МОН, оскільки ефект короткого каналу можна придушити без високої концентрації легування в каналі, що призводить до підвищеної рухливості носіїв. В останні роки неklasичним МОН-пристроєм, таким як FinFET (рис.1.2б), приділили, і значну увагу завдяки їх здатності зменшенню ефектів короткого каналу, зменшити зниження бар'єру, викликаного стоком відмінну масштабованість [25-27].

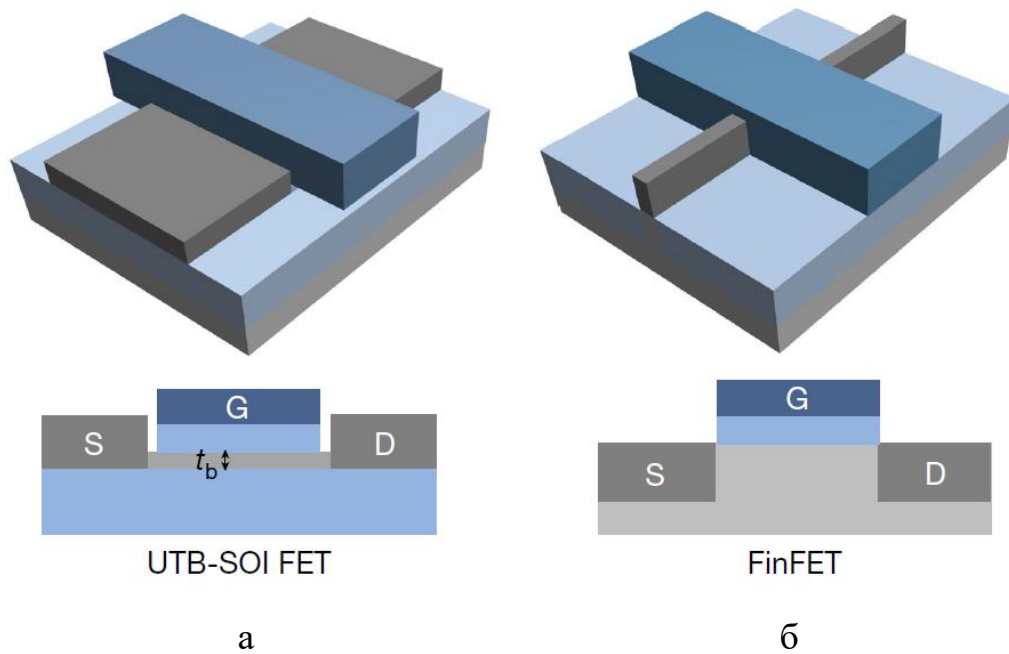


Рис.1.2. Схематичні зображення транзисторних структур з ультратонким каналом (а) та FinFET (б) [25]. Світло-сірий, темно-сірий, світло-блакитний і темно-синій представляють об'ємний напівпровідник, область контакту з легованими речовинами, оксидний і затворний електрод, відповідно: S - витік; D - стік; G - затвор.

Ω -FinFET мають унікальні характеристики, такі як висока тепловіддача на підкладку Si, відсутність ефекту плаваючого тіла та низька щільність дефектів, при цьому мають ключові переваги характеристик FinFET на основі (кремній на ізоляторі) КНІ технології. Ω -FinFET має верхній затвор, як звичайний UTB-КНІ, бічні затвори, такі як FinFET, і спеціальні розширення затвора під кремнієвим корпусом. Ω -FinFET – це в основному польовий транзистор із затвором, який майже охоплює канал. Однак технологічність такого типу конструкцій пристрою все ще залишається проблемою. Для виготовлення цих пристроїв було запропоновано багато різних методів, але більшість із них страждають від технічних проблем, головним чином через складність процесу.

Технологія Strained-Si [23] корисна для підвищення рухливості носіїв. Рухливість як електронів, так і дірок можна покращити шляхом застосування напружень, щоб викликати відповідну деформацію в каналі, наприклад,

деформацію розтягу для n-канальних МОН і деформацію стискання для р-канальних МОН. Вплив деформації на рухливість можна зрозуміти, розглянувши спричинені напругою зміни в складних електронних зонних структурах Si. Нові конструкції пристроїв збільшують потребу в тривимірному (3D) моделюванні процесів і пристроїв. FinFET є неплоским пристроєм і за своєю природою є тривимірним (3D). Тому для FinFET будь-який значущий процес або моделювання пристрою має виконуватися в трьох вимірах.

1.3. Транспортні моделі носіїв заряду

Як правило для чисельного моделювання транспорту носіїв заряду в каналі FinFET вирішується самоузгоджено п'ять диференціальних рівнянь в частинних похідних (рівняння Пуассона, рівняння неперервності електронів і дірок, рівняння балансу енергії електронів і рівняння квантового потенціалу). При моделюванні пристрою моделюються перехідні характеристики ($I_{DS}-V_{GS}$) для зміщення з низьким і високим стоком, а також відповідні електричні параметри, такі як порогові напруги та у межах моделі градієнта щільності розв'язується додаткове диференціальне рівняння в похідних для визначення ефективного квантового потенціалу [27-31].

Інструменти чисельного моделювання транспорту носіїв заряду включають в себе як базову дифузійно-дрейфову (DD – Drift-Diffusion) транспортну модель, так і вдосконалені квантові моделі. Рівняння DD-моделі для векторів густини струмів електронів та дірок відповідно мають вигляд (q – заряд електрона, D_n та D_p – коефіцієнт дифузії носіїв, n та p – концентрації носіїв, μ_n та μ_p – рухливість носіїв, ψ – хвильова функція, k – постійна Больцмана, T – температура Дебая, n_{ie} – ефективна внутрішня концентрація) [28]:

$$J_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (kT \nabla (\ln n_{ie})), \quad (1.1)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla \psi + \mu_p p (kT \nabla (\ln n_{ie})), \quad (1.2)$$

Як відомо, недоліком DD-моделі є те, що вона не враховує квантових ефектів. У каналі носії заряду можуть бути обмежені в певних напрямках. Це впливає на радіальну густину зарядів, а також на густину станів. Квантові ефекти можуть бути змодельовані в рамках моделі Self-Consistent Coupled Schrodinger Poisson Model (SCCSP), але вона не може самостійно вирішити транспортні проблеми. Тому останню використовують у поєднанні з моделлю Drift-Diffusion Mode-Space Method (DDMS), or the Mode Space Non-Equilibrium Green's Function Approach (NEGFA). Відмітимо, що для моделювання структур FinFET із каналом у вигляді нанодроту розв'язується рівняння Шредінгера в циліндричних координатах [27].

Слід відмітити, що на відміну від інших підходів до моделювання ефектів квантування, таких як 1D Пуассона-Шредінгера та модифіковане наближення локальної щільності (MLDA – Modified Local-Density Approximation), модель градієнта щільності також застосовна до неплоских 3D структур. Таким чином, при моделюванні використовується розширена модель квантування (модель градієнта щільності). У межах моделі градієнта щільності розв'язується додаткове диференціальне рівняння в похідних для визначення ефективного квантового потенціалу

У передових глибоких субмікронних структурах МОН-приладів, необхідно використовувати транспортні моделі із врахуванням квантових ефектів. Також інтерфейс канал-затвор оксиду має бути розв'язаний з дуже високою точністю. Скінченноелементна сітка також повинна розв'язувати дуже круті градієнти інверсійного шару. Відповідно, 3D САПР використовується для перебудови FinFET для моделювання пристрою. Також для розглянутої тут структури FinFET тіло може бути не повністю виснаженим. Тому рівняння неперервності для електронів і дірок необхідно вирішувати одночасно. Дуже коротка довжина затвору 14 нм вимагає використання гідродинамічної транспортної моделі. Крім того, мала товщина оксиду (1-2 нм) і відносно високий рівень легування тіла ($10^{18} - 10^{20} \text{ см}^{-3}$) вимагають врахування ефектів квантування. За потреби квантові ефекти можуть бути враховані включені шляхом включення у приведені

рівняннях квантового потенціалу Бома Q [28]:

$$J_n = qD_n \nabla n - qn\mu_n \nabla(\psi - Q) - \mu_n n (kT \nabla(\ln n_{ie})), \quad (1.3)$$

$$J_p = -qD_p \nabla p - qp\mu_p \nabla(\psi - Q) + \mu_p p (kT \nabla(\ln n_{ie})), \quad (1.4)$$

У рівняннях (1.11) та (1.12) додатковий член представляє квантовий потенціал Бома, який визначається як [28,29]:

$$Q = -\frac{\hbar^2 \gamma \nabla[M^{-1} \nabla(n^\alpha)]}{2 n^6}. \quad (1.5)$$

де \hbar – постійна Планка, M – ефективна маса, n – концентрація електронів, γ та α – параметри підгонки.

Слід відмітити, що в рамках моделі Ландауера квазібалістичний транспорт носії заряду для одновимірних каналів польових транзисторів може бути визначений як[25]:

$$I_{DS}(V_{DS}, V_{GS}) = \frac{2q}{h} \int_{-\infty}^{+\infty} \{T(E, V_{DS}, V_{GS}) [f_S(E, E_{FS}) - f_D(E, E_{FD})]\} dE, \quad (1.6)$$

де E_{FS} та E_{FD} – рівні Фермі відповідно витоку та стоку, $f_S(E, E_{FS})$ and $f_D(E, E_{FD})$ – функції Фермі-Дірака витоку та стоку, $T(E, V_{DS}, V_{GS})$ – транспортний коефіцієнт.

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика проєктування в Silvaco TCAD

Технологія із застосування систем автоматизованого проєктування (САПР) зараз є незамінним інструментом для оптимізації нових поколінь електронних пристроїв у промислових середовищах. Транзисторним структурам FinFET приділено значну увагу завдяки їх здатності мінімізувати ефекти короткого каналу, зменшеному зниженню бар'єру, викликаному стоком, і відмінній масштабованості. В ряді робіт повідомлялося про різні методи виготовлення кремнієвих Fin-каналів. Нові конструкції приладів потребують тривимірного (3D) моделювання. FinFET, будучи неплоскими, за своєю природою є тривимірними. Інструмент Silvaco TCAD (3D моделювання процесу) був використаний для дослідження придатності CAD технології для розробки структур FinFET. Отримані результати моделювання представлені в даній роботі. Компактна модель служить сполучною ланкою між технікою процесу та схемотехнікою [32-38].

На основі вихідних даних можна спроектувати геометрію пристрою або технологічний процес, вибрати модель транспорту носіїв та отримати тестові характеристики. Після цього уточнюються параметри конструкції, властивості матеріалу, коефіцієнти моделі переносу тощо. Редактор DeckBuild [32] запускає та координує програми, включаючи створення та виконання пакетних файлів. ATLAS Instrument Structure Simulator, симулятор, що використовується як база в середовищі Silvaco TCAD (рис.2.1).

ATHENA Process Simulator дозволяє моделювати літографію, пошарове нанесення, дифузю, окислення, травлення та інші процеси для різних типів структур [33]. Останні параметри можна легко налаштувати за допомогою генератора команд DeckBuild.

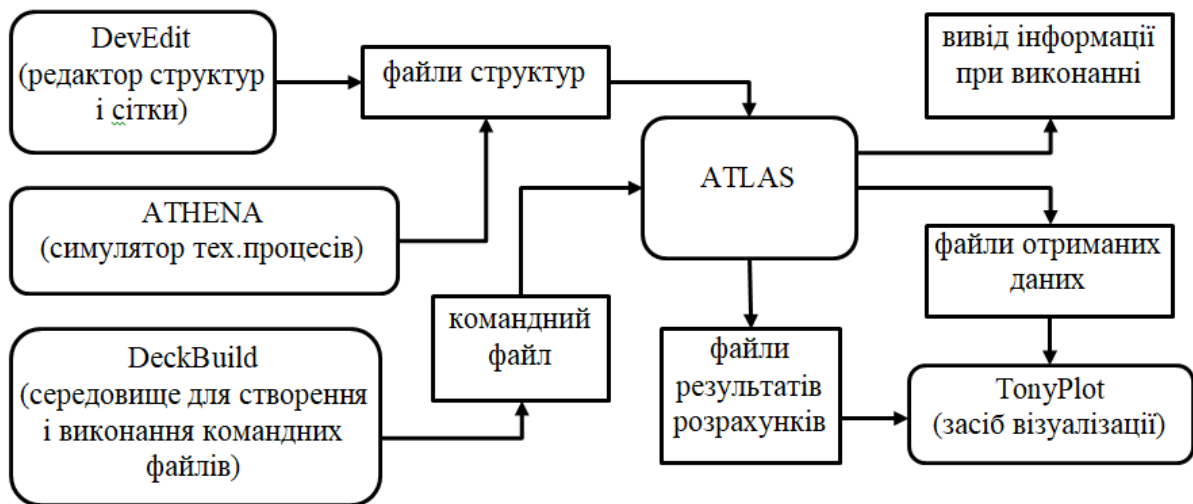


Рис. 2.1. Блок-діаграма засобів Silvaco TCAD [33]

На рисунку 2.2 показаний алгоритм проектування електронних пристроїв у Silvaco TCAD. Виходячи з експериментальних даних проводиться моделювання відповідних пристроїв та їх робочих характеристик.

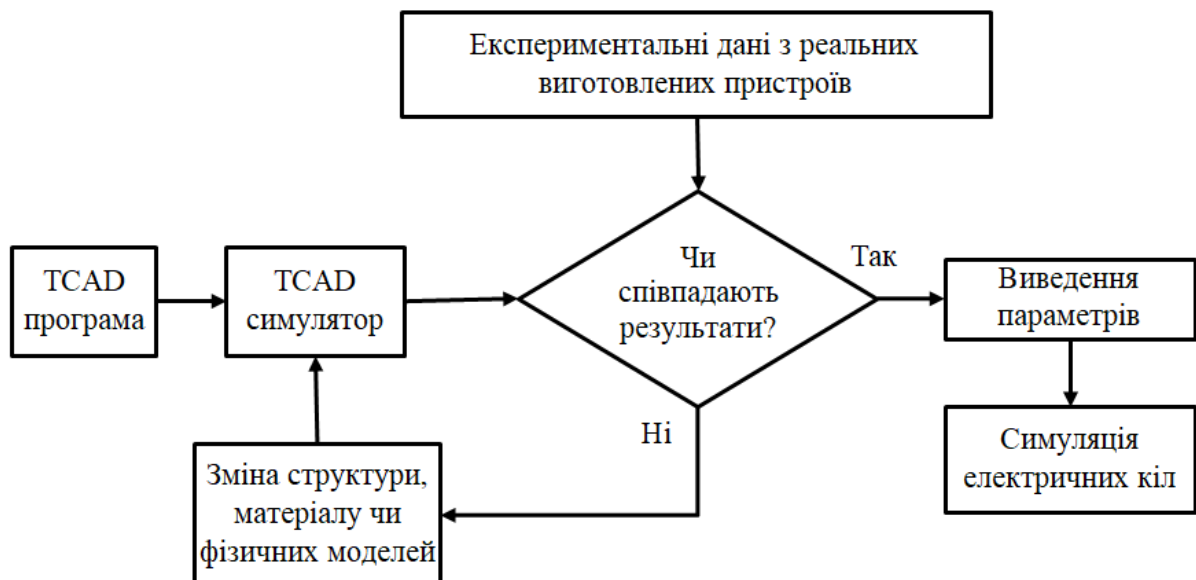


Рис. 2.2. Алгоритм проектування в TCAD програмах [33]

Слід зазначити, що структура бібліотеки моделей Silvaco TCAD гнучка і одні й ті ж модулі можна використовувати у всіх її підпрограмах. Silvaco використовує власний інтерпретатор під назвою C-Interpreter, який значно

скорочує час компіляції. Він був створений спеціально для отримання оптимізованого машинного коду на основі оригінального опису моделі [33].

Для проектування структури та характеристик польових транзисторів та інших також можуть бути використані ресурси NanoHUB, NanoTCAD ViDES та ін. В їх основу покладено можливість проводити дослідження нанорозмірних структур шляхом розв'язання систем рівнянь Пуасона і Шредінгера, в рамках співвідношення Non-Equilibrium Green's Function (NEGF). Для розв'язання рівняння Пуасона, що зв'язує заряди та потенціали всередині каналу використовується тривимірна задача. У цьому випадку сітка будується навколо кожного одиничного елемента (атома, іона) структури. Двовимірною моделлю Шредінгера визначає можливість знаходження носія заряду в перерізах каналу, а сам транспорт враховується одновимірним рівнянням [30-33].

2.2. Порядок створення геометрії приладу

Структури транзисторів були спроектовані та досліджені за допомогою інструментів Silvaco TCAD [32-38]. Як особливості програмного коду слід відмітити, що в симуляторі Atlas загальна структура створювалася за допомогою оператора `mesh three.d`. Параметр `three.d` інформував симулятор про особливості створення 3D-сітки.

Розглянемо командний файл для генерації структури FinFET із каналом Si довжиною 100 нм, висотою 50 нм та шириною 20 нм, довжиною затвору 30 нм, ізоляцією SiO₂-HfO₂, електродами витоку та стоку Al. Синтаксис програмного коду наведено нижче.

```
go atlas
```

```
#3D сітка, обернена вісь Y, нульова точка в середині площини XZ
```

```
mesh three.d flip.y
```

```
x.m l=-0.033 spac=0.005
```

```
x.m l=-0.023 spac=0.002
```

```
x.m l=-0.013 spac=0.001
```

x.m l=-0.010 spac=0.001

x.m l=0 spac=0.004

x.m l=0.010 spac=0.001

x.m l=0.013 spac=0.001

x.m l=0.023 spac=0.002

x.m l=0.033 spac=0.005

#Структура на поверхні кремнієвої підкладки з шаром оксиду 20нм

y.m l=-0.050 spac=0.020

y.m l=-0.020 spac=0.015

y.m l=0 spac=0.005

y.m l=0.010 spac=0.005

y.m l=0.020 spac=0.005

y.m l=0.030 spac=0.005

y.m l=0.045 spac=0.005

y.m l=0.048 spac=0.001

y.m l=0.049 spac=0.001

y.m l=0.050 spac=0.001

y.m l=0.053 spac=0.001

y.m l=0.054 spac=0.003

y.m l=0.073 spac=0.005

#Деякі лінії розташовано на інтерфейсах матеріалів

z.m l=-0.060 spac=0.005

z.m l=-0.050 spac=0.005

z.m l=-0.020 spac=0.005

z.m l=-0.015 spac=0.003

z.m l=0 spac=0.005

z.m l=0.015 spac=0.003

z.m l=0.020 spac=0.005

z.m l=0.050 spac=0.005

z.m l=0.060 spac=0.005

```

eliminate x.min=0.014 y.min=0.045 y.max=0.053 x.dir
eliminate x.max=-0.014 y.min=0.045 y.max=0.053 x.dir
eliminate x.min=-0.008 x.max=0.008 y.min=0.046 y.max=0.048 x.dir
#основні області - підкладка, шар оксиду і вакуумне середовище навколо
region mat=silicon y.max=0 num=1
region mat=oxide y.min=-0.020 num=2
region mat=vacuum y.min=0 num=3
#робочі області структури
region mat=tin y.min=0 y.max=0.073 x.min=-0.033 x.max=0.033 z.min=-0.015
z.max=0.015 num=4
region mat=hfo2 y.min=0 y.max=0.053 x.min=-0.013 x.max=0.013 z.min=-
0.015 z.max=0.015 num=5
region mat=oxide y.min=0 y.max=0.051 x.min=-0.011 x.max=0.011 z.min=-
0.015 z.max=0.015 num=6
region mat=silicon y.min=0 y.max=0.050 x.min=-0.010 x.max=0.010
num=7
region mat=aluminum y.min=0 y.max=0.050 x.min=-0.010 x.max=0.010
z.max=-0.050 num=8
region mat=aluminum y.min=0 y.max=0.050 x.min=-0.010 x.max=0.010
z.min=0.050 num=9
#Задання електродів МОН-транзистору - затвор, стік, витік
electrode name=gate reg=4
electrode name=drain reg=8
electrode name=source reg=9
#підвід значення EWF до необхідної провідності
material region=4 affinity=-0.1
#задання профілю домішок, кожна з команд використовується для
відповідної площини сітки
#змінна і відповідає за вибір площини по осі Y, ці значення мають
"попадати" в лінії сітки

```

#попередньо легується весь канал основною домішкою, потім формуються підконтактні зони

```
doping uniform p.type conc=5e15 reg=7
```

```
set i=0.000
```

```
loop steps=51
```

```
doping gauss n.type conc=5e17 reg=7 dir=y z.min=-0.050 z.max=-0.030 peak=$i
```

```
doping gauss n.type conc=5e17 reg=7 dir=y z.min=0.030 z.max=0.050 peak=$i
```

```
set i=$i+0.001
```

```
l.end
```

```
struct outf=cmos_n2.str
```

2.3. Моделювання електричних параметрів

На рис. 2.3 наведено якісну передавальну вольт-амперну характеристику (ВАХ) та відповідну логарифмічну характеристику для визначення робочих параметрів транзисторів (порогова напруга V_t , допороговий розкид SS , струм «вмикання» I_{on} , струм витоків I_{off} та коефіцієнт підсилення I_{on}/I_{off} та інші).

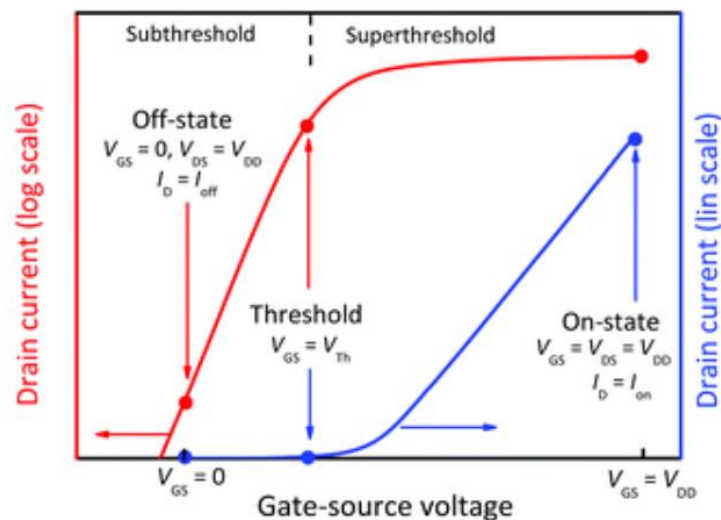


Рис.2.3. Передавальна ВАХ польового транзистора в нормальних та логарифмічних координатах

Враховуючи розмірність досліджуваних структур, концентраційні розподіли домішок та температурну залежність фізичні особливості транспорту заряду враховувались за допомогою відповідних операторів: `models fermi cvt srh`. Параметр `fermi` дозволяє враховувати дифузійно-дрейфовий транспорт заряду в рамках статистики Фермі-Дірака, `cvt` особливості рухливості інверсійного шару, `srh` рекомбінаційні механізми Шоклі-Рід-Холла.

Синтаксис коду для моделювання ВАХ та електричних параметрів наведено нижче. Зміна температури регулюється оператором `temperature`.

```
#Командний файл моделювання для ВАХ n-структур
#задання напруг
set LV=0.1
set HV=1.2
set Vg_init=0
set Vg_step=0.1
set Vg_final=1.2
go atlas
mesh inf=cmos_n2.str
#визначення моделей та методів
models consrh conmob fldmob e0=40 evsatmode=1 hvsatmode=1 cvt fermi bgn
print numcarr=2 temperature=340
impact crowell lamdae=6.2e7 lamdah=3.8e7
mobility  bn.cvt=4.75e7  bp.cvt=9.925e6  cn.cvt=1.74e5  cp.cvt=8.842e5
taun.cvt=0.125  taup.cvt=0.0317  gamn.cvt=2.5  gamp.cvt=2.2  mu0n.cvt=52.2
mu0p.cvt=44.9  mu1n.cvt=43.4  mu1p.cvt=29.0  mumaxn.cvt=1417.0
mumaxp.cvt=470.5  crn.cvt=9.68e16  crp.cvt=2.23e17  csn.cvt=3.43e20
csp.cvt=6.10e20  alphn.cvt=0.680  alphp.cvt=0.71  betan.cvt=2.0  betap.cvt=2.0
pcn.cvt=0.0  pcp.cvt=0.23e16  deln.cvt=5.82e14  delp.cvt=2.0546e14
method newton gummel itlimit=40 trap atrap=0.5 maxtrap=2 autonr
nrccriterion=0.1  tol.time=5e-3  dt.min=1e-25  damped  delta=0.5  damploop=10
dfactor=10.0 iccg lu1cri=3e3 lu2cri=3e2 maxinner=25
```

```

#низьковольтна ВАХ
solve init
solve vdrain=$LV
log outf=n2_LV_340.log
solve name=gate vgate=$Vg_init vstep=$Vg_step vfinal=$Vg_final
# порогова та підпорогова напруга
extract      name="n2_vt_340"      (xintercept(maxslope(curve(abs(v."gate"),
abs(i."drain")))) - abs(ave(v."drain"))/2.0) outfile="n2_vt.dat"
extract      name="n2_subvt_340"    1.0/slope(maxslope(curve(abs(v."gate"),
log10(abs(i."drain"))))) outfile="n2_svt.dat"
log off
# високовольтна ВАХ
solve init
solve vdrain=$HV
log outf=n2_HV_340.log
solve name=gate vgate=$Vg_init vstep=$Vg_step vfinal=$Vg_final
# струми відкритої та закритої структури, їх відношення
extract      name="n2_hvt_340"     (xintercept(maxslope(curve(abs(v."gate"),
abs(i."drain")))) - abs(ave(v."drain"))/2.0) outfile="n2_hvt.dat"
extract name="n2_i_on_340" max(abs(i."drain")) outfile="n2_i_on.dat"
extract name="n2_i_off_340" min(abs(i."drain")) outfile="n2_i_off.dat"
extract name="n2_i_ratio_340" ($n2_i_on)/($n2_i_off) outfile="n2_i_ratio.dat"
extract name="n2_dibl_340" ($n2_hvt-$n2_vt)/($HV-$LV) outfile="n2_dibl.dat"
log off
quit

```

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура польового транзистора із Fin-каналом

На рис.3.1 приведено структуру FinFET n-типу провідності із затвором Tri Gate (TG). Вхідні дані усіх матеріалів взяті із бібліотек Silvaco TCAD [38]. TiN був використаний як матеріал затвору. Al електроди витоку та стоку розташовані на торцях каналу. Канал транзистора мав довжину 100 нм, висоту 50 нм та ширину 20 нм. Ефективна робота виходу TiN електрода затвору становила 4,45eВ [33]. Як high-k діелектрик було взято HfO₂ (k = 22) товщиною 2 нм. Бар'єрний шар SiO₂ під high-k діелектриком мав товщину 1 нм.

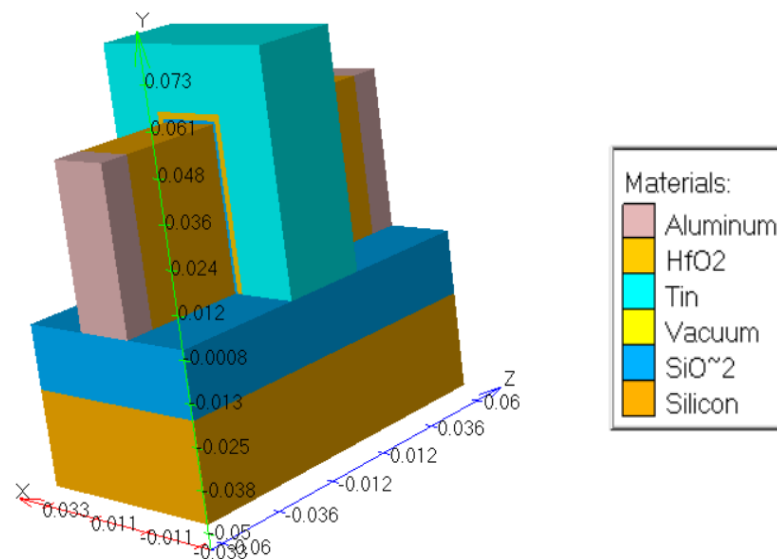


Рис. 3.1. Геометрія структури TG FinFET

Концентраційний розподіл донорної домішки в каналі транзистора наведено на рис.3.2. При проектуванні було використано наступну конфігурацію профілів легування каналу: в об'ємі каналу концентрація акцепторної домішки становила $5 \cdot 10^{15} \text{ см}^{-3}$; у приконтатні області витоку та стоку була введена донорна домішка більш високої концентрації $5 \cdot 10^{17} \text{ см}^{-3}$.

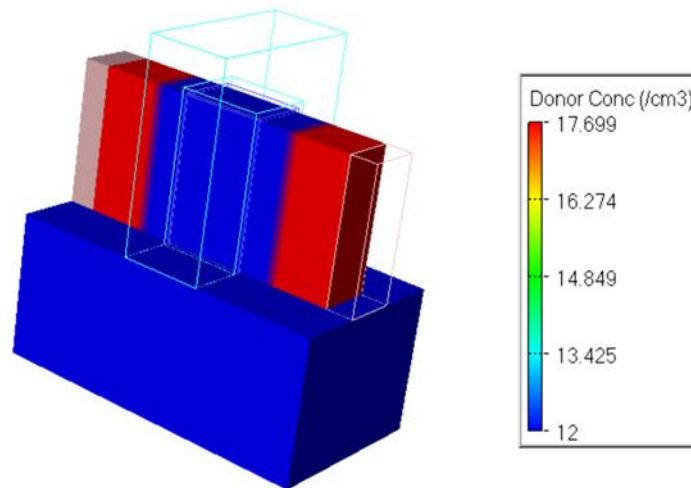
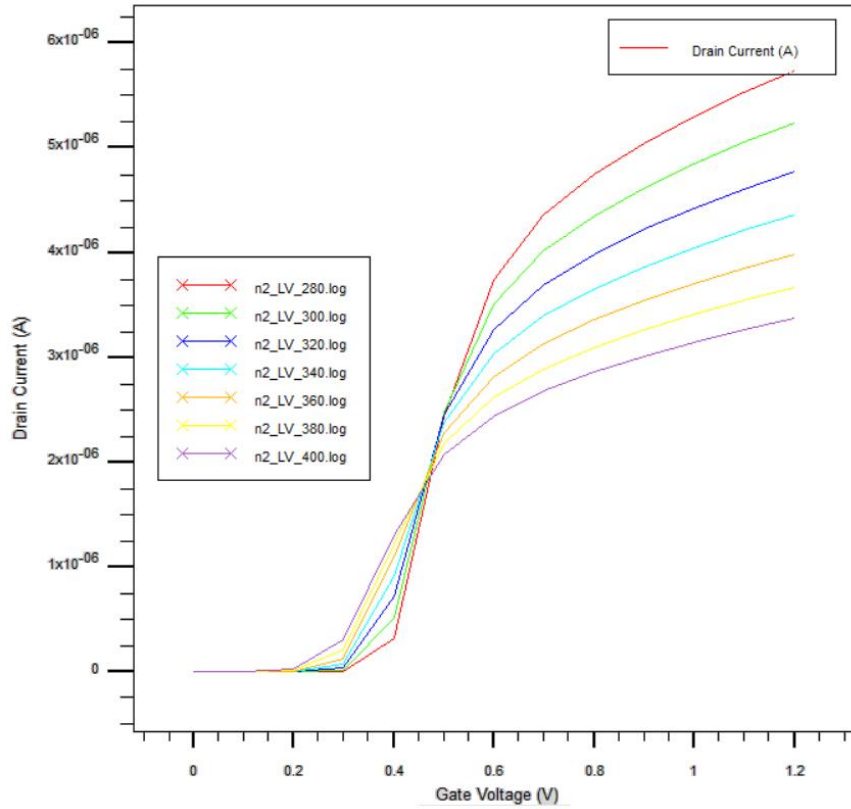


Рис. 3.2. Концентраційний розподіл домішки в каналі TG FinFET

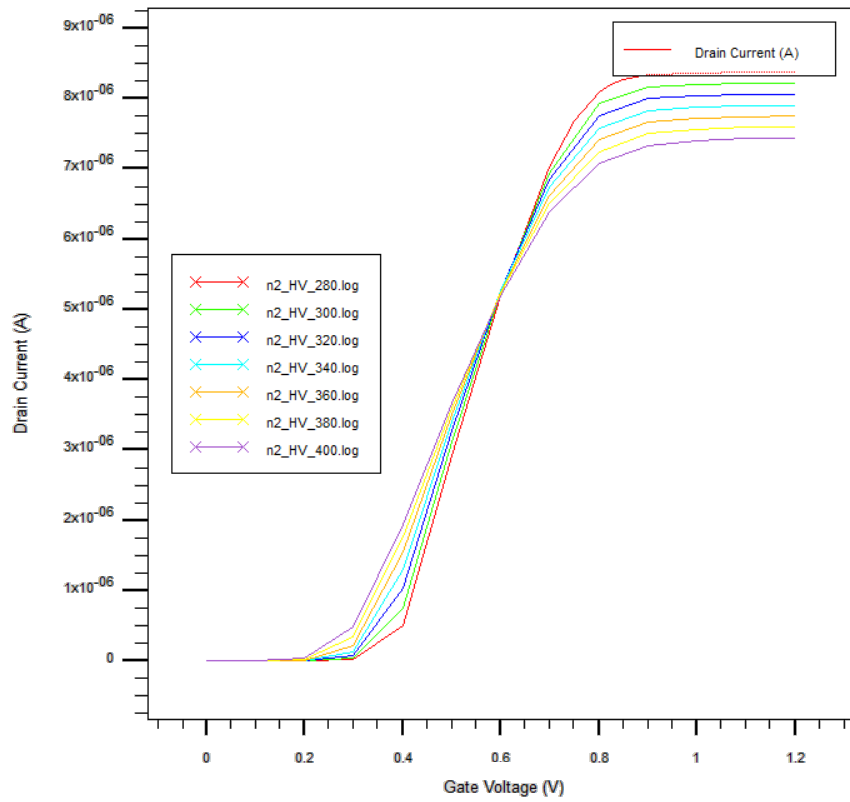
Аналіз електричних параметрів для спроектованих структур TG FinFET отриманих на основі відповідних передавальних та вихідних вольт-амперних характеристик (ВАХ) при різних температурах наведено в наступному підрозділі.

3.2. Температурні залежності робочих характеристик

Типові залежності сили струму витік-стік I_{DS} від напруги на затворі V_{GS} при температурах 280 К, 300 К, 340 К, 360 К, 380 К та 400 К для вертикального польового транзистора n-типу з Fin-каналом для фіксованих значень напруг витік-стік $V_{DS} = 0,1$ В та $V_{DS} = 1,2$ В відповідно приведені на рис. 3.3а,б. З підвищенням температури крутизна (нахил) характеристики зменшується, а порогова напруга V_t зменшується, і виникає точка (термостабільна точка), в якій компенсуються протилежні ефекти, а струм через канал (струм стоку) залишається незмінним. У випадку пропонованих конструкцій положення цієї точки знаходиться близько до таких значень: $I_{DS}=1,9 \cdot 10^{-6}$ А, $V_{GS} = 0,47$ В ($V_{DS} = 0,1$ В) і $I_{DS}=5,1 \cdot 10^{-6}$ А, $V_{GS} = 0,60$ В ($V_{DS} = 1,2$ В).



а



б

Рис. 3.3. Передавальні характеристики TG FinFET при різних температурах та фіксованій напрузі $V_{DS} = 0,1$ В (а) та $V_{DS} = 1,2$ В (б)

Температурні залежності робочих характеристик FinFET визначаються температурною залежністю рухливості носіїв заряду в напівпровіднику, перерозподілом носіїв заряду за енергією та зсувом рівня Фермі, температурною залежністю діелектрика, що відділяє затвор від каналу. Зокрема, з підвищенням температури рухливість у напівпровіднику зменшується, що викликає збільшення опору каналу та падіння струму через нього. Поряд з цим, перерозподіл носіїв заряду за енергіями і зміщення рівня Фермі напівпровідника призводить до того, що індукований канал утворюється поблизу поверхні напівпровідника під затвором при меншій напруженості електричного поля, тобто при нижчій пороговій напрузі [39].

Виходячи із таких даних за допомогою симулятора ATLAS було визначено основні електричні параметри: порогова напруга V_t , допороговий розкид SS , струм «вмикання» I_{on} , струм витoku I_{off} та коефіцієнт підсилення I_{on}/I_{off} . Електричні параметри при значеннях напруги «стік-витік» $V_{DS} = 0,1$ В приведені в таблиці 3.1.

Таблиця 3.1

Температурні залежності електричних параметрів TG FinFET

Параметр	Робоча температура, К						
	280	300	320	340	360	380	400
V_t , мВ	334,91	323,88	308,28	286,79	257,99	229,63	219,61
SS , мВ/декаду	59,67	64,00	68,37	72,77	77,22	81,72	86,28
$I_{off} \times 10^{12}$, А	0,25	1,15	4,49	15,01	44,14	116,32	279,09
$I_{on} \times 10^6$, А	8,37	8,21	8,05	7,90	7,74	7,59	7,43
$(I_{on}/I_{off}) \times 10^{-5}$	334,80	71,39	17,93	5,26	1,75	0,67	0,26

Слід зазначити, що при температурі $T = 300$ К значення V_t і SS становили 323,88 мВ та 64,0 мВ/декаду відповідно. Значення коефіцієнтів струмів I_{on} , I_{off} та I_{on}/I_{off} становили $8,21 \cdot 10^{-6}$ А, $1,15 \cdot 10^{-12}$ А та $26,5 \cdot 10^6$ відповідно. Показано їх відмінні електричні характеристики, зокрема отримано дійсні значення порогової напруги V_t , струму витoku I_{off} та коефіцієнта I_{on}/I_{off} , допорогового розсіювання SS . При фіксованій напрузі стоку 0,1 В подальше підвищення температури в діапазоні від 280 К до 400 К призводить до зменшення порогової напруги V_t на 34,4 %, збільшення підпорогового розсіювання SS на 44,6 %, зменшення струму «включення» на 11,2 %.

Для визначення температурних коефіцієнтів базових електричних параметрів FET's транзисторів можуть бути використані наступні рівняння:

– на основі температурної залежності величин V_t і SS їх температурні коефіцієнти можна розрахувати на основі відповідних співвідношень

$$\beta_{V_t} = \frac{V_t(T) - V_t(300)}{V_t(300)(T - 300)} \quad (3.1)$$

та

$$\beta_{SS} = \frac{SS(T) - SS(300)}{SS(300)(T - 300)}; \quad (3.2)$$

– температурні коефіцієнти струму «вмикання» I_{on} і струму витoku I_{off} також можна визначити за відповідними співвідношеннями:

$$\beta_{I_{on}} = \frac{I_{on}(T) - I_{on}(300)}{I_{on}(300)(T - 300)} \quad (3.3)$$

та

$$\beta_{I_{off}} = \frac{I_{off}(T) - I_{off}(300)}{I_{off}(300)(T - 300)}. \quad (3.4)$$

На основі рівнянь (3.1)-(3.4) в інтервалі температур від 300 К до 400 К температурні коефіцієнти β_{V_t} , β_{SS} та $\beta_{I_{on}}$ становили відповідно $-3,21 \times 10^{-3} \text{ K}^{-1}$, $3,48 \times 10^{-3} \text{ K}^{-1}$, $-0,95 \times 10^{-3} \text{ K}^{-1}$. Внаслідок експоненціального збільшення величини струму витoku при заданих температурах розрахунок $\beta_{I_{off}}$ не проводився.

Отримані дані про величини температурних коефіцієнтів добре узгоджуються з експериментальними даними для транзисторів з каналом Si. Слід відмітити, що квантові ефекти в транспортних моделях не були враховані, оскільки товщина каналу досліджуваного транзистора становила 20 нм, а концентрація домішок в каналі $5 \cdot 10^{15} \text{ см}^{-3}$ та приконтактних областях витoku та стоку $5 \cdot 10^{17} \text{ см}^{-3}$.

Температурні залежностей для величин струму «вмикання» I_{on} та струму витoku I_{off} мають типовий характер для польових транзисторів [39-41]. Також спостерігається відповідне зменшення та збільшення величин порогової напруги V_t та допорогового розкиду SS із зростанням температури. Це узгоджується із відомими результатами отриманими

ВИСНОВКИ

1. Розглянуто розвиток технологій виготовлення польових транзисторів. Показано, що структура FinFET користуються значною увагою завдяки її здатності до зменшення ефектів короткого каналу, зменшення паразитних ємностей (зниження бар'єру, викликаного стоком), відмінної масштабованості, термостійкості, тощо.

2. При використанні інструментів Silvaco TCAD було спроектовано структуру TG FinFET та досліджені її електричні параметри. У рамках дрейф-дифузійної транспортної моделі продемонстровано відмінні характеристики для 3D транзисторів, зокрема було отримано допустимі значення величини порогової напруги (V_t), допорогового розкиду (SS), струму «вмикання» I_{on} та струму витоку I_{off} , коефіцієнта підсилення I_{on}/I_{off} .

3. При малих напругах зміщення отримано типовий характер температурних залежностей для FinFET, зокрема при напрузі зміщення $V_{DS} = 0,1$ В величини порогової напруги V_t та допорогового розкиду SS зменшуються на 34,4 % та збільшуються 44,6 % відповідно із зростанням температури в інтервалі від 280 до 400 К, що може бути пов'язане із зростанням струму витоку.

4. Термічна стійкість TG FinFET була оцінена за допомогою температурних коефіцієнтів β_{V_t} , β_{SS} та $\beta_{I_{on}}$ які при напрузі зміщення $V_{DS} = 0,1$ В в інтервалі температур від 280 до 400 К становили відповідно $-3,21 \times 10^{-3} \text{ K}^{-1}$, $3,48 \times 10^{-3} \text{ K}^{-1}$ та $-0,95 \times 10^{-3} \text{ K}^{-1}$, зафіксовано типове для напівпровідникових приладів експоненціальне збільшення струму витоку при підвищених температурах. Подібний характер отриманих залежностей вважається типовим та свідчать про термостійкість електричних параметрів досліджуваних нами транзисторів в інтервалі робочих температур.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

Література

1. Hu C. Modern semiconductor devices for integrated circuits / C. Hu. – Upper Saddle River, N.J. ; London : Pearson Education, 2010. – 351 p.
2. 3D investigation of 8-nm tapered n-FinFET model / N. Boukortt, S. Patané, G. Crupi // Silicon. – 2019. – V.11. – P.00253-1–00253-7.
3. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / N. Boukortt, B. Hadri, S. Patané at al. // Silicon. – 2017. – V. 9. – P. 885-894.
4. BSIM-CMG compact model for IC CAD: from FinFET to Gate-All-Around FET technology / A. Dasgupta, C. Hu // J. Microelectron. Manuf. –2020. – V. 3(4). – P. 20030402.
5. BSIM compact model for quantum confinement in advanced nanosheet FETs” / A. Dasgupta, S. S. Parihar, P. Kushwaha at al. // IEEE Transactions on Electron Devices. – 2020. – V. 67, No 2. – P. 730-737.
6. Готра З.Ю. Технологія електронної техніки: навч. посібник: у 2 т. /З.Ю.Готра. – Львів: Вид-во Національного університету «Львівська політехніка», 2010. – Т.1. – 888 с.
7. Закалик Л. І. Основи мікроелектроніки: навч. посібник. / Л.І. Закалик, Р.А. Ткачук.– Тернопіль: ТДТУ ім. І. Пулюя, 1998. –352 с.
8. Прищепа М. М. Мікроелектроніка: в 3 ч. Ч.1. Елементи мікроелектроніки : навч. посіб. / М. М. Прищепа, В. П. Погребняк ; за ред. М. М. Прищепи. – К.: Вища шк., 2004. – 431 с.
9. Опанасюк Н. М. Технологічні основи електроніки (практикуми) : навч. посіб. / Н. М. Опанасюк, Л. В. Однорець, А. О. Степаненко. – Суми : СумДУ, 2013. – 105 с.
10. Павлов С. М. Основи мікроелектроніки : навч. посіб. / С. М. Павлов. – Вінниця : ВНТУ, 2010. – 224 с.

11. Михайлін В. М. Технологічні основи електроніки: консп. лекцій / В. М. Михайлін. – Запоріжжя : ЗДІА, 2005. – 104 с.
12. Парфенов О. Д. Технология микросхем / О. Д. Парфенов. – Москва : Высш. шк., 1986. – 320 с.
13. Березин А. С. Технология и конструирование интегральных микросхем / А. С. Березин, О. Р. Мочалкина. – Москва : Радио и связь, 1992. – 320 с.
14. <https://www.electronics-tutorials.ws/> — навчальний довідник, дата доступу: 17.02.2021
15. Soft error susceptibilities of 22 nm tri-gate devices / N. Seifert, B. Gill, S. Jahinuzzaman et al. // IEEE Trans. Nucl. Sci. – 2012. – V.59, No 6. – P. 2666-2673.
16. Dual metal gate FinFET integration by Ta/Mo diffusion technology for Vt reduction and multi-Vt CMOS application / Matsukawa T., Endo K., Liu Y. // Sol. State Electron. – 2009. – V. 53. – P. 701-705.
17. Metal gate work function modulation mechanisms for 20-14 nm CMOS low thermal budget integration / B. Saidi // Materials Science. Universite Toulouse III – Paul Sabatier, 2014. – 158 p.
18. The Effect of Fin Structure in 5 nm FinFET Technology / E.Shang, Y.Ding, W. Chen et al. // J. Microelectron. Manuf. – 2019. – V. 2. – P. 19020405-1 – 19020405-4.
19. Effects of work-function variation on performance of junctionless and inversion-mode dual-metal gate nanowire transistors / L. Dai, W. Li, M.Lin // JSTS. – 2020. – V. 20, № 4. – P. 349-356.
20. Impact of work-function variation on analog figures-of-merits for high-k/metal-gate junctionless FinFET and gate-all-around nanowire MOSFET / W.-F. Li, L. Dai // Microelectron. J. – 2019. – V. 84. – P. 54-58.
21. Investigation of Nanostructure Phase Composition and Field Emission Properties in the Ge/Si (100) System / S.A. Nepijko, A.A. Sapozhnik, A.G. Naumovets et al. // J. Nano- Electron. Phys. – 2016. – V.8, No 4(2). – P. 04067-1 – 04067-4.

22. Coherently strained Si–Si_xGe_{1-x} core–shell nanowire heterostructures / D.C. Dillen, F. Wen, K. Kim et al. // *Nano Lett.* – 2016. – V. 16, № 1. – P. 392–398.
23. First demonstration of novel vertical gate-all-around field-effect-transistors featured by self-aligned and replaced high- κ metal gates / C. Li, H. Zhu, Y. Zang et al. // *Nano Lett.* – 2021. – V. 21, No 11. – P. 4730-4737.
24. Проценко І. Ю. Наноматеріали і нанотехнології в електроніці : підручник / І. Ю. Проценко, Н. І. Шумакова. – Суми : Сумський державний університет, 2017. – 151 с.
25. Promises and prospects of two-dimensional transistors / Y. Liu, X. Duan, H.J. Shin et al. // *Nature.* – 2021. – V. 591. – P. 43–53.
26. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // *Appl. Sci.* – 2019. – V. 9. – P.3163-3172.
27. Wu Y.C. 3D TCAD simulation for CMOS nanoelectronic devices / Y.C. Wu, Y.R. Jhan. – Singapore: Springer Nature Singapore Pte Ltd, 2018. – 337 p.
28. DFT based estimation of CNT parameters and simulation-study of GAA CNTFET for nano scale applications / B. Singh, P. B, D. Kumar // *Mater. Res. Express.* – 2020. – V.7. – P. 015916-1 – 015916-8.
29. Effective Bohm Quantum Potential for device simulators based on drift-diffusion and energy transport / G. Iannaccone, G. Curatola, G. Fiori // *Proceedings of the International Conference on the Simulation of Semiconductor Processes and Devices (SISPAD) 2004.* – Vienna: Springer, 2004. – P.275-278.
30. Datta S. Lessons from Nanoelectronics: A New Perspective on Transport – Part B: Quantum Transport / S. Datta – Singapore: World Scientific, 2018 – 260 p.
31. Lundstrom M. Fundamentals of Nanotransistors / M. Lundstrom – Singapore: World Scientific, 2018. – 342 p.
32. DeckBuild User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018. – 241 p.
33. ATLAS user's manual device simulation software / Silvaco. – Santa Clara: Silvaco International, 2018 – 1776 p.

34. ATHENA User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018 – 444 p.
35. Приладаво-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / І.П. Бурик, А.О. Головня, М.М. Іващенко // Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.
36. Денисенко В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике / В.В. Денисенко. – М.: ФИЗМАТЛИТ, 2010. – 408 с.
37. Арсентьев А.В. Математическое моделирование технологических процессов и интегральных схем: лабораторный практикум / А.В. Арсентьев, Е.Ю. Плотникова. Воронеж: ФГБОУ ВО «Воронежский государственный технический университет», 2016. – 138 с.
38. <https://silvaco.co.kr/examples> – Silvaco, TCAD Examples, дата доступу: 20.05.2022 р.
39. Buryk I.P. Numerical simulation of FinFET transistors parameters/ I.P Buryk, A.O. Golovnia, M.M. Ivashchenko et al. // J. Nano- Electron. Phys. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.
40. Numerical simulation of field-effect transistor GAA SiNWFET parameters based on nanowires / I.P. Buryk, M.M. Ivashchenko, A.O. Holovnia et al. // J. Nano- Electron. Phys. – 2020. – V. 12, No 6. – P. 06012-1 – P. 06012-4.
41. Numerical simulation of field-effect transistor with a channel in the form of a nanowire / I.P. Buryk, A.O. Holovnia, I.M. Martynenko et al. // J. Nano- Electron. Phys. – 2021. – V.13, No 4. – P. 04030-1 – 04030-5.

ДОДАТОК А

ПРЕЗЕНТАЦІЯ ДО РОБОТИ



МІНІСТЕРСТВО ОСВІТИ І НАУКИ КРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
КОНОТОПСЬКИЙ ІНСТИТУТ

Кафедра електронних
приладів і автоматики

Кваліфікаційна робота бакалавра

**ЧИСЛОВЕ МОДЕЛЮВАННЯ ВПЛИВУ
ТЕМПЕРАТУРИ НА ПАРАМЕТРИ FINFET'S**

Студент гр. ЕІ.-81

М.В. Пастушенко

Науковий керівник,
к. ф.-м. н, доцент

І.П. Бурик

Конотоп 2022

ВСТУП

Об'єктом дослідження кваліфікаційної роботи є транспорт носіїв заряду в структурах FinFET з кремнієвим каналом.

Мета роботи полягає у дослідженні впливу температури на продуктивність FinFET з кремнієвим каналом.

У результаті проведених досліджень у програмному середовищі Silvaco TCAD було виконано моделювання структури FinFET, набуто навичок роботи з транспортними моделями, зроблено висновки про особливості робочих характеристик сучасних польових транзисторів.

Робота складається із вступу, трьох розділів основної частини та висновків. У першому розділі наведено огляд розвитку технологій виготовлення польових транзисторів. У другому розділі розглядається методика моделювання структури FinFET з кремнієвим каналом та її робочих характеристик за допомогою програмного пакету Silvaco TCAD. У третьому розділі були спроектовані тривимірні структури та досліджені на вплив температури на їх продуктивність, отримані результати свідчать про високу термічну стійкість електричних параметрів FinFET з кремнієвим каналом.

РОЗДІЛ 1. ОСОБЛИВОСТІ ТЕХНОЛОГІЙ ВИГОТОВЛЕННЯ ПОЛЬОВИХ ТРАНЗИСТОРІВ

1.1. Польовий транзистор метал-оксид-напівпровідник

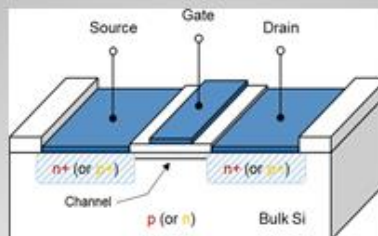


Рис.1.1. Принципова схема n- (або p-) канального МОН транзистора: Source - витік; Drain - стік; Gate - затвор

1.2. Транзисторні структури FinFET

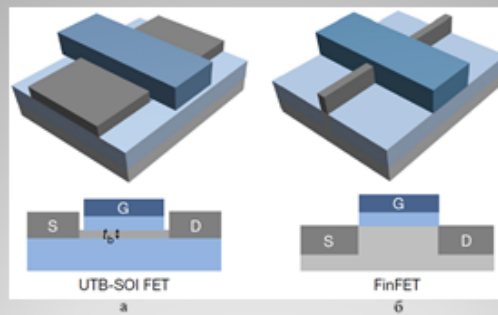


Рис.1.2. Схематичні зображення транзисторних структур з ультратонким каналом (а) та FinFET (б). Світло-сірий, темно-сірий, світло-блакитний і темно-синій представляють об'ємний напівпровідник, область контакту з легованими речовинами, оксидний і затворний електрод, відповідно

РОЗДІЛ 2 МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ**2.1. Методика чисельного моделювання в Silvaco TCAD**

Рис. 2.1. Блок-схема засобів Silvaco TCAD

2.2. Моделювання електричних параметрів

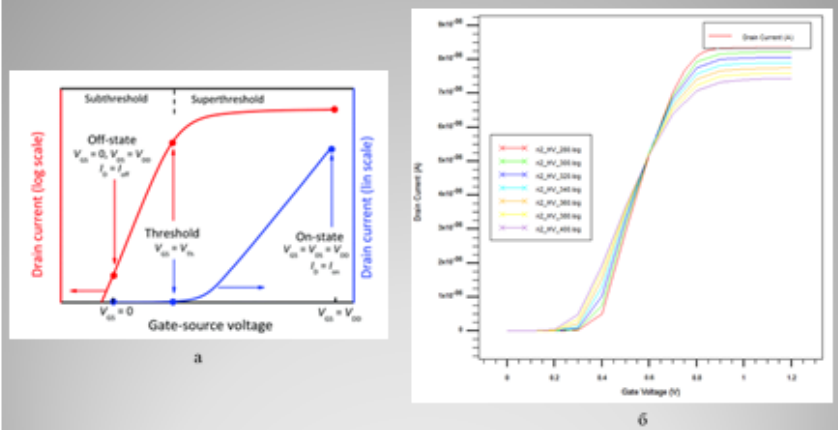


Рис.2.2. Якісні (а) та змодельовані (б) передавальні ВАХ польового транзистора з кремнієвим каналом

3.1. Структура польового транзистора із Fin-каналом

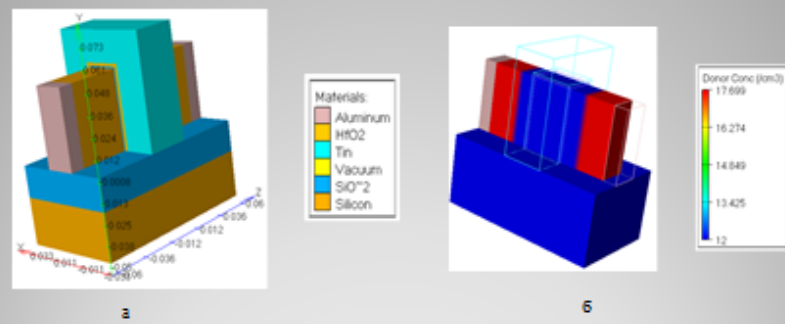
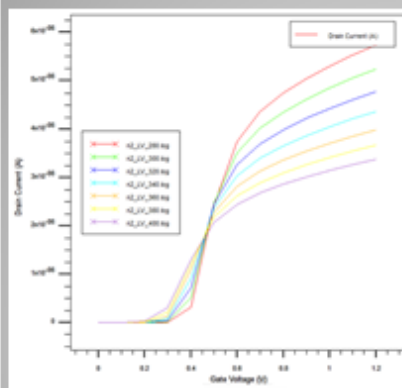


Рис.3.1. Геометрія структури TG FinFET (а) та концентраційний розподіл домішки в каналі (б)

3.2. Температурні залежності робочих характеристик



Таблиця 3.1
Температурні залежності електричних параметрів TG FinFET

Параметр	Робоча температура, К						
	200	300	320	340	360	380	400
I_D , мВ	334,91	321,88	308,28	286,79	257,99	229,63	219,61
SS , мВ/декаду	59,67	64,00	68,37	72,77	77,22	81,72	86,28
I_{D^*} , А	0,25	1,15	4,69	15,01	44,14	116,32	279,09
I_{D^*} , А	8,37	8,21	8,05	7,90	7,74	7,59	7,43
$dI_{D^*}/dV_g = 10^7$	334,80	71,39	17,93	5,26	1,75	0,67	0,26

Рис.3.2. Передавальні характеристики TG FinFET при різних температурах та фіксованій напрузі $V_{DS} = 0,1$ В

ВИСНОВКИ

1. Розглянуто розвиток технологій виготовлення польових транзисторів. Показано, що структура FinFET користується значною увагою завдяки її здатності до зменшення ефектів короткого каналу, зменшення паразитних ємностей (зникнення бар'єру, викликаного стоєм), відмінної масштабованості, термостійкості, тощо.
2. При використанні інструментів Silvaco TCAD було спроектовано структуру TG FinFET та досліджені її електричні параметри. У рамках дрейф-дифузійної транспортної моделі продемонстровано відмінні характеристики для 3D транзисторів, зокрема було отримано допустимі значення величини порогової напруги (V_t), допорогового розкиду (SS), струму «вмикання» I_{on} та струму витoku I_{off} , коефіцієнта підсилення I_{on}/I_{off} .
3. При малих напругах зміщення отримано типовий характер температурних залежностей для FinFET, зокрема при напрузі зміщення $V_{DS} = 0,1$ В величини порогової напруги V_t та допорогового розкиду SS зменшуються на 34,4 % та збільшуються 44,6 % відповідно із зростанням температури в інтервалі від 280 до 400 К, що може бути пов'язане із зростанням струму витoku.
4. Термічна стійкість TG FinFET була оцінена за допомогою температурних коефіцієнтів β_{V_t} , β_{SS} та $\beta_{I_{on}}$ які при напрузі зміщення $V_{DS} = 0,1$ В в інтервалі температур від 280 до 400 К становили відповідно $-3,21 \cdot 10^{-3} \text{ K}^{-1}$, $3,48 \cdot 10^{-3} \text{ K}^{-1}$ та $-0,95 \cdot 10^{-3} \text{ K}^{-1}$, зафіксовано типове для напівпровідникових приладів експоненціальне збільшення струму витoku при підвищених температурах. Подібний характер отриманих залежностей вважається типовим та свідчать про термостійкість електричних параметрів досліджуваних нами транзисторів в інтервалі робочих температур.