

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Сумський державний університет

Класичний фаховий коледж

(повна назва інституту/факультету)

(повна назва кафедри)

«До захисту допущено»

(підпис)

(Ім'я та ПРІЗВИЩЕ)

20__ р.

КВАЛІФІКАЦІЙНА РОБОТА

на здобуття освітнього ступеня бакалавр

(бакалавр / магістр)

зі спеціальності 171Електроніка

(код та назва)

освітньо-професійної програми Електронні інформаційні системи

(освітньо-професійної / освітньо-наукової)

(назва програми)

на тему: Комп'ютерне моделювання та застосування одновимірних польових транзисторів

Здобувача групи

EI-016

(шифр групи)

Олефіренко Владислав Віталійович

(прізвище, ім'я, по батькові)

Кваліфікаційна робота містить результати власних досліджень. Використання ідей, результатів і текстів інших авторів мають посилання на відповідне джерело.

(підпис)

Владислав ОЛЕФІРЕНКО

(Ім'я та ПРІЗВИЩЕ здобувача)

Керівник викладач, к.ф.-м.н., доцент, Іван БУРИК

(посада, науковий ступінь, вчене звання, ім'я та ПРІЗВИЩЕ)

(підпис)

Консультант¹⁾

(посада, науковий ступінь, вчене звання ім'я та ПРІЗВИЩЕ)

(підпис)

АНОТАЦІЯ

Обґрунтуванням актуальності теми є використання польових транзисторів з каналами у вигляді нанодротів карбїду кремнію для наноелектроніки, а також застосування одновимірних структур для покращення продуктивності та функціональності електронних пристроїв.

Мета роботи полягає у комп'ютерному моделюванні структури та характеристик польових транзисторів із каналом у вигляді нанодротів карбїду кремнію для вивчення їх температурних характеристик та застосування для електронних пристроїв.

Відповідно до мети, вирішувалися такі задачі:

- вивчення комп'ютерних моделей, які враховують особливості транспорту носіїв в польових транзисторах із каналами у вигляді нанодротів карбїду кремнію;
- аналіз температурних залежностей робочих характеристик польових транзисторів із каналами у вигляді нанодротів карбїду кремнію

Для досягнення цієї мети були використані методи комп'ютерного моделювання у програмному середовищі Silvaco TCAD.

У роботі розглядаються технологічні виклики, пов'язані з виробництвом та інтеграцією нанодротів карбїду кремнію в електронні пристрої, а також можливі шляхи подолання цих викликів. Досліджується використання одновимірних структур для реалізації низькоенергетичних пристроїв, що можуть забезпечити покращену функціональність та ефективність.

Робота викладена на 34 сторінках, у тому числі включає 12 рисунків, 1 таблиця, список цитованої літератури із 38 джерел.

КЛЮЧОВІ СЛОВА: нанодріт, польовий транзистор, комп'ютерна симуляція, електричні параметри

ЗМІСТ

ВСТУП	5
РОЗДІЛ 1. ОГЛЯД ТРАНЗИСТОРІВ ІЗ КАНАЛОМ У ВИГЛЯДІ НАНОДРОТІВ	6
1.1. Застосування карбіду кремнію в мікроелектроніці	6
1.2. Характеристики транзисторних циліндричних структур	9
1.3. Особливості технології формування структур SiC-NWFET	12
РОЗДІЛ 2. МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ	15
2.1. Методика приладно-технологічного моделювання	15
2.2. Порядок створення структурної моделі та вхідні дані	18
РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ	20
3.1. Структура та електричні характеристики SiC-NWFET	20
3.2. Технології формування та морфологія нанодротів	24
ВИСНОВКИ	29
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	30
ДОДАТОК А. СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ	34

ВСТУП

Останніми роками промисловість мікроелектроніки, заснована на кремнії, пройшла швидкий розвиток завдяки постійному зменшенню розміру елементів транзисторів. Цей процес дозволив збільшити кількість транзисторів у мікросхемах. Проте сучасний процес масштабування стикається з проблемами, зокрема з тепловим нагрівом, що виникає під час логічного перемикавання. Це обумовлено проблемами з розсіюванням потужності, оскільки масштабування польових транзисторів (FET – field effect transistor) обмежене мінімальними значеннями робочої напруги, які тісно пов'язані з їхнім механізмом перемикавання. Для подолання цих перешкод була розроблена нова фізика та нові підходи до матеріалів, що стосуються роботи FET [1].

Один зі способів включає обмеження розмірів каналу пристрою до одного виміру за допомогою нанодротів (NW - nanowires), використовуючи переваги їх покращених електричних і оптичних властивостей порівняно з масивними матеріалами [1-5]. Напівпровідникові NW викликали значний інтерес, оскільки вони можуть функціонувати як активні компоненти пристроїв (наприклад, канали у польових транзисторах), а також як з'єднувальні елементи. Таким чином, вони мають потенціал забезпечувати дві ключові функції у будь-якій інтегрованій наноелектронній системі. Підхід NW дозволяє створити коаксіальну геометрію затвор-діелектричний канал, що забезпечує відмінний електростатичний контроль і, отже, може призвести до тривалого зменшення масштабу, яке перевищує можливості планарної технології. Крім того, одновимірний характер перенесення носіїв передбачає зменшений фазовий простір для розсіювання носіїв і відкриває можливість балістичного транспорту або, принаймні, зменшення розсіювання потужності та підвищення значень мобільності носіїв. Важливо відзначити, що низька одновимірна щільність станів разом із зниженням енергії дозволяє досягти межі квантової ємності та концепції від'ємної ємності за межами CMOS (complementary metal oxide semiconductors).

РОЗДІЛ 1

ОГЛЯД ТРАНЗИСТОРІВ ІЗ КАНАЛОМ У ВИГЛЯДІ НАНОДРОТІВ

1.1. Застосування карбіду кремнію в мікроелектроніці

Вимоги до нових електронних пристроїв, які можуть працювати на високих частотах і в умовах високої корозії, спонукали до досліджень матеріалів високої жорсткості з підвищеною теплопровідністю для заміни аналогів на основі Si. Ефективне відведення тепла за допомогою термічного керування матеріалами для уникнення термічної відмови стало одним із найбільш критичних завдань у розробці сучасних мікроелектронних пристроїв. Тепловий транспорт є ключовим фактором у багатьох технологічних застосуваннях, таких як термоелектрика та теплове розсіювання, і важливий для фізичного розуміння унікального фононного транспорту та фонон-електронів, що виникають у низькорозмірних наноматеріалах. В інтегральних схемах велика кількість теплової енергії, що генерується, призводить до високої локальної температури, що робить необхідним розробку матеріалів з високою теплопровідністю, які б діяли як теплові канали для відведення тепла від схем.

Вже століття тому експерименти Г. Дж. Раунда продемонстрували величезний технологічний потенціал SiC [2-4] як напівпровідникового матеріалу з широкою забороненою зоною. У 90-х роках матеріал SiC вже вважався альтернативою мікроелектроніки Si для конкретних застосувань завдяки своїм властивостям, таким як висока потужність, температура та частота. Серед властивостей SiC варто відзначити широку заборонену зону енергії, високу теплопровідність, сильне електричне поле пробою, високу швидкість дрейфу електронів, високий модуль Юнга та твердість, високу температуру плавлення, відмінну стійкість до окислення та корозії, високу міцність при підвищених температурах, добру стійкість до термічного удару та відмінну хімічну та фізичну стабільність. Рідним оксидом SiC є діоксид кремнію, що робить його безпосередньо сумісним із традиційною технологією Si. SiC є перспективним

матеріалом для застосування в біохімічному зондуванні завдяки своїм напівпровідниковим властивостям, а також високій хімічній стабільності та біосумісності .

SiC-NWFET об'єднує властивості одновимірних матеріалів з властивостями масивного SiC, і очікується, що такі пристрої матимуть конкретні переваги.

MEMS є типовою областю застосування, де SiC NW може мати значні переваги порівняно з відомими матеріалами. П'єзорезистивність кремнію завдяки його великому коефіцієнту чутливості та сумісності з технологіями виробництва мікроелектроніки на основі CMOS застосовується в багатьох областях. Однак його відносно низька ширина забороненої зони енергії, 1,12 eV, та пластична деформація при високих температурах ускладнюють його застосування в агресивних середовищах. Навпаки, SiC визнаний надійним матеріалом для MEMS-застосувань. Високий п'єзорезистивний ефект у SiC і мінімальний витік струму навіть при температурах вище 200 °C роблять його перспективним матеріалом для MEMS, що працюють при підвищених температурах. Датчики з підтримкою MEMS на основі SiC були інтегровані як датчики температури та тиску в аерокосмічні та автомобільні системи, що забезпечує контроль зворотного зв'язку для підвищення продуктивності двигунів. Очікується, що розв'язання конкретних технологічних проблем, пов'язаних з вартістю виробництва та простотою процесів виготовлення MEMS-пристроїв на основі SiC, призведе до численних застосувань датчиків або приводів на основі SiC.

В даний час велика увага зосереджена на вирощуванні одновимірних наноструктур SiC з різною морфологією (рис. 1.1) через їх стимульовані формою оптичні/електричні характеристики, високу поглинальну здатність, регульовані електричні властивості, стійкість до високотемпературного окислення, велику міцність, низьку щільність та високу температуру плавлення (2700 °C) .

SiC NW використовуються у різноманітних оптоелектронних пристроях через їх низькі розміри, квантові властивості та ефект форми, діючи як активний

шар у структурах, що поглинають електромагнітне випромінювання. Характеристики фотопровідності напівпровідника є вирішальними для розробки ефективних оптоелектронних пристроїв.

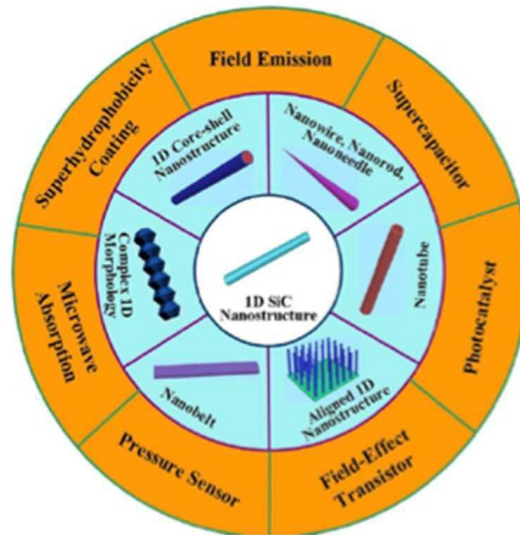


Рис.1.1. Діаграма застосувань одновимірних наноструктур SiC [2]

Високі показники міцності SiC свідчать про їхню придатність як армуючого матеріалу в композиційних конструкціях. Дослідження підтверджує, що наноструктури SiC є механічно міцнішими порівняно з мікроструктурами та масивним SiC. Зокрема, нанострижні SiC мають типову межу текучості понад 50 ГПа, що значно перевищує межу текучості масивного SiC. Крім того, повідомляється, що SiC-NW має покращену міцність і жорсткість для виготовлення керамічних композитів.

Карбід кремнію є перспективним наповнювачем для полімерних композитів, оскільки поєднує в собі високу теплопровідність, чудову хімічну стабільність, низький коефіцієнт теплового розширення та високу механічну міцність. SiC NW можна використовувати як ефективне підсилення для алюмінієвих композитів, армованих графітовою плівкою, для вирішення проблеми міжфазного змочування та покращення міцності міжфазного зв'язку та теплопровідності. Армовані нанодротоми SiC графітова плівка/алюмінієві композити можуть швидко передавати тепло вздовж площинного напрямку, що

значно збільшує площу розсіювання тепла електронних компонентів і покращує ефективність розсіювання тепла .

1.2. Характеристики транзисторних циліндричних структур

Короткоканальні ефекти (SCE) стають однією з основних проблем при зменшенні розмірів MOSFET. Для того щоб відповідати вимогам, запропонованим Міжнародним технологічним стандартом для напівпровідників (ITRS) для покращення продуктивності та розширення масштабованості FET пристроїв необхідно головним чином зменшити прояви SCE. Тому в літературі пропонуються неklasичні структури MOSFET, такі як транзистори з подвійним затвором, потрійним затвором, FinFET, pi-gate, sigma-gate і транзистори з загальним затвором (gate-all-around – GAA) [1-8].

Проте, структура GAA, що базується на MOSFET-пристроях, стає найкращою альтернативою серед цих структур і, отже, привертає все більше уваги дослідників завдяки своїй стійкості до SCE і надзвичайній масштабованості [1-4], а також завдяки чудовому електростатичному контролю затвора над областю каналу через зменшене розсіювання електронів [4]. Хоча GAA-пристрої можуть базуватися на прямокутних і циліндричних нанодротах, циліндричний варіант є кращим. Дійсно, прямокутні GAA FET страждають від низького робочого струму через крайові ефекти (також відомі як кутові ефекти), але циліндричні пристрої мають зменшені крайові ефекти.

Для покращення продуктивності пристроїв, а також зниження вартості виробництва, у сучасній літературі пропонуються різні діелектрики з високою діелектричною проникністю (high-K) і матеріали каналів з високою рухливістю. З цією метою дослідники звернули увагу на напівпровідники III-V, такі як InAs, SnAs, InGaAs тощо, як на матеріали каналів для досягнення вищого робочого струму завдяки їхній надзвичайно високій рухливості електронів і низькій ефективній масі [4]. З них InAs є найбільш підходящим як матеріал каналу завдяки своїй вищій рухливості електронів (до 30000 $\text{cm}^2/\text{V}\cdot\text{s}$), нижчій

ефективній масі електронів ($0,023 m_0$), вищій насичувальній швидкості (2×10^7 см/с) і низькому контактному опору [4]. З іншого боку, матеріали з високою діелектричною проникністю настійно рекомендуються для досягнення більшої ємності затвора, а також зниження струму витoku через затвор. Нещодавно деякі матеріали з високою діелектричною проникністю, такі як Al_2O_3 , HfO_2 тощо, привертають значну увагу як оксиди затвора. Коли Al_2O_3 вибирається як оксид затвора з напівпровідниковим шаром каналу на основі III-V під час відповідного процесу відпалу [4] на етапах виготовлення, не спостерігається жодних поверхневих дефектів, і в результаті виходить високоякісна діелектрична плівка.

Запропоновано низку досліджень [1-5], заснованих на структурах із загальним затвором GAA. Проаналізовано структуру GAA з кремнієвим нанодротом на підкладках з об'ємного кремнію. Запропоновано структуру GAA з вертикальним нанодротом з арсеніду індію (InAs) на кремнієвих підкладках. Перша структура CGAA, заснована на нанодроті InAs як матеріалі каналу і HfO_2 як оксиду затвора. Хоча Al_2O_3 має нижчу проникність, ніж HfO_2 , оксид затвора Al_2O_3 все ж є кращим варіантом, як зазначалося раніше. Тому в роботі [4] пропонується нова структура CGAA FET, заснована на нанодроті InAs як матеріалі каналу і Al_2O_3 як оксиду затвора. Запропонована структура пристрою реалізована за допомогою симулятора ATLAS програмного забезпечення Silvaco TCAD. Продуктивність цієї запропонованої структури, тобто вихідні та передавальні характеристики, а також різні параметри продуктивності (показники якості) отримані, а також досліджуються впливи довжини каналу, радіуса каналу, рівня легування каналу та товщини оксиду. Результати порівнюються з іншими комбінаціями канал/оксид затвора, тобто Si/SiO₂ та InAs/SiO₂, щоб оцінити переваги запропонованої структури. На рис.1.2. наведено вихідні та перехідні вольт-амперні характеристики GAA FET. Для всіх трьох структур довжина каналу 200 нм, товщина оксиду 4 нм і рівень легування каналом 1×10^{17} см⁻³.

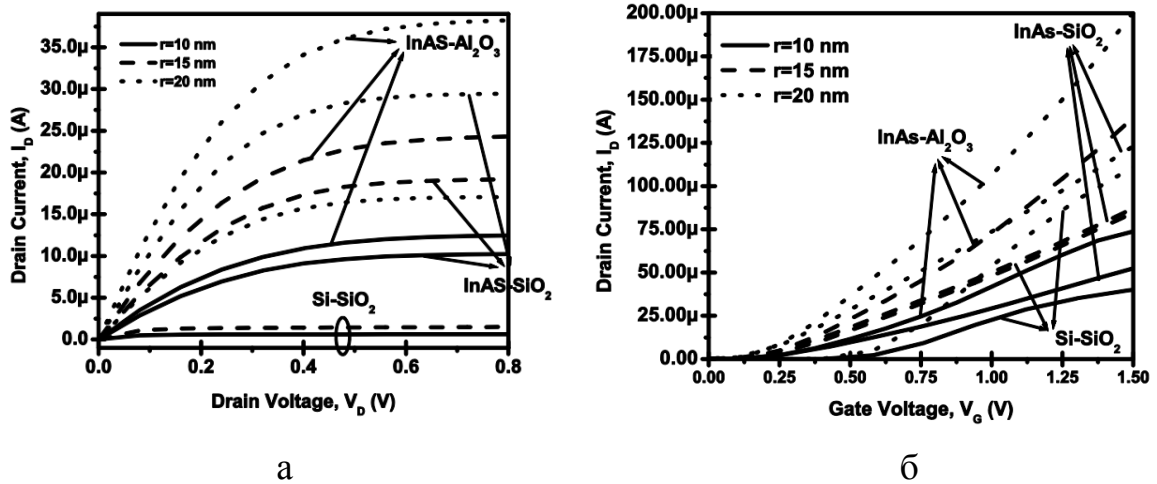


Рис.1.2. Вплив зміни радіуса каналу на вихідні (а) та перехідні (б) характеристики при $V_G = 0,5$ В GAA FET [4]

Результати комп'ютерної симуляції [4] показують, що запропонована комбінація є кращою за циліндричні структури, що використовують комбінації Si/SiO₂ та InAs/SiO₂ для каналу та діелектриків затвора. Досліджуються ефекти варіації радіуса нанодоту, довжини каналу та товщини оксиду на вихідні та передавальні характеристики кривих, а також на параметри продуктивності, такі як максимальний струм стоку, опір у ввімкненому стані та обернена крутизна допорогового розкиду, щоб показати переваги запропонованої структури.

Щоб оцінити переваги запропонованої структури, у цьому розділі також представлений порівняльний аналіз між запропонованою структурою та двома іншими структурами GAA, які мають комбінації канал-оксид затвора Si-SiO₂ та InAs-SiO₂.

Структура CGAA з InAs як матеріалом каналу та Al₂O₃ як діелектриком затвора перевершує за показниками інші структури CGAA. Це пов'язано з тим, що рухливість електронів (μ_n) у каналі InAs більш ніж у 60 разів вища, ніж у каналі з кремнію ($\mu_{n,InAs} = 80000$ порівняно з $\mu_{n,Si} = 1300$), а відносна проникність (ϵ_r) Al₂O₃ приблизно в три рази вища, ніж у SiO₂ ($\epsilon_{r,Al2O3} = 9,00$ порівняно з $\epsilon_{r,SiO2} = 3,90$). Дійсно, струм стоку GAA FET прямо пропорційний як рухливості

електронів у каналі, так і проникності діелектрика затвора. Тому струм стоку є вищим для GAA структури з комбінацією канал-оксид затвора InAs-SiO₂, ніж для для GAA структури з комбінацією канал-оксид затвора Si-SiO₂ [4].

1.3. Особливості технології формування структур SiC-NWFET

Для структур SiC-NWFET канал р-типу може бути сформувано шляхом іонної імплантації в окремі ділянки епішару n-типу SiC та подальшого плазмового травлення частини імплантованих ділянок, а також прилеглих областей (рис. 1.3а).

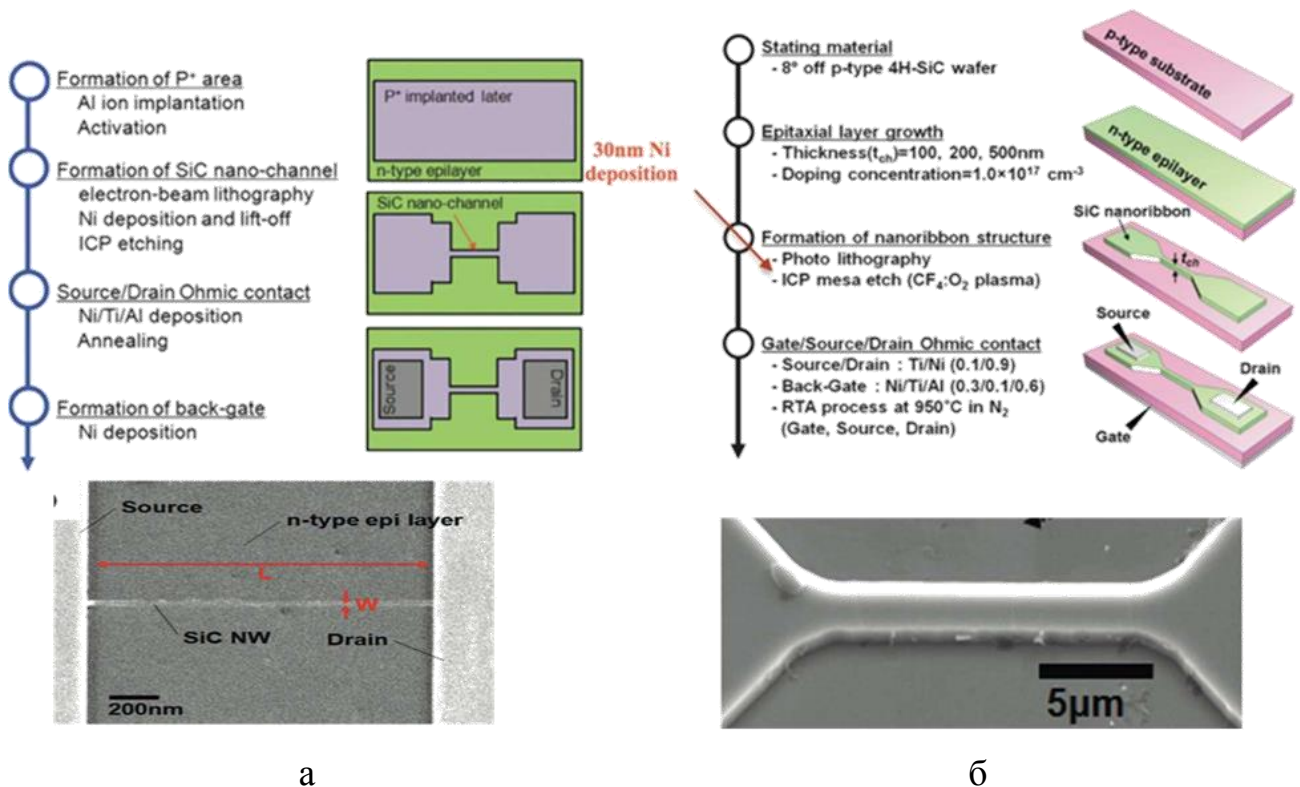


Рис. 1.3. Схема top-down формування структури SiC-NWFET та відповідна морфологія [2]: а – канал р-типу; б – канал n-типу

Альтернативно, канал n-типу формувався шляхом вирощування епішару n-типу поверх підкладки р-типу з подальшим плазмовим травленням для визначення зон каналу та металевої прокладки (див. рис. 1.3б) [2-5]. Проте, пристрої цього типу нагадують нанострічкові FET, а не NWFET, оскільки

ширина, довжина та товщина каналу складали відповідно 0,05-3 мкм, 3-15 мкм та 0,01-0,5 мкм.

Загальноприйнята геометрія SiC-NWFET пристрою у літературі базується на сильно легованій підкладці Si, яка виконує роль глобального зворотного затвору. На поверхні цієї підкладки термічно вирощений оксид (зазвичай SiO₂) розміщується та використовується як затворний оксид (рис.1.4а,б) [2].

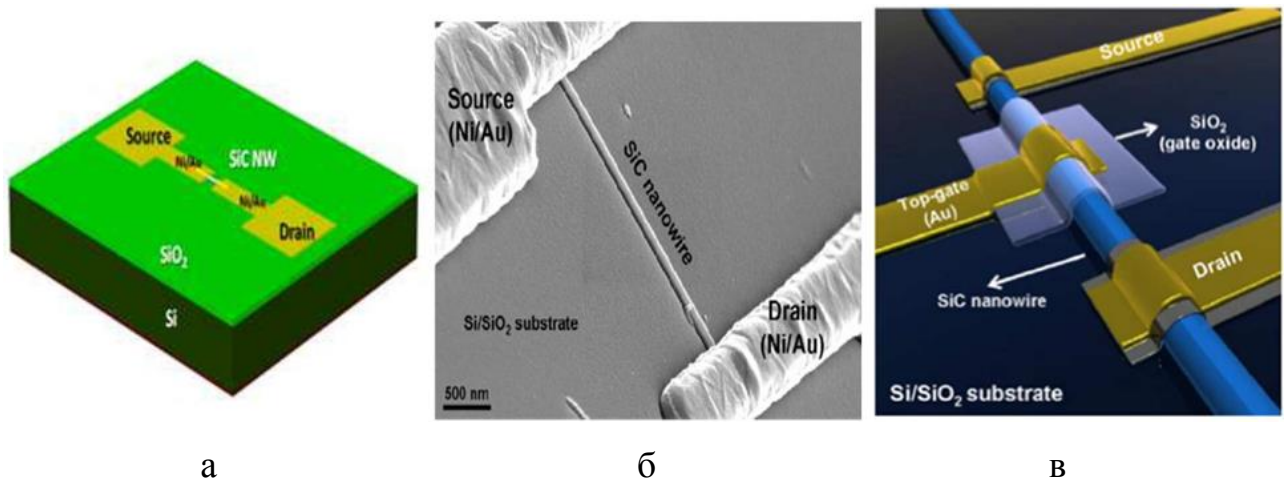


Рис. 1.4. Тривимірне схематичне зображення транзистора із затвором знизу – back-gate device (а), його типове зображення РЕМ (б) та схема пристрою із затвором зверху – top-gate device (в)

В роботі [2] приведена геометрія із затвором зверху (рис. 1.4в), яка є значно більш складною з точки зору процесу виготовлення. Геометрія із затвором зверху використовувалася не тільки для NW, вирощених «знизу вгору», але також і для «зверху вниз». Щодо зареєстрованих 4H-SiC наноканальних/стрічкових JFET, затвором був р-п-перехід, де р- (або NW канал 4H-SiC n-типу) був сформований шляхом імплантації іонів Al (або легування азотом під час епітаксії).

Теоретичні та експериментальні дослідження показали, що теплопровідність SiC нанодротів (для різних політипів і структур) значно знижена порівняно з об'ємними значеннями через просторове обмеження. Це призводить до зменшення середнього вільного пробігу фононів і посиленого

розсіювання фононів на поверхні нанодротів. Ідеальний нанодріт міг би демонструвати покращені властивості теплопровідності, навіть досягаючи балістичної теплопровідності. Проте посилене розсіювання фононів на поверхні та в об'ємній області нанодротів, викликане дефектними центрами, які були виявлені у випадку експериментів з електричною провідністю, призводить до зниження теплопровідності зі зменшенням діаметра нанодротів. Композитні матеріали, що містять SiC нанодроти, були запропоновані як шлях до покращення продуктивності, підвищуючи значення теплопровідності (k) до 25% у порівнянні з матеріалом без SiC нанодротів. Однак ці низькі значення k можуть бути корисними для генерації термоелектричної енергії. Повідомлялося, що пристрої на основі SiC нанодротів демонструють високий $ZT \sim 0.12$ завдяки низькому значенню k , що приблизно в 120 разів перевищує максимальне значення для об'ємного 3C-SiC [2-4].

З іншого боку, низька якість SiC нанодротів виявилася корисною для п'єзорезистивної реакції та застосування в датчиках тиску. Висока концентрація носіїв заряду та збільшені поверхневі дефекти сприяють досягненню дуже високих коефіцієнтів чутливості до деформації. Було повідомлено [2] про дуже високі значення коефіцієнта чутливості, досягаючи приблизно $-877,79$, що є вищим за всі раніше повідомлені значення для наноструктур SiC. Це відкриває нові можливості для розробки високочутливих і міцних датчиків тиску, здатних витримувати суворі умови роботи.

Також було повідомлено, що датчики токсичних газів та біосенсиори на основі FET, які використовують SiC нанодроти як сенсорний матеріал, демонструють вищу хімічну стабільність порівняно з нанодротоми Si. Було продемонстровано функціоналізацію інтегрованих SiC нанодротів у FET для електричного виявлення гібридизації ДНК як доказ концепції. Зокрема, було показано, що струм у SiC NWFET модулюється ефективним полем затвора, спричиненим наявністю молекул ДНК, що відкриває шлях для майбутніх розробок біосенсорів на основі SiC нанодротів або нанодротів Si, пасивованих оболонкою з SiC [5].

РОЗДІЛ 2

МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

2.1. Методика приладно-технологічного моделювання

Загальна методика моделювання за допомогою TCAD системи симуляції ATLAS складається з наступних етапів [6-18]: визначення структури; визначення початкової сітки; визначення матеріалів та моделей; вибір чисельних методів; аналіз результатів; валідація моделі.

Структуру пристрою можна визначити трьома різними способами для використання в ATLAS. Перший спосіб — прочитати існуючу структуру з файлу. Структура створюється або попереднім запуском ATLAS, або іншою програмою, такою як модуль ATHENA або автономний редактор пристроїв (DevEdit). Другий спосіб — використання функції автоматичного інтерфейсу Deckbuild. Третій спосіб — створення структури за допомогою командної мови ATLAS. Правильне визначення структури в симуляторі є одним із ключових аспектів для відповідності результатів симуляції експериментальним вимірюванням змодельованого пристрою (рис.2.1). Усі параметри: підкладка пластини, епітаксійні шари та компоновання пристрою мають бути правильно описані в симуляторі.

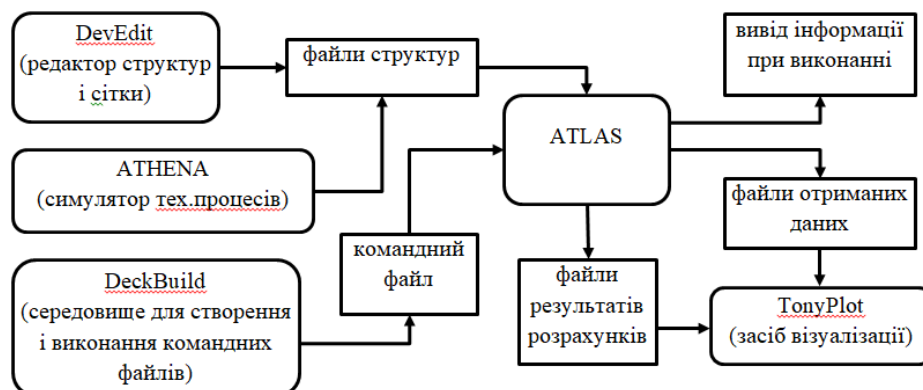


Рис. 2.1. Варіативна структура для Silvaco TCAD [10]

Визначення сітки є важливим аспектом симуляції пристроїв. Критичні області для розв'язання важко узагальнити, оскільки вони залежать від технології та явищ переносу. Типові критичні області в SiC-NWFET: навколо переходів та інтерфейсів, області з високими електричними полями на переході стік/канал та області з поперечним електричним полем під затвором. Щоб уникнути проблем з конвергенцією розв'язку, слід використовувати дрібну сітку в зазначених критичних областях.

Після визначення сітки кожна її частина має бути призначена певному типу матеріалу. ATLAS має бібліотеку референтних матеріалів і моделей, які можна призначати різним областям напівпровідникового пристрою. На цьому етапі симуляції можуть бути призначені такі властивості та характеристики матеріалів: енергія забороненої зони (залежно від температури), концентрація домішок, неперервність зон, рухливість носіїв, діелектрична проникність, час життя носіїв та швидкість носіїв, щільність станів у забороненій зоні тощо. Якщо деякі параметри не задані користувачем, можуть використовуватися значення за замовчуванням. Відмінною особливістю останньої версії Silvaco TCAD є можливість врахування процесів поляризації, які відіграють важливу роль у матеріалах з гексагональною кристалічною структурою, таких як SiC. Наступний етап симуляції — встановлення моделей процесів та фізичних параметрів. Фізичні моделі, реалізовані в ATLAS, можна згрупувати в п'ять категорій: рухливість, рекомбінація, статистика носіїв, ударна іонізація, тунелювання. На додаток до стандартних моделей, ATLAS дозволяє розв'язувати самосогласовану систему рівнянь Шредінгера – Пуассона для розрахунку концентрації носіїв у 2DEG з урахуванням квантування рівнів електронів у квантовій ямі.

Для отримання розв'язку можна використовувати кілька різних чисельних методів. В основному доступні три типи методів розв'язку: Гуммеля, Ньютона та Блока. Метод Гуммеля розв'язує рівняння для кожної невідомої змінної в ітерації, залишаючи інші змінні постійними та повторюючи процес до отримання стабільного розв'язку. Метод Блока розв'язує деякі рівняння повністю зв'язаними, а інші — розв'язаними. Це корисно, коли включаються рівняння

нагрівання кристала або енергетичного балансу. Метод Ньютона розв'язує всю систему невідомих разом. Це корисно, коли система рівнянь сильно зв'язана та має квадратичну збіжність.

Основні типи аналізу можна виконувати за допомогою програмного пакету ATLAS, включаючи DC, AC та перехідний аналіз. Результати симуляції можуть бути представлені у вигляді зонних діаграм, вихідних та передавальних характеристик, у вигляді розподілу носіїв заряду та розподілу електричного поля у змодельованій структурі тощо. Вміст вихідних файлів подається у графічній формі.

Порівняння даних вимірювань (наприклад, залежностей струм-напруга та ємність-напруга) з результатами симуляції є найчастіше використовуваним методом для перевірки достовірності моделі. Відповідність результатів моделювання та вимірювань показує адекватність моделі. Тестування має бути цілеспрямованим та систематичним, а складність тестових даних повинна збільшуватися поступово. Метою такого дослідження є ідентифікація та оптимізація дизайну структури SiC-NWFET та, відповідно, покращення характеристик кінцевих пристроїв з точки зору частоти роботи, пробивної напруги тощо.

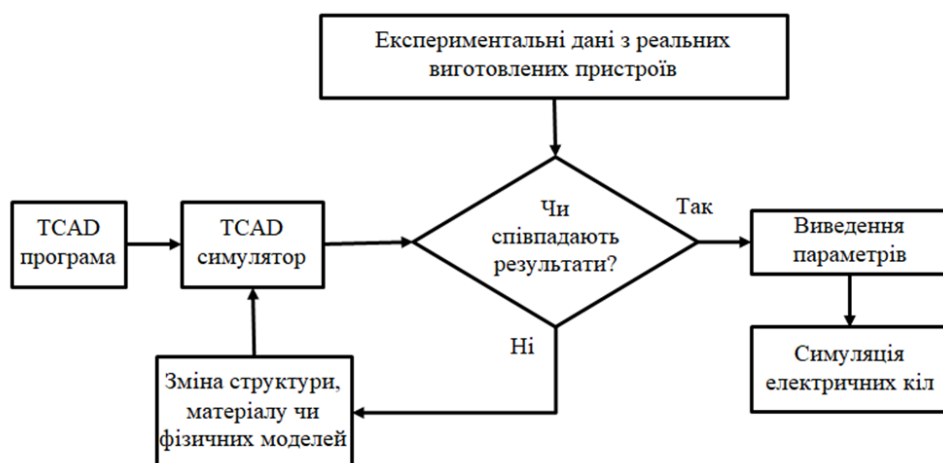


Рис. 2.2. Аналіз результатів та валідація моделі [11]

2.2. Порядок створення структурної моделі та вхідні дані

Запропонована в цій роботі структура пристрою була змодельована за допомогою симулятора ATLAS програмного забезпечення Silvaco TCAD. Згенерований тривимірний вигляд цієї структури за допомогою ATLAS показаний на рис.2.3, де нанодріт SiC зображений як канал, а HfO₂ — як оксид затвора. Через циліндричну симетрію структури використовується квазі-3D модель для симуляції структури в ATLAS. У команді 'mesh' вказана ця циліндрична симетрія, для якої ATLAS моделює структуру так, що її x-напрямок є радіальним напрямком циліндра, її z-вісь знаходиться в центрі циліндра, а її y-вісь направлена вниз із початком координат у верхній частині структури.

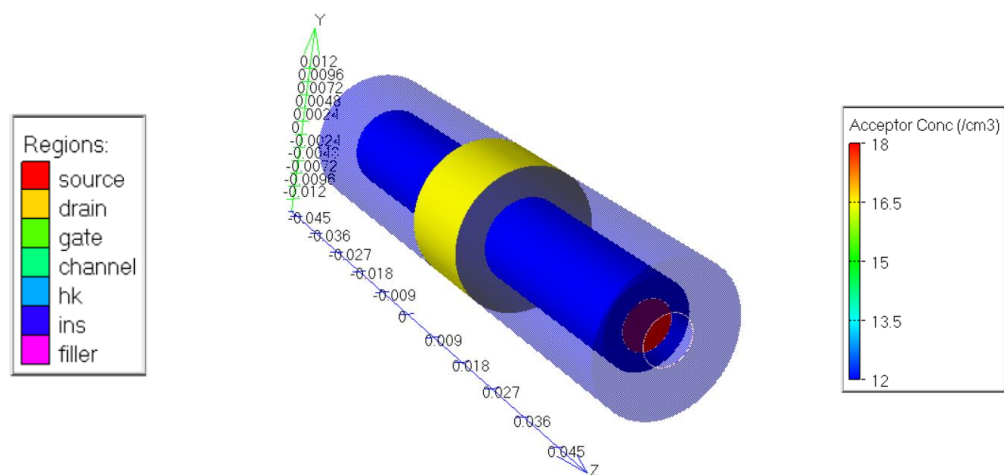


Рис. 2.3. Структура та концентраційний розподіл домішки в каналі SiC-NWFET

Пристрій реалізований як NWFET із легованими витоком та стоком. Довжина каналу становила 7,0 нм, тоді як радіус каналу становив 2,0 нм. Товщина оксиду затвора становила 2 нм. Рівень легування каналу змінюється від 1×10^{18} в середині каналу до $1 \times 10^{21} \text{ см}^{-3}$ у приконтактних областях. Вхідні дані моделювання приведено у табл. 2.1.

Усі симуляції виконані за допомогою ATLAS програмного забезпечення Silvaco TCAD. Використовується статистика Фермі-Дірака замість статистики

Больцмана. Оскільки довжина каналу становлять приблизно 40 нм, необхідно враховувати мобільність, що залежить від поля. Тому в аналіз включені моделі мобільності, що залежать від поля. Профіль зон SiC обраний як одномірний. Для моделей рекомбінації розглядається механізм рекомбінації Шоклі–Ріда–Холла (SRH). Для описання транспорту носіїв використовується модель дрейфу-дифузії з урахуванням потенціалу Бома.

Для числових ітерацій застосовуються методи Ньютона та Гуммеля. Однак для прискорення процесу ітерації впроваджена автоматизована процедура Ньютона-Річардсона.

Таблиця 2.1

Вхідні параметри моделювання 4H:SiC-NWFET

№	Параметр структури	Позначення	Величина
	1	2	3
1.	Діаметр каналу	D_{NW}	4,0 нм
2.	Довжина каналу	L	7,0 нм
3.	Ширина забороненої зони	E_g	3,24 еВ
4.	Густина станів у провідній зоні	$DOS(N_C)$	$1,66 \times 10^{19} \text{ см}^{-3}$
5.	Густина станів у валентній зоні	$DOS(N_V)$	$1,06 \times 10^{19} \text{ см}^{-3}$
6.	Товщина внутрішнього оксиду (SiO ₂)	T_{oxi}	1,0 нм
7.	Діелектрична стала внутрішнього оксиду	K_{oxi}	3,9
8.	Товщина зовнішнього оксиду (HfO ₂)	T_{oxt}	2,0 нм
9.	Діелектрична стала зовнішнього оксиду	K_{oxt}	25
10.	Легування зон стоку-витоку	N_{SD}	10^{21} см^{-3}
11.	Спорідненість електронів	E_{ea}	3,24 еВ
12.	Робота виходу електрона металу затвору	Φ_m	4,85 еВ
13.	Діелектрична проникність	ϵ	9,7 ФМ ⁻¹
14.	Рухливість електронів	μ_n	$8 \times 10^4 \text{ см}^2/\text{Вс}$
15.	Рухливість дірок	μ_p	$8 \times 10^4 \text{ см}^2/\text{Вс}$
16.	Температура	T	300 К

РОЗДІЛ 3

РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

3.1. Структура та електричні характеристики SiC-NWFET

Структура польового транзистора з циліндричним загальним затвором з нанодротовим каналом з карбїду кремнїя (SiC) використовується замість нанодроту з кремнїю, а оксид гафнїю використовується як діелектрик затвора замість діоксиду кремнїю. Продуктивнїсть цієї конфїгурації була продемонстрована за допомогою симулятора ATLAS програмного забезпечення Silvaco TCAD. Карбїд кремнїю обраний через його високу швидкїсть електронів, високу насичувальну швидкїсть та низький контактний опір, тоді як оксид гафнїю обраний завдяки його вищій проникностї.

У цьому розділі представлені та проаналізовані результати симуляції, виконані за допомогою симулятора ATLAS програмного забезпечення Silvaco TCAD для вихідних характеристик і передавальних характеристик, а також для різних температурних режимів. Розглянуто вплив різних параметрів на ці залежностї та показники якості запропонованої структури GAA.

На рис. 3.1 приведено структуру провідного SiC-NWFET n-типу з затвором GAA. Вхідні дані для всіх матеріалів були взятї з бібліотеки Silvaco TCAD [15-21]. Як матеріал затвора використовується полікремнїй. На кінцях каналу розташовані алюмінієві електроди витоку та стоку. Канал транзистора має довжину 40 нм та діаметр 4 нм.

Ефективна робота виходу електрода затвора становить 3,24 еВ. Як підзатворний діелектрик використовувався HfO_2 ($k = 22$) товщиною 2,0 нм. Товщина бар'єрного шару SiO_2 під діелектриком high-k становить 1,0 нм. При проектуванні використовувалася наступна конфїгурація профїлю легування каналу: концентрація акцепторної домішки в об'ємі каналу становила $1 \cdot 10^{18} \text{ см}^{-3}$, поблизу контактів витоку та стоку вводилася більш висока концентрація донорної домішки $1 \cdot 10^{21} \text{ см}^{-3}$.

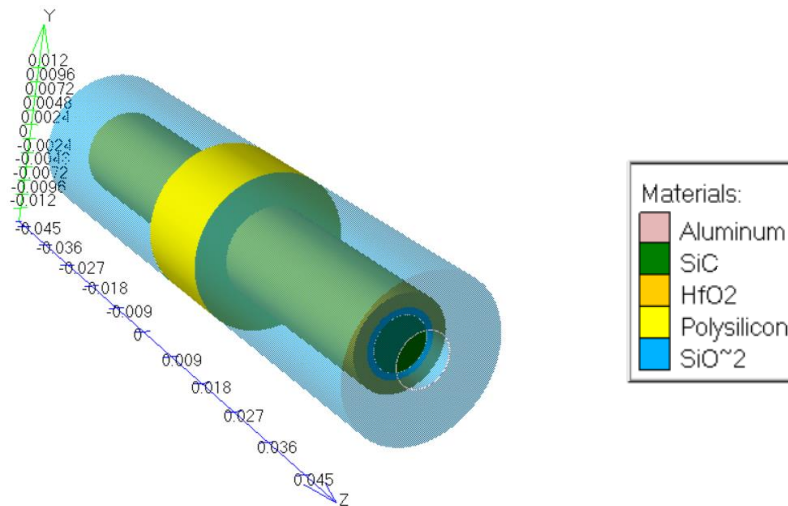


Рис. 3.1. Структура та матеріали SiC-NWFET

Числові симуляції gate-all-around (GAA) SiC та Si NW-FETs проводяться з використанням повного квантового, самосогласованого алгоритму Пуассона-Шредінгера в рамках формалізму нерівноважної функції Гріна (NEGF), та в рамках спрощеній моделі дрейфу-дифузії. Ці обчислювальні підходи є стандартною технікою для симуляції роботи NW пристроїв у різних режимах транспорту і застосовуються до різноманітних 1D FET структур. Через високі вимоги до обчислювальної схеми моделювання квантового транспорту на основі NEGF, розміри досліджуваних NW були обмежені до 15 нм у довжину і 5 нм у діаметрі [2]. На противагу цьому, розрахунки, засновані на менш складній моделі дрейфу-дифузії, дозволяють симулювати набагато більші NW пристрої, довжиною в кілька мікрометрів. Паралельне порівняння з відповідними Si NWFETs показало, що Si і SiC NW FETs мають порівнянну електричну поведінку в балістичному режимі. Крім того, вони мають порівнянні субпорогові нахили (69,4 мВ/дек для SiC і 69,8 мВ/дек для Si пристроїв при розмірі перерізу NW 3 нм) і майже однакове відношення I_{ON}/I_{OFF} . Наприклад, згідно з цими розрахунками, I_{ON}/I_{OFF} для SiC NWFET становить приблизно 83% від I_{ON}/I_{OFF} для Si NWFET при розмірі перерізу NW 4 нм [2-4, 20-26].

Змодельовані в даній роботі вольт-амперні характеристики при

температурах 280 К, 300 К, 320 К та 340 К для SiC-NWFET n-типу для фіксованих значень напруг відповідно приведені на рис. 3.2. З підвищенням температури крутизна характеристики зменшується, а порогова напруга зменшується.

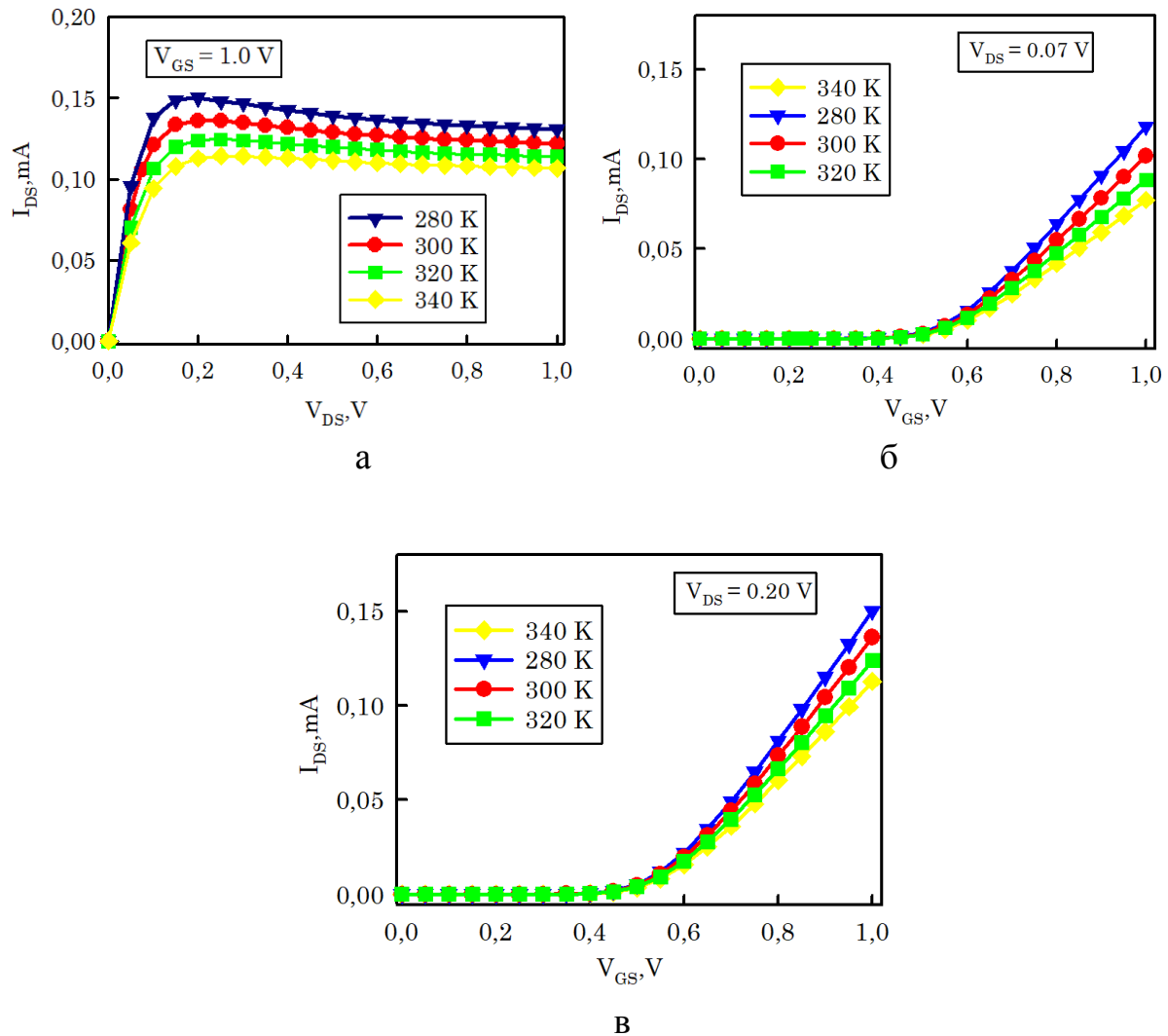


Рис. 3.2. Вихідні (а) та перехідні (б,в) вольт-амперні характеристики SiC-NWFET при різних температурах та фіксованій нарузі $V_{DS} = 0,1$ В (б) та $V_{DS} = 1,2$ В (в)

У пристроях, що працюють у режимі квазі-балістичного транспорту, була використана подібна схема самосогласованих розрахунків Пуассона-NEGF з додатковим урахуванням розсіювання фононів і шорсткості поверхні, що дозволяє визначити рухливість носіїв при низькому полі, яка є ще однією

критично важливою характеристикою. Очевидна амплітуда рухливості пристроїв SiC у цьому випадку становила близько 90% від аналогічних Si пристроїв [12-14], що є прямим результатом різниці у поперечній ефективній масі двох напівпровідників. Ситуація досить схожа при включенні в симуляцію процесів непружного розсіювання фононів, за винятком додаткового погіршення рухливості SiC, обумовленого більшим акустичним потенціалом деформації. Було виявлено меншу різницю в рухливості, обмеженій шорсткістю поверхні, між двома матеріалами для еквівалентних параметрів просторових флуктуацій i , крім того, для SiC спостерігалось повільніше зниження рухливості зі збільшенням напруги на затворі. Це свідчить про те, що невеликий розрив у продуктивності між пристроями Si і SiC ще більше зменшується в реальному робочому режимі транзистора [2-4, 12-14].

Основний висновок з наведених вище результатів симуляції показав, що SiC NW, незважаючи на трохи гіршу електричну продуктивність порівняно з Si, можуть використовуватися в цільових застосуваннях, таких як інтеграція у FET і датчики, що працюють при високих температурах та в жорстких умовах.

Відомо, що фіксовані заряди поблизу затвора відповідають за зсув порогової напруги, а пастки зарядів на інтерфейсі можуть змінювати нахил субпорогового режиму. Вищезазначені фактори є більш критичними у випадку нанодротових польових транзисторів (NWFET), де співвідношення поверхні до об'єму дуже високе. Попередні симуляції [2] показали, що у відсутність фіксованих оксидних зарядів і пасток на інтерфейсі, та за рівня легування 10^{17} см^{-3} і нижче, можливо досягти доброго гейтингового ефекту з вимкненням FET при невеликих негативних напругах на затворі ($V_{th} \sim -0,5 \text{ В}$). Якщо враховувати дуже високі значення фіксованих зарядів у діелектрику та стани пасток на інтерфейсі в зазначених вище симуляціях, то продуктивність пристрою виявляється низькою і він не може бути вимкнений, навіть при низьких концентраціях легування [2]. Це показує, що якість інтерфейсу є настільки ж критичною для продуктивності пристрою, як і значення рівня

легування. Ключова роль якості інтерфейсу для продуктивності пристрою була підтверджена вимірюваннями теплопровідності та п'єзорезистивності [32-36].

3.2. Технології формування та морфологія нанодротів

Технологічний підхід top-down processing (fabrication) включає поступове видалення частини масивного матеріалу з метою досягнення бажаної форми чи структури. Як приклад на рис.3.3 наведено схему формування та відповідну морфологію нанодротів SiC [2].

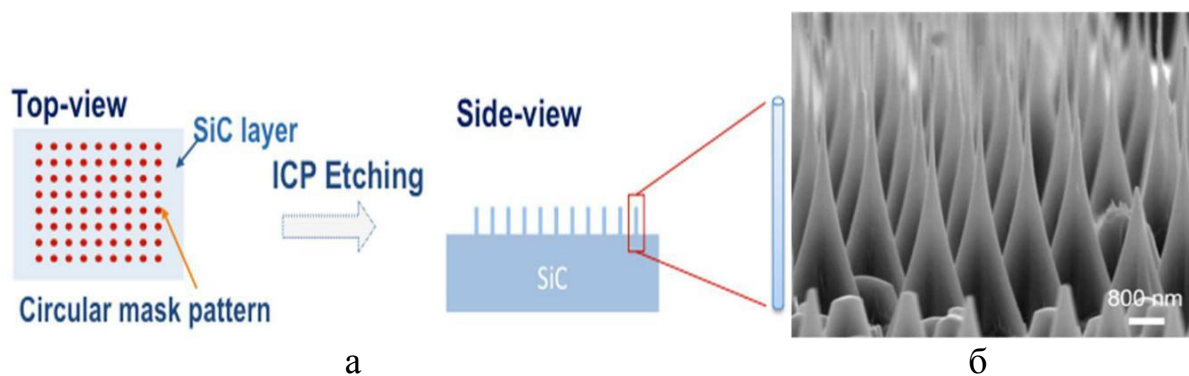


Рис. 3.3. Схема top-down обробки SiC-NW (а) і відповідна їх морфологія (б)

Цей метод часто протиставляють bottom-up формування, який передбачає створення конструкції шляхом складання менших компонентів або додавання матеріалу шар за шаром. На рис.3.4 приведено зображення нанодротів SiC отримане за допомогою растрового електронного мікроскопа (РЕМ).

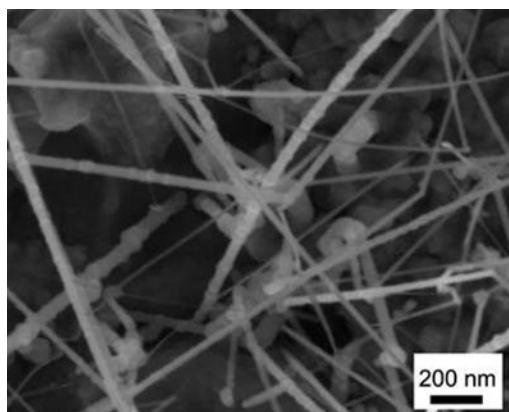


Рис. 3.4. РЕМ-зображення SiC-NW, отриманих методом bottom-up [2]

При top-down обробці такі методи, як різання, фрезерування, травлення або літографія, зазвичай використовуються для видалення матеріалу з більшої заготовки. Цей підхід часто використовується в різних галузях промисловості, включаючи виробництво напівпровідників, мікроелектроніку, нанотехнології та традиційні процеси обробки.

Top-down обробка розглядається як альтернативний спосіб подолання проблеми високого залишкового легування. Top-down формування SiC-NW засноване на початкових тонких плівках SiC контрольованого легування та якості, а потім для остаточного виготовлення наноструктури використовуються процеси електронно-променевої літографії та плазмового травлення. Круглі візерунки (діаметром 115 і 370 нм) маски з нікелю товщиною 110 нм були виготовлені з однаковим кроком (7 мкм) за допомогою електронно-променевої літографії. Потім були сформовані низхідні NW за допомогою плазмового травлення гетероепітаксialьних плівок 3C-SiC (товщиною $\sim 8,5$ мкм та $5 \cdot 10^{16} \text{ см}^{-3}$ легування n-типу), вирощених на Si (100) підкладках. Після певного часу/глибини травлення діаметр протравлених дротів зменшується (рис.3.5) головним чином за рахунок бічного травлення металеві (Ni) маски. З цієї причини був розроблений спеціальний процес для видалення частини малого діаметра (менше 100 нм) з наностовпів SiC. Розріз було виконано шляхом завантаження наностолбів у ванну з ізопропіловим спиртом у прямому положенні та виконання процесу обробки ультразвуком. Розмір розбитих наночастинок SiC є достатнім для виготовлення польових транзисторів. Незважаючи на те, що це різання було успішним по всій поверхні зразка, весь процес призводить до виробництва значно меншої кількості нанодротів у порівнянні з top-down fabrication [2-4, 32-38].

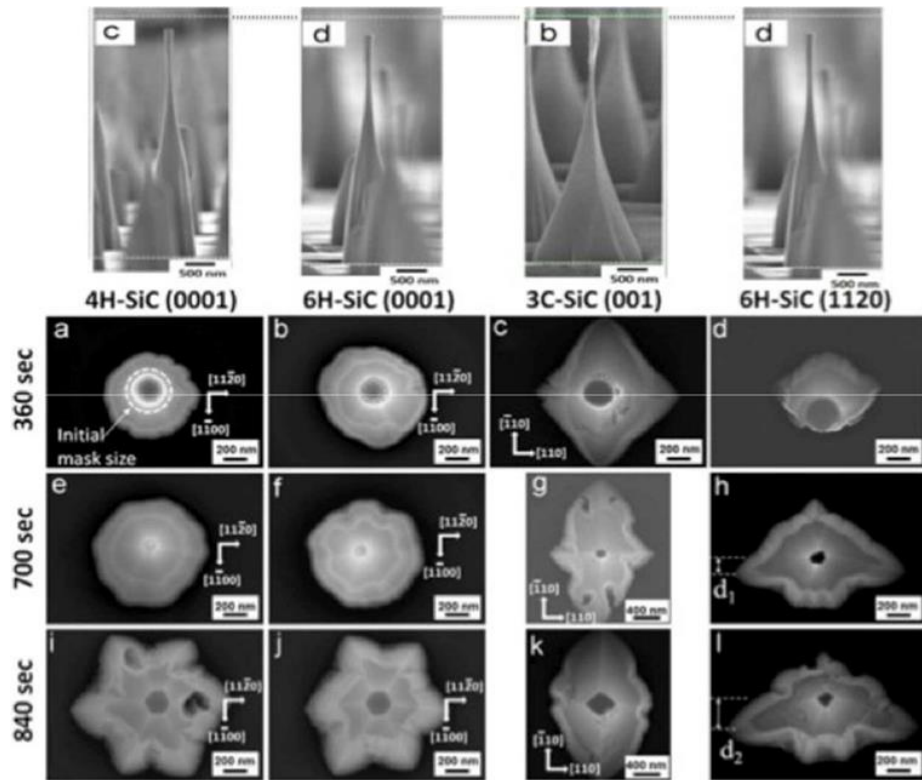


Рис. 3.5. Схема top-down обробки SiC-NW (а) та відповідна морфологія (б). Рисунок адаптовано з роботи [2]

SiC NWs поєднують у собі корисні властивості одно-вимірного матеріалу з властивостями масивного SiC, і тому електронні пристрої на основі SiC NWs очікувано мають конкретні переваги у вигляді низької розсіюваної потужності, високої стабільності та біосумісності, а також роботи при високій напрузі у порівнянні з їхніми аналогами, заснованими на напівпровідниках з меншим шириною забороненої зони. Електронні властивості SiC NWs були предметом тривалих теоретичних досліджень з використанням різних моделей, включаючи розрахунки з перших принципів (DFT), молекулярну динаміку та формалізм квантового транспорту, які підтвердили їхній високий потенціал для різних застосувань. Зокрема, теоретичні звіти про моделювання квантового транспорту в SiC NW – які припускали майже ідеальну кристалічну структуру NW та роботу в режимі квазі-балістичного транспорту – показали перспективу досягнення порівнянної продуктивності з Si-заснованими NWFETs. SiC NWFETs в основному досліджувалися для інтегральних схем та сенсорних застосувань.

Сучасні SiC-NWFET демонструють недостатню продуктивність, що проявляється в низькій рухливості носіїв заряду, співвідношенні I_{ON}/I_{OFF} та значенні g_m , що створює перешкоди для їх подальшого розвитку. Ця проблема зумовлена відсутністю строгого контролю під час вирощування SiC нанодротів знизу вгору, що призводить до дуже високої концентрації носіїв заряду ($>10^{19} \text{ см}^{-3}$), що майже досягає межі виродження через ненавмисне легування азотом. Висока залишкова концентрація носіїв у типовому SiC нанодроті, який слугує каналом для FET, призводить до того, що ширина зони виснаження є значно меншою за діаметр нанодроту, навіть при високій напрузі на затворі, і тому нанодріт ніколи повністю не виснажується у вимкненому стані. Крім того, інтерфейс SiO_2/SiC нанодріт ще не оптимізований через відсутність контрольованих процесів, особливо на етапі відпалу, що призводить до утворення неякісного (нативного) оксиду навколо нанодроту. Як наслідок, вимикання каналу для пристроїв з омичними C/V контактами не досягається навіть при дуже високих напругах на затворі (близько 40 В при товщині діелектрика затвора в діапазоні від 300 нм до 500 нм, що відповідає значенням електричного поля 80-120 В/мкм) [2].

На даний момент лише задньозатворні NWFET з Шотткі бар'єрами в C/V областях, тобто з неомічними контактами, демонструють добре визначене вимкнення та покращену продуктивність завдяки непрямій модуляції струму стоку глобальним затвором, що дозволяє регулювати прозорість бар'єра Шотткі в областях стоку та витоку. Використання p-типу легування для компенсації ефектів залишкового n-типу легування не було успішним, оскільки транзистор знову показав слабкий ефект управління затвором без досягнення стану вимкнення каналу [3].

Для використання SiC NWFET в електричних схемах і реалізації інтегральних схем необхідно знизити залишкове легування та значно покращити якість інтерфейсу між SiC нанодротами та діелектриком. Проблема високого залишкового легування, характерна для вирощених знизу вгору SiC нанодротів, потребує застосування дорогих і складних методів, таких як

молекулярно-променева епітаксія чи високочиста CVD, щоб досягти високої кристалічної якості та низького залишкового легування SiC нанодротів. Наразі випрямляючі контакти для S/D є кращими для SiC NWFET, вирощених знизу вгору. Проте, у випадку зниження легування в нанодротах, пристрої з омічними контактами можуть значно перевершити ті, що використовують випрямляючі контакти, що дозволить SiC NWFET конкурувати з аналогічними пристроями на основі Si [4].

Використання вирощених зверху вниз нанодротів наразі є єдиним способом вирішення проблеми високого залишкового легування. Ретельна обробка пристроїв та використання нанодротів, вбудованих у діелектричну геометрію, мають вирішити проблему якості інтерфейсу. Важливість інтерфейсу між затворним оксидом та нанодротами була нещодавно підтверджена у пристроях, заснованих на вирощених зверху вниз нанодротах. Продуктивність таких пристроїв була низькою, незважаючи на помірний рівень легування ($\sim 10^{16} \text{ см}^{-3}$) вихідного SiC матеріалу, що підкреслює ключову роль інтерфейсу. Це також пояснює, чому найвищу продуктивність демонструють JFETs з використанням наноканалів і нанострічок SiC, сформованих зверху вниз.

Паралельні дослідження теплопровідності SiC нанодротів та їхніх п'єзорезистивних властивостей також показують значний вплив фіксованих зарядів, пасток і дефектів на інтерфейсі на транспорт фононів та носіїв при різних температурах. У цих дослідженнях використовувалися різні методики, такі як електричні, теплові та п'єзорезистивні вимірювання у FET-геометрії (використовуючи металеві затвори або наконечник AFM).

ВИСНОВКИ

1. Транзистори з каналами у вигляді нанодротів з карбіду кремнію (SiC-NWFET) мають потенціал стати важливими компонентами електроніки. Вони мають високу рухливість носіїв, що сприяє високій швидкості перемикання, і високу стійкість до теплових перевантажень завдяки високій термостійкості карбіду кремнію.

2. Комп'ютерна симуляція дозволяє вивчати та прогнозувати характеристики SiC-NWFET транзисторів, що допомагає розробляти та оптимізувати їх конструкції. Це дає можливість підвищити функціональність і ефективність таких пристроїв.

3. Комп'ютерне симуляція може вивчати різні параметри та характеристики транзисторів SiC-NWFET, такі як провідність, передача струму, коефіцієнт посилення, тепловиділення тощо. Це дає можливість зрозуміти робочі характеристики таких транзисторів і визначити оптимальні умови їх використання.

4. Вивчення структури та характеристик транзисторів SiC-NWFET є важливим кроком у розвитку електроніки та пошуку нових технологій. Вони можуть покращити продуктивність, енергоефективність і функціональність електронних пристроїв.

5. Однак виробництво транзисторів SiC-NWFET та їх інтеграція в електронні пристрої є технічно складними проблемами, які потребують подальших досліджень і розробок. Виробництво великорозмірних нанодротів карбіду кремнію і їх стабільне використання у виробництві електронних пристроїв вимагає нових методів і технологій.

Підсумовуючи дане дослідження, можна відзначити потенціал транзисторів SiC-NWFET і важливість комп'ютерної симуляції для їх вивчення та вдосконалення. Вони відкривають нові перспективи для розвитку електронних продуктів і мають значний вплив на технології електроніки.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

література :

1. Hu C. Modern semiconductor devices for integrated circuits / C. Hu. – Upper Saddle River, N.J. ; London : Pearson Education, 2010. – 351 p.
2. Progress in SiC nanowire field-effect-transistors for integrated circuits and sensing applications / K. Zekentes, J. Choi, V. Stambouli et al. // Microelectronic Engineering. – 2022. – V. 255. – P. 111704.
3. High-transconductance silicon carbide nanowire-based field-effect transistor (SiC-NWFET) for high-temperature applications / H. Mousa, K. Teker // Microelectronics International. – 2021. – V. 38, No. 2. – P. 78-83.
4. Silvaco TCAD based Analysis of Cylindrical Gate -All-Around FET Having Indium Arsenide as channel and Aluminium Oxide as Gate Dielectrics / Md. Iqbal Bahar Chowdhury, Muhammad Johirul Islam, Md. Mahmudul Hasan et al. // Journal of Nanotechnology and its Applications in Engineering. – 2016. – V. 1 – P. 1-12.
5. Investigation of carbon nanotube FET with coaxial geometry / P. Vimala, L. Krishna L., K. Maheshwari et al. // J. Nano- Electron. Phys. – 2020. – V. 12, No 5. – P. 05027-1 – 05027-5.
6. Datta S. Lessons from Nanoelectronics: A New Perspective on Transport – Part B: Quantum Transport / S. Datta – Singapore: World Scientific, 2018 – 260 p.
7. Lundstrom M. Fundamentals of Nanotransistors / M. Lundstrom – Singapore: World Scientific, 2018. – 342 p.
8. Wu Y.C. 3D TCAD simulation for CMOS nanoelectronic devices / Y.C. Wu, Y.R. Jhan. – Singapore: Springer Nature Singapore Pte Ltd, 2018. – 337 p.
9. DeckBuild User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018. – 241 p.
10. ATLAS user's manual device simulation software / Silvaco. – Santa Clara: Silvaco International, 2018 – 1776 p.
11. ATHENA User's Manual Device Simulation Software / Silvaco. – Santa Clara: Silvaco International, 2018 – 444 p.

12. Приладаво-технологічне моделювання Silvaco TCAD при викладанні навчальних дисциплін інженерно-технічного циклу / І.П. Бурик, А.О. Головня, М.М. Іващенко // Матеріали X Науково-методичної конференції, м.Суми, 14-15 травня 2020 р. – Суми: СумДУ, 2020. – С. 39-41.

13. Buryk I.P. Numerical simulation of FinFET transistors parameters/ I.P Buryk, A.O. Golovnia, M.M. Ivashchenko et al. // J. Nano- Electron. Phys. – V.12, №3. – 2020. – pp. 03005-1 – 03005-4.

14. Numerical simulation of field-effect transistor GAA SiNWFET parameters based on nanowires / I.P. Buryk, M.M. Ivashchenko, A.O. Holovnia et al. // J. Nano- Electron. Phys. – 2020. – V. 12, No 6. – P. 06012-1 – P. 06012-4.

15. Electrical and Temperature Characteristics of Transistors with a Channel in the Form of a Carbon Nanotube/ I.P. Buryk, I.M. Martynenko, L.V. Odnodvoretz et al. // J. Nano- Electron. Phys. – 2022. – V.14, No 1. – P. 01024-4.

16. Asymmetric gating for reducing leakage current in carbon nanotube field-effect transistors / T. Srimani, G. Hills, X. Zhao et al. // Appl. Phys. Lett. – 2019. – V. 115. – P. 063107-1 – 063107-5.

17. Design and analysis of electrostatic doped tunnel CNTFET for various process parameters variation / S.Bala, M. Khosla // Superlattice. Microst. – 2018. – V. 124. – P. 160-167.

18. The effect of carbon nanotube chirality on the electrical conductivity of polymer nanocomposites considering tunneling resistance / J.Doh, S.-I.Park, Q.Yang et al. // Nanotechnology. – 2019. – V. 30. – P. 465701-1 – 465701-16.

19. Tunneling-Effect-Boosted Interfacial Charge Trapping toward Photo-Organic Transistor Memory / Zi-Yuan Wei, Suhendro Purbo Prakoso, Yen-Ting Li, Yu-Cheng Chiu // Adv. Elektron. Mater. – 2022. – V. 8, 7. – P. 2101349

20. 3D investigation of 8-nm tapered n-FinFET model / N. Boukortt, S. Patané, G.Crupi // Silicon. – 2019. – V.11. – P.00253-1–00253-7.

21. Investigation on TG n-FinFET parameters by varying channel doping concentration and gate length / N. Boukortt, B. Hadri, S. Patané et al. // Silicon. – 2017. – V. 9. – P. 885-894.

22. The Effect of Fin Structure in 5 nm FinFET Technology / E.Shang, Y.Ding, W. Chen et al. // *J. Microelectron. Manuf.* – 2019. – V. 2. – P. 19020405-1 – 19020405-4.
23. Soft error susceptibilities of 22 nm tri-gate devices / N. Seifert, B. Gill, S. Jahinuzzaman et al. // *IEEE Trans. Nucl. Sci.* – 2012. – V.59, No 6. – P. 2666-2673.
24. Development of anti-reflecting surfaces based on Si micropyramids and wet-chemically etched Si nanowire arrays / A.A. Druzhinin, V.Y. Yerokhov, S.I. Nichkalo et al. // *Functional Materials.* — 2018. — T. 25, № 4. — C. 675-680.
25. Coherently strained Si–Si_xGe_{1-x} core–shell nanowire heterostructures / D.C. Dillen, F. Wen, K. Kim et al. // *Nano Lett.* – 2016. – V. 16, № 1. – P. 392–398.
26. First demonstration of novel vertical gate-all-around field-effect-transistors featured by self-aligned and replaced high-κ metal gates / C. Li, H. Zhu, Y. Zang et al. // *Nano Lett.* – 2021. – V. 21, No 11. – P. 4730-4737.
27. Unified compact model for Gate All Around FETs- nanosheets, nanowires, multi bridge channel MOSFETs / P. Kushwaha, J. Duarte, Y.-K. Lin et al. // *Informatics, Electronics and Microsystems: TechConnect Briefs 2018.- Kanpur: department of EE, Indian Institute of Technology Kanpur.* – 2018. – P. 249-252.
28. Can carbon nanotube transistors be scaled down to the sub- 5 nm gate length? / L. Xu, J. Yang, C. Qiu et al. // *ACS Appl. Mater. Interfaces.* – 2021. – V. 13. – P. 31957 – 31967.
29. Effective Bohm Quantum Potential for device simulators based on drift-diffusion and energy transport / G. Iannaccone, G. Curatola, G. Fiori // *Proceedings of the International Conference on the Simulation of Semiconductor Processes and Devices (SISPAD) 2004.* – Vienna: Springer, 2004. – P.275-278.
30. Temperature dependence of electrical characteristics of carbon nanotube field-effect transistors: A Quantum Simulation Study / A. Naderi, S. M. Noorbakhsh, H. Elahipanah // *J. Nanomaterials.* – 2012. – V. 2012. – 7 p.
31. Effects of work-function variation on performance of junctionless and inversion-mode dual-metal gate nanowire transistors / L. Dai, W. Li, M.Lin // *JSTS.* – 2020. – V. 20, № 4. – P. 349-356.

32. Impact of work-function variation on analog figures-of-merits for high-k/metal-gate junctionless FinFET and gate-all-around nanowire MOSFET / W.-F. Li, L. Dai // *Microelectron. J.* – 2019. – V. 84. – P. 54-58.

33. Comparison of various factors affected TID tolerance in FinFET and Nanowire FET / Won H., Ham I., Jeong Y. et al. // *Appl. Sci.* – 2019. – V. 9. – P.3163-3172.

34. Vertical nanowire and nanosheet FETs: device features, novel schemes for improved process control and enhanced mobility, potential for faster & more energy efficient circuits / A. Veloso, G. Eneman, T. Huynh-Bao et al. // 2019 IEEE International Electron Devices Meeting (IEDM), 7-11 Dec. 2019. – San Francisco: IEEE, 2019. – P. 11.1.1 – 11.1.4.

35. Dual metal gate FinFET integration by Ta/Mo diffusion technology for Vt reduction and multi-Vt CMOS application / Matsukawa T., Endo K., Liu Y. // *Sol. State Electron.* – 2009. – V. 53. – P. 701-705.

36. Metal gate work function modulation mechanisms for 20-14 nm CMOS low thermal budget integration / B. Saidi // *Materials Science. Universite Toulouse III – Paul Sabatier*, 2014. –158 p.

37. Investigation of carbon nanotube FET with coaxial geometry / P. Vimala, L. Krishna L., K. Maheshwari et al. // *J. Nano- Electron. Phys.* – 2020. – V. 12, No 5. – P. 05027-1 – 05027-5.

38. Asymmetric gating for reducing leakage current in carbon nanotube field-effect transistors / T. Srimani, G. Hills, X. Zhao et al. // *Appl. Phys. Lett.* – 2019. – V. 115. – P. 063107-1 – 063107-5.

СЛАЙДИ ПРЕЗЕНТАЦІЇ ДО РОБОТИ

МІНІСТЕРСТВО ОСВІТИ І НАУКИ КРАЇНИ
СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ
Класичний фаховий коледж

Кваліфікаційна робота бакалавра

**КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ ТА
ЗАСТОСУВАННЯ ОДНОВИМІРНИХ ПОЛЬОВИХ
ТРАНЗИСТОРІВ**

Студента гр. ЕІ-016

В.В. Олефіренка

Науковий керівник,
к. ф.-м. н, доцент

І.П. Бурик

Конотоп 2024

ВСТУП

2

Обґрунтування актуальності теми є потенціал польових транзисторів із каналами у вигляді нанодротів карбїду кремнію для наноелектроніки та їх можливості впливати на покращення продуктивності та функціональності електронних пристроїв.

Мета роботи полягає у комп'ютерному моделюванні структури та характеристик польових транзисторів із каналом у вигляді нанодротів карбїду кремнію для визчення їх температурних характеристик та потенціалу для електронних пристроїв.

Відповідно до мети, вирішувалися такі задачі:

- визчення комп'ютерних моделей, які враховують особливості транспорту носіїв в польових транзисторах із каналами у вигляді нанодротів;
- аналіз температурних залежностей робочих характеристик польових транзисторів із каналами у вигляді нанодротів карбїду кремнію

Для досягнення цієї мети були використані методи комп'ютерного моделювання у програмному середовищі Silvaco TCAD.

У роботі розглядаються технологічні виклики, пов'язані з виробництвом та інтеграцією нанодротів карбїду кремнію в електронні пристрої, а також можливі шляхи подолання цих викликів. Досліджується потенціал нанодротів карбїду кремнію для реалізації низькоенергетичних пристроїв, що можуть забезпечити покращену функціональність та ефективність.

Об'єкт дослідження: транспорт носіїв заряду структур польових транзисторів з каналами у вигляді нанодротів карбїду кремнію.

Предмет дослідження: структура та характеристики транзисторів з каналом у вигляді нанодротів карбїду кремнію, що включає аналіз їх електричних та температурних властивостей, ефективності та інших, які визначають їх функціональність.

РОЗДІЛ 1. ОГЛЯД ТРАНЗИСТОРІВ ІЗ КАНАЛОМ У ВИГЛЯДІ
НАНОДРОТІВ

3

1.1. Застосування карбиду кремнію в мікроелектроніці

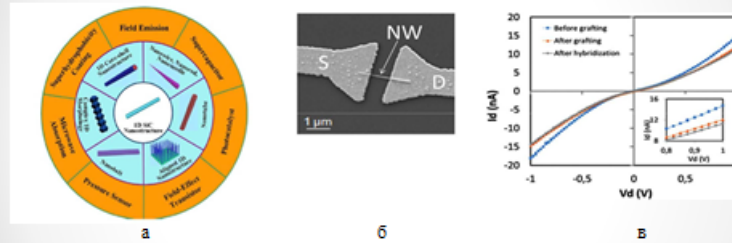


Рис.1.1. Діаграма застосувань одновимірних наноструктур карбиду кремнію (а), зовнішній вигляд SiC NW (діаметр 50±5 нм, довжина 2 мкм) між контактами витоку та стоку FET (б) та вольт-амперні характеристики (в)

1.2. Типові структури SiC-NWFET

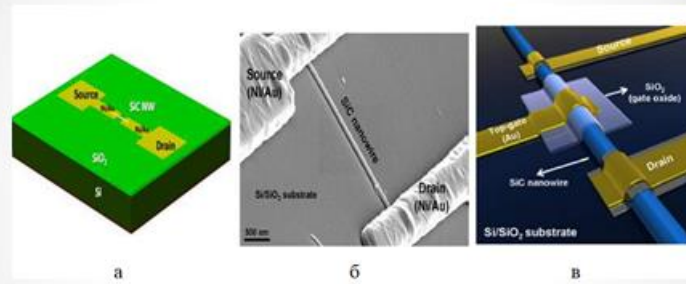


Рис.1.2. Тривимірне схематичне зображення транзистора із затвором знизу – back-gate device (а), його типове зображення (б) та схема пристрою із затвором зверху – top-gate device (в)

1.3. Технології формування SiC-NWFET

5

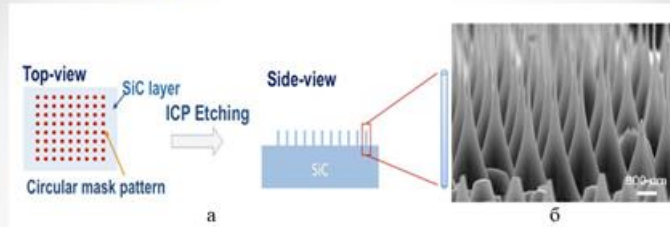


Рис. 1.3. Схема top-down (технологія «зверху вниз») обробки SiC-NW (а) і відповідна їх морфологія (б)

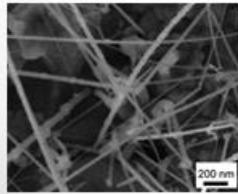


Рис. 1.4. PEM-зображення SiC-NW, отриманих методом bottom-up (технологія «знизу вгору»)

РОЗДІЛ 2 МЕТОДИКА І ТЕХНІКА ЕКСПЕРИМЕНТУ

6

2.1. Методика приладно-технологічного моделювання в Silvaco TCAD

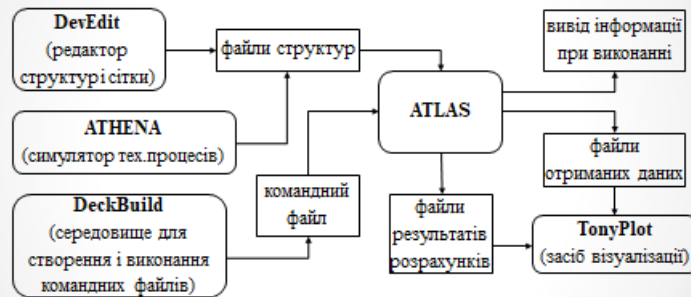


Рис. 2.1. Блок-схема засобів Silvaco TCAD

2.2. Порядок створення структурної моделі та вхідні дані

7

Таблиця 2.1
Вхідні параметри моделювання польового транзистора із каналом у вигляді 4H-SiC

№	Параметр структури	Величини	
		1	2
1.	Діаметр каналу	D_{ch}	4,0 мкм
2.	Довжина каналу	L	7,0 мкм
3.	Ширини забороненої зони	E_g	3,24 еВ
4.	Густина станів у провідній зоні	$DOS(N_c)$	$1,66 \cdot 10^{19} \text{ см}^{-3}$
5.	Густина станів у валентній зоні	$DOS(N_v)$	$1,66 \cdot 10^{19} \text{ см}^{-3}$
6.	Товщина внутрішнього оксиду (SiO ₂)	T_{int}	1,0 мкм
7.	Діелектрична стала внутрішнього оксиду	K_{int}	3,9
8.	Товщина зовнішнього оксиду (HfO ₂)	T_{ext}	2,0 мкм
9.	Діелектрична стала зовнішнього оксиду	K_{ext}	25
10.	Діагування зон сполучення	N_{sp}	10^{17} см^{-3}
11.	Свердловність електронів	E_{sp}	3,24 еВ
12.	Робота виходу електронів металу витоку	Φ_m	4,85 еВ
13.	Діелектрична проникність	ϵ	$9,7 \text{ Фм}^{-1}$
14.	Рухливість електронів	μ_n	$8 \cdot 10^4 \text{ см}^2/\text{Вс}$
15.	Рухливість дірок	μ_p	$8 \cdot 10^4 \text{ см}^2/\text{Вс}$
16.	Температура	T	300 К

РОЗДІЛ 3. РЕЗУЛЬТАТИ ТА ЇХ ОБГОВОРЕННЯ

8

3.1. Структура та електричні характеристики SiC-NWFET

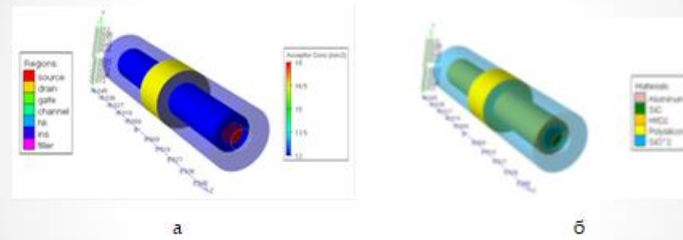
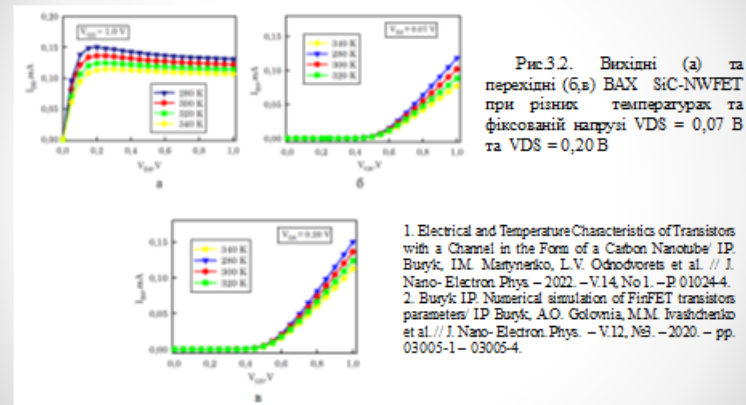


Рис.3.1. Змодельовані структури SiC-NWFET в режимі відображення робочих областей (а) та матеріалів (б)

3.2. ВАХ польового транзистора із каналом у вигляді вулцевої нанотрубки

9



3.3. Електричні параметри транзисторів SiC-NWFET

10

Таблиця 3.1.
Виміряні та обчислені параметри SiC-NWFET*

Ref.	Transistor type	Ww Length, L/ε μm / nm	Wc (nm)	L _{ch} /L _g	V _{th} (V)	SS (V/dec.)	ρ (V _{DS} =0V) Ω cm	μ cm ² /Vs	n or p density cm ⁻³
36	Omic n-type	several μm / <10nm		-	-	-		1.6	3·10 ¹⁹ (Eq.3)
37A	Omic n-type undoped	35 / 45	0.17 (V _{DS} =20mV)	-	-	-	0.022	15.9	1.8·10 ¹⁹ (Eq.3)
43	Omic p-type doped	3.2 / 30	12 (V _{DS} =0.5 V)	-	-	-	5.8	6.4	1.7·10 ¹⁷ (Eq.3)
47	Omic n-type undoped	4.4 / 45	0.7 (V _{DS} =1 V)	-	-	-	0.08	8.5	1.7·10 ¹⁹ (Eq.3)
								55	3·10 ¹⁷
39	Schottky n-type undoped	1.5 / 5	1 (V _{DS} =50mV)	-	2.5	-	-	15.9	3.5·10 ¹⁷ (Eq.3)
								6.4	1.3·10 ¹⁷ (Eq.3)
41	Schottky n-type undoped	1.5 / 20	3.8 (V _{DS} =1 V)	10 ³	4	4.5	-	-	3.4·10 ¹⁹ (Eq.3)
44	Schottky n-type undoped	Multiple NWs 3-20	9-14 ² (V _{DS} =4 V)	20	19.5	-	-	13.4	-
51	Schottky n-type undoped	20/200	1.15 (VDS=2 V)	10	7		1.16 Ω cm	6	9·10 ¹⁸ (Eq.3)
									2.1·10 ¹⁹ (Eq.3)
51	Schottky n-type doped	20/200	0.573 (V _{DS} =2 V)	100	7		0.1 Ω cm	3	2.1·10 ¹⁹ (Eq.3)
118	Schottky p-type undoped	0.12-1.5/45	7-10 ³ (V _{DS} =0.05 V)	10 ³ -10 ⁵	5-15			1.7·10 ³	3.7·10 ¹⁷ (Eq.3)
117	Schottky p-type doped	3.5/90	0.75 (V _{DS} =1 V)	-	18			4.2	3·10 ¹⁷ (Eq.3)
									2.7·10 ¹⁷ (Eq.3)

*Progress in SiC nanowire field-effect-transistors for integrated circuits and sensing applications / K. Zakentes, I. Choi, V.Stambouli et al./ Microelectronic Engineering - 2022 - V.255. - P.1111704

ВИСНОВКИ

11

1. Транзистори з каналами у вигляді нанодотів з карбіду кремнію (SiC-NWFET) мають потенціал стати важливими компонентами електроніки. Вони мають високу рухливість носіїв, що сприяє високій швидкості перемикання, і високу стійкість до теплових перевантажень завдяки високій термостійкості карбіду кремнію.

2. Комп'ютерна симуляція дозволяє вивчати та прогнозувати характеристики SiC-NWFET транзисторів, що допомагає розробляти та оптимізувати їх конструкції. Це дає можливість підвищити функціональність і ефективність таких пристроїв.

3. Комп'ютерна симуляція може вивчати різні параметри та характеристики транзисторів SiC-NWFET, такі як провідність, передача струму, коефіцієнт посилення, тепловиділення тощо. Це дає можливість зрозуміти робочі характеристики таких транзисторів і визначити оптимальні умови їх використання.

4. Вивчення структури та характеристик транзисторів SiC-NWFET є важливим кроком у розвитку електроніки та пошуку нових технологій. Вони можуть покращити продуктивність, енергоефективність і функціональність електронних пристроїв.

5. Однак виробництво транзисторів SiC-NWFET та їх інтеграція в електронні пристрої є технічно складними проблемами, які потребують подальших досліджень і розробок. Виробництво великорозмірних нанодотів карбіду кремнію і їх стабільне використання у виробництві електронних пристроїв вимагає нових методів і технологій.

Підсумовуючи дане дослідження, можна відзначити потенціал транзисторів SiC-NWFET і важливість комп'ютерної симуляції для їх вивчення та вдосконалення. Вони відкривають нові перспективи для розвитку електронних продуктів і мають значний вплив на технології електроніки.